

TR-O-0132

29

ミリ波ブリッジ型MMICスイッチ

松井 一浩

1996. 3.15

ATR光電波通信研究所

# ミリ波ブリッジ型 MMIC スイッチ

## 目次

概要 .....	2
1. はじめに .....	3
2. ブリッジ型スイッチ回路の構成と動作原理 .....	3
3. 各回路要素パラメータと ON・OFF 特性との関係 .....	4
3.1 OFF 特性 .....	5
3.2 ON 特性 .....	6
3.3 反射特性の改善策 .....	7
4. ブリッジ型 MMIC スイッチ試作 .....	8
4.1 測定条件 .....	9
4.2 試作結果 .....	9
4.2.1 '93 年度試作 MMIC .....	9
4.2.2 '94 年度試作 MMIC .....	10
4.2.3 '95 年度試作 MMIC .....	12
5. まとめ .....	15
謝辞 .....	16
文献 .....	16
付録 .....	I

## 概要

従来から一般的に用いられている直・並列型スイッチは、挿入損失およびアイソレーション (ON/OFF の挿入損失比) をデバイスの ON 抵抗と OFF 容量に依存している。また、その ON 抵抗と OFF 容量は互いにトレードオフの関係にあるため、ON・OFF 時の挿入損失を共に向上させることは困難である。そこで、ミリ波において低挿入損失と高アイソレーションを実現するために、4つのFETからなるブリッジ回路を用いた「ブリッジ型スイッチ回路」を新たに提案した。

本スイッチのOFF特性はデバイスのON抵抗、OFF容量の性能に依存せず、ブリッジ回路のバランス性に依存し、ON特性は直・並列型スイッチなどの従来型のスイッチと同様にデバイスの性能に依存することを特徴としている。ON・OFF時のブリッジ型スイッチ回路の入出力特性と各回路素子パラメータの関係をシミュレーションにより明らかにした。その結果、ON時の反射損失は改善の必要があったので、FETのゲート幅による最適化について検討した。

上述の検討結果を元に、ブリッジ型MMICスイッチの試作を行った結果、40GHzまでの周波数帯で、6dBの挿入損失と25dBのアイソレーションを得た。電力入出力特性は、単信号でサプレッションレベルが15dBm以上であることを確認し、約27dBmの入力インターセプト・ポイントが得られた。また、FETのゲート幅の最適化によるON時の反射損失の改善は、ゲート幅を100 $\mu$ mから最適値の67 $\mu$ mにすることによって40GHzで約5dB増加し、40GHzまでの周波数帯で12-16dBの反射損失が得られた。このブリッジ型MMICスイッチのON時の反射損失の改善効果は、シミュレーションによる改善予測と良く一致することから、FETのゲート幅の最適化による反射損失の改善策の有効性を確認した。

## 1. はじめに

近年、ミリ波帯を使った移動体通信システム、無線LANシステム、自動車追突防止システムなどをはじめとする商用システムの開発が盛んに行われるようになってきた。これらのシステムの実現にはシステム中のRF部のMMIC化が、小型化・ローコスト化の観点から重要な課題である。それらのシステムのRF部中でアンテナ切替スイッチ、送信・受信切替スイッチなどのスイッチは最も重要な構成回路要素の一つである。しかし、既存の回路構成を用いたMMICスイッチではミリ波帯での挿入損失とアイソレーションが不十分であるため、低挿入損失、高アイソレーション (ON / OFFの挿入損失比) のMMICスイッチの開発が待望されている。

従来、FETスイッチ回路には直・並列型 [1] の回路構成が一般的に使われている。その直・並列型スイッチの挿入損失とアイソレーションは、使用するデバイスのOFF容量 (Coff) とON抵抗 (Ron) に依存している。また、RonとCoffはトレードオフの関係にあり、スイッチのON・OFF時の挿入損失を共に向上させることは困難である。このため、これまでにスイッチは、OFF状態をCoffと線路でフィルターを形成し、特定の帯域内で高いアイソレーションを得ようとするなどの、回路的な工夫によって性能を改善しているMMICスイッチの例が報告されている [2] ~ [4]。

本報告では、ミリ波帯において低挿入損失、高アイソレーション特性を得るために新たにブリッジ型スイッチ回路を提案し、MMICとして試作したことについて述べる。

## 2. ブリッジ型スイッチ回路の構成と動作原理

図1にブリッジ型スイッチ回路の回路図を示す。ブリッジ型スイッチ回路は4つのFETによるブリッジ回路で構成されている。

スイッチ回路をOFF状態とするにはブリッジをバランスさせる (図2参照)。理想的にバランスしている状態では出力に信号の漏洩はなく、すなわち挿入損失は無限大となるが、実際にはブリッジの4つの素子のバラツキがバランスを崩す。すなわち、ブリッジ型スイッチのOFF特性は、従来のFETスイッチ回路とは異なり、FETのCoff、Ronの値そのものには依存しないという特長を持つ。OFF状態において、各FETのドレーン・ソース間の抵抗 ( $Z_{FET}$ ) は、式 (1) で示される関係にあり、ブリッジがバランスさえしていれば任意に設定することができる。

$$Z_{FET1} : Z_{FET3} = Z_{FET2} : Z_{FET4} \quad \dots (1)$$

たとえば、全FETの $Z_{FET}$ を $50\Omega$ とした場合には、スイッチは終端型となり、入力された信号電力は反射されず、スイッチ内部で吸収消費される。また、原理的には、全FETの $Z_{FET}$ を開放または短絡すれば、スイッチは反射型となり、入力された信号電力を全反射させることができる。しかし、FETの $Z_{FET}$ を開放

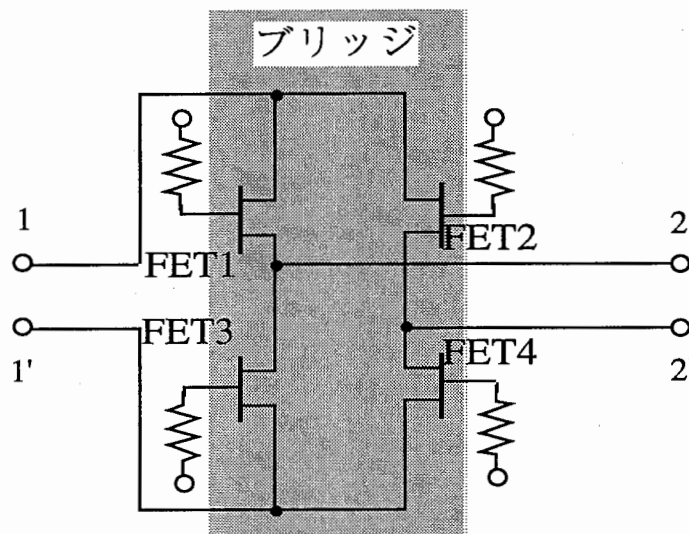


図1. ブリッジ型FETスイッチ回路

または短絡した時には、ゲート・バイアスによる制御に自由度がなく、実際には反射型スイッチとするのは困難であると考えられる。

また、スイッチ回路を ON 状態にするには、FET1 と FET4 を ON にし、FET2 と FET3 を OFF にする。図 3 は ON 状態におけるスイッチ回路の等価回路である。OFF 状態の FET の等価回路には  $C_{off}$  とリーク電流を加味した抵抗  $R_{leak}$  を並列に配置したもの、ON 状態の FET には  $R_{on}$  と引き回しのためのインダクタンス  $L_{draw}$  を直列に配置したもので表している。

### 3. 各回路要素パラメータと ON・OFF 特性との関係

ブリッジ型スイッチ回路の各回路要素パラメータと ON・OFF 特性との関係を調べるためにシミュレーションを行った。この 3 章における全てのシミュレーションは回路を集中定数回路として取扱っている。

シミュレーションに用いたゲート接地型 FET の等価回路の各回路素子の値は実際に使用する FET の TEG から抽出した。TEG 中の FET のゲート幅  $100\mu\text{m}$ 、ゲート長  $0.2\mu\text{m}$  で  $C_{off}$ 、 $R_{leak}$ 、 $R_{on}$ 、 $L_{draw}$  はそれぞれ  $0.07\text{pF}$ 、 $2\text{k}\Omega$ 、 $12\Omega$ 、 $0.06\text{nH}$  である。

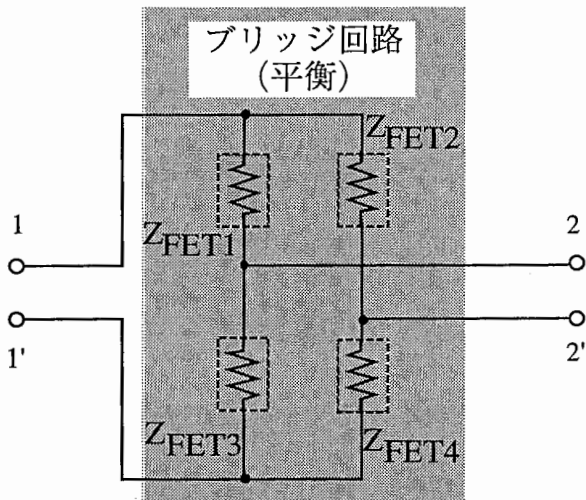


図 2 . OFF 状態の等価回路

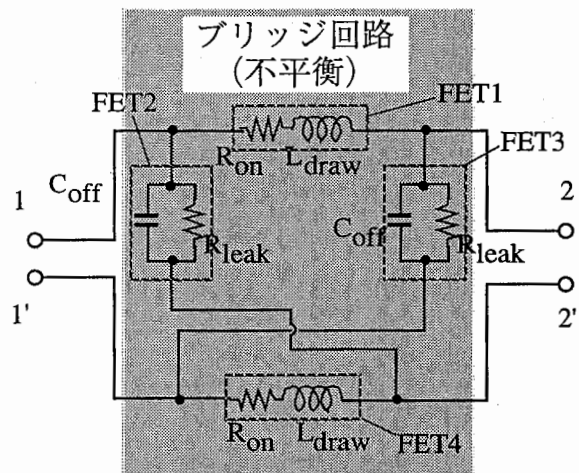


図 3 . ON 状態の等価回路

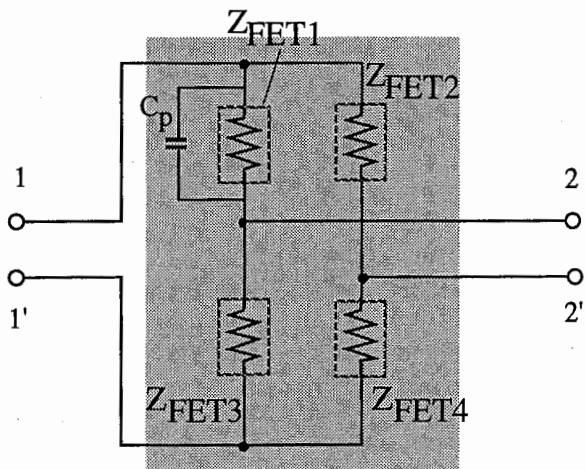


図 4 . 容量性誤差を含む OFF 状態の等価回路

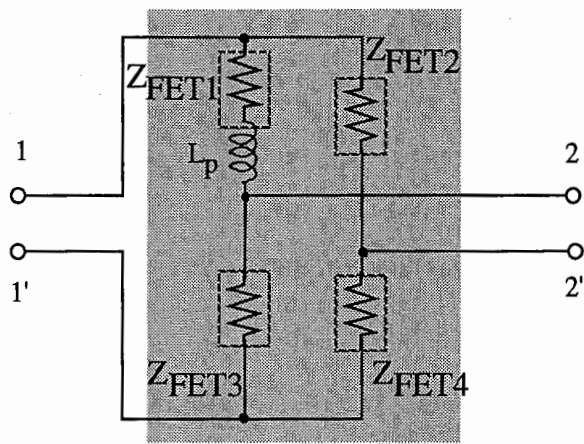


図 5 . 誘導性誤差を含む OFF 状態の等価回路

### 3.1 OFF 特性

ブリッジ回路の4つの素子を50Ωの純抵抗とした終端型ブリッジ型スイッチについてのOFF時の挿入損失のシミュレーションを行った。OFF時の挿入損失はブリッジ回路の平衡の精度に依存している。すなわち、FETの等価回路のCoff、Rleak、Ron、Ldrawの値ではなく、各FETのパラメータ間のバラツキに依存している。そこでブリッジ回路の4つの素子に50Ωに対して±10、±5.0、±1.0、±0.5、±0.1%の誤差を加えて、平衡を崩したときの挿入損失の最小値のシミュレーション結果を表1に示す。これより、1つのFETの $Z_{FET}$ に±10%の誤差が存在したとしても28.4dBのOFF時の挿入損失が得られることがわかる。また、過去の実験から、TEG中のFETの50Ω周辺でのゲート電圧に対する $Z_{FET}$ の感度は0.1Ω/mVであるので、約5mVの分解能でゲート電圧で制御したとしても誤差は1%で48dBのOFF時の挿入損失が得られる。このとき、ON時の挿入損失が6dBであったとしても42dBのアイソレーションが得られるので、ゲート電圧で制御の点では問題ない。しかしながら、実際の回路では、ブリッジ回路の不均衡を生じさせるパターン間の寄生容量やパターン引き回しのインダクタンスが存在するために、高周波ほどブリッジの誤差を増し、OFF時の挿入損失は低下する。図6と図7に、それぞれ寄生容量と寄生インダクタンスを想定し、ブリッジ回路の4つの素子のうち1つに $C_p=0.1$ 、0.01、0.001pFの容量を並列（図4参照）に、また $L_p=0.1$ 、0.01、0.001nHのインダクタンスを直列（図5参照）に付加したときのOFF時の挿入損失を示す。これよると容量性誤差と誘導性誤差はそのインピーダンスの絶対値は周波数と共に大きくなるから、OFF時の挿入損失は高周波ほど低下していることが分かる。これら容量性誤差と誘導性誤差は実際のMMICなどの回路を設計するときに、各ポートからみて回路が電氣的に対称であるようにするなどの工夫が必要である。

誤差[%]	±10	±5.0	±1.0	±0.50	±0.10
OFF時の挿入損失 [dB]	-28.4	-34.5	-48.5	-54.5	-68.5

表1. 抵抗性の誤差によるOFF時の挿入損失への影響  
(シミュレーション結果)

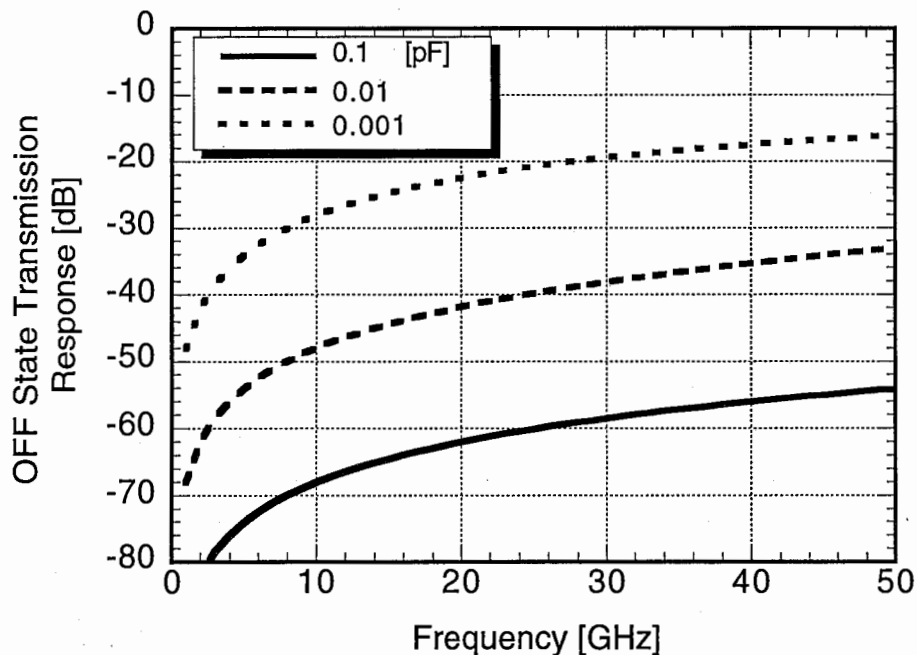


図6. 容量性の誤差によるOFF時の挿入損失への影響  
(シミュレーション結果)

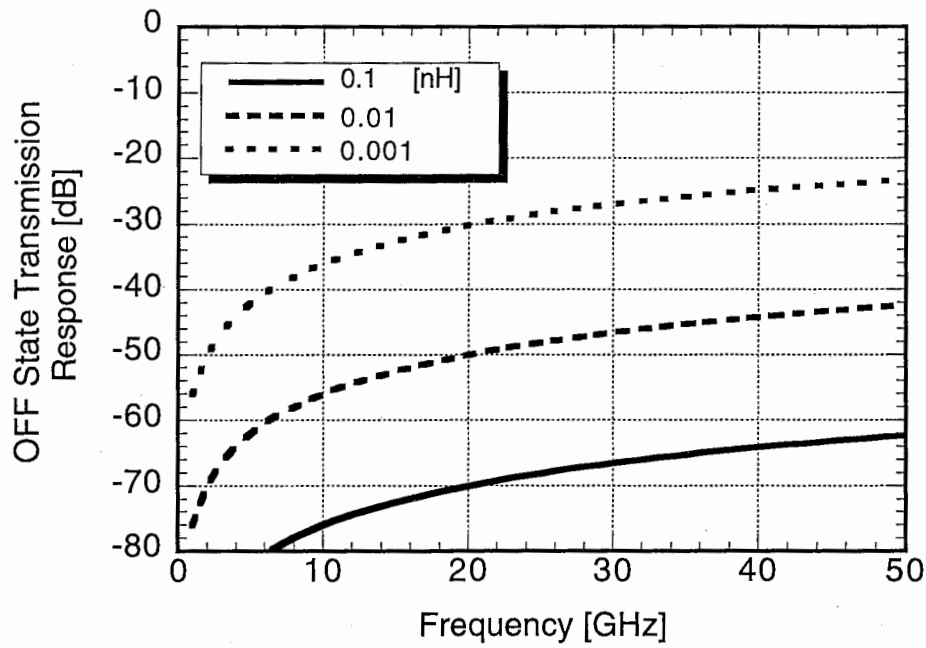


図7. 誘導性の誤差による OFF 時の挿入損失への影響  
(シミュレーション結果)

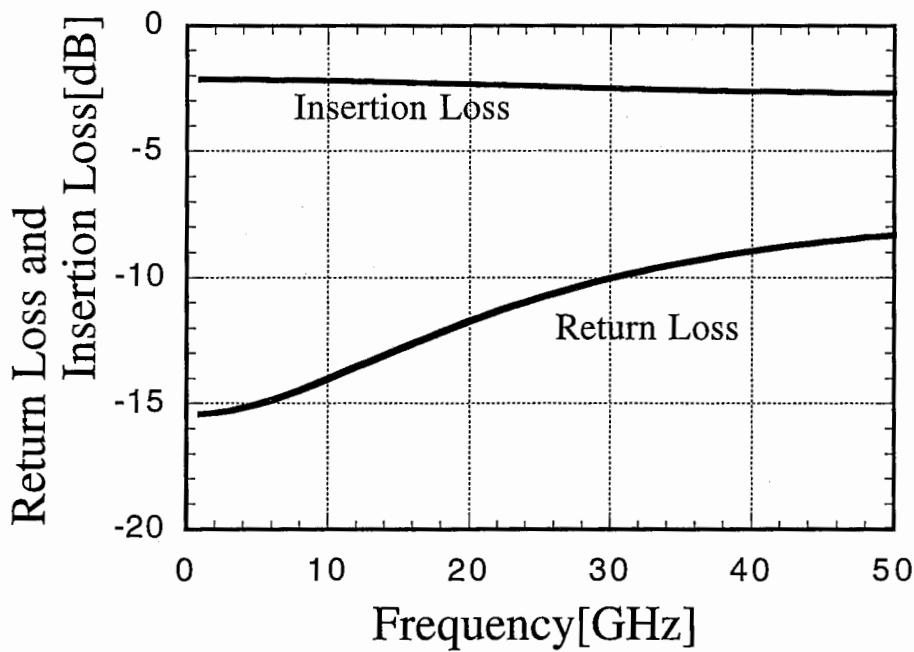


図8. ON 時の挿入損失、反射損失 (シミュレーション結果)

### 3.2 ON 特性

挿入損失に関しては図3に示されるような等価回路であるために、従来の直・並列型スイッチと同様にデバイスの性能に依存している。図8は挿入損失と反射損失のシミュレーション結果である。このとき挿入損失は全測定帯域で2~3dBと良好であるが、反射特性は周波数特性を持ち40~50GHzでは約8dBと改善の余地がある。

### 3.3 反射特性の改善策

ON時の挿入損失を増大をさせることなく、広帯域で反射特性を改善するために、ゲート幅の最適化を行う。ゲート幅の増減によって、ゲート接地型FETの等価回路の各素子の値が変化するが、それらの $R_{on}$ と $C_{off}$ は反比例関係、 $R_{leak}$ は比例関係にあると仮定する (式 (2))。

$$R_{on} \propto 1/C_{off}, R_{on} \propto R_{leak} \quad \dots (2)$$

式 (2) をもとに $R_{on}$ に関する反射損失と挿入損失のシミュレーションをC言語のプログラム [付録A1] を作成して行った。シミュレーション結果を、それぞれ、図9 (a) および (b) に示す。これらのシミュレーション結果から40GHzにおいて反射損失はゲート幅 $W_g=67\mu\text{m}$  ( $R_{on} \approx 18\Omega$ に相当) で最小値の13dBを取り得る。また、挿入損失は $W_g=92\mu\text{m}$  ( $R_{on} \approx 13\Omega$ に相当) で最小となるが、反射損失の最小値が得られる

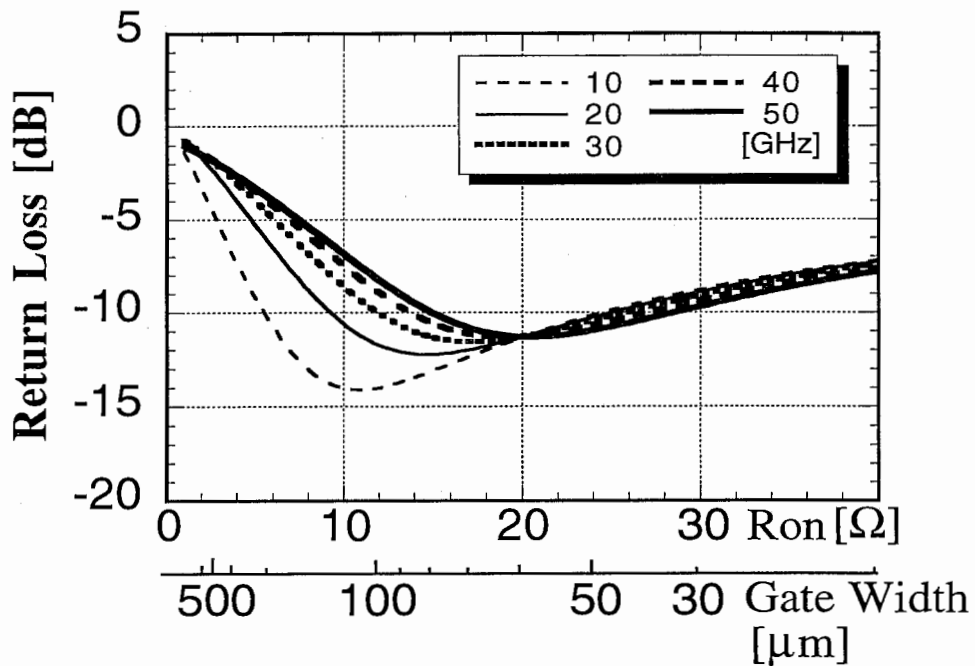


図9 (a) .ゲート幅を変化させたときのON時の反射損失

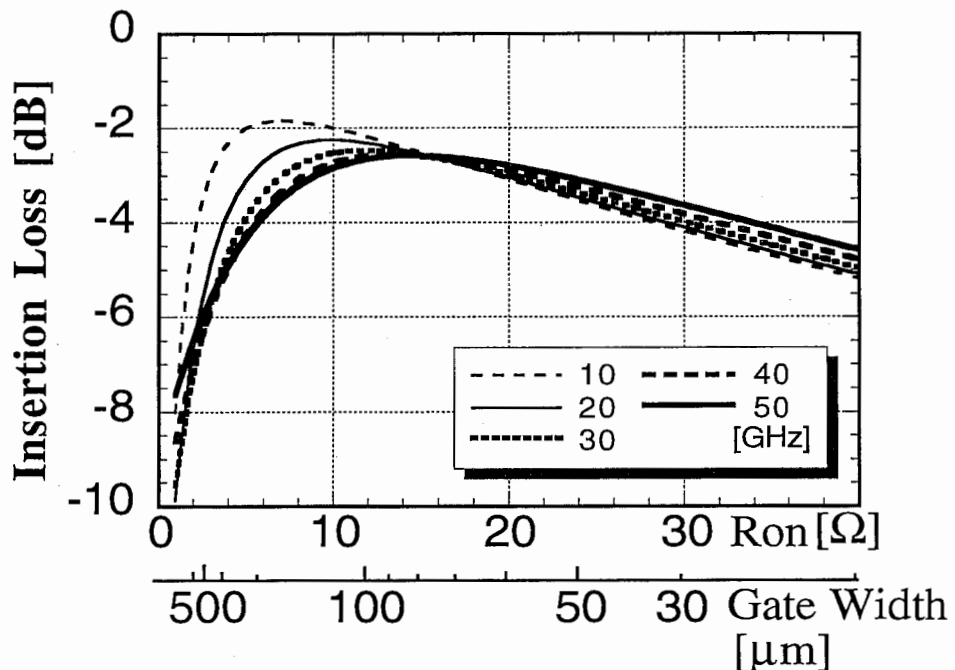


図9 (b) .ゲート幅を変化させたときのON時の挿入損失



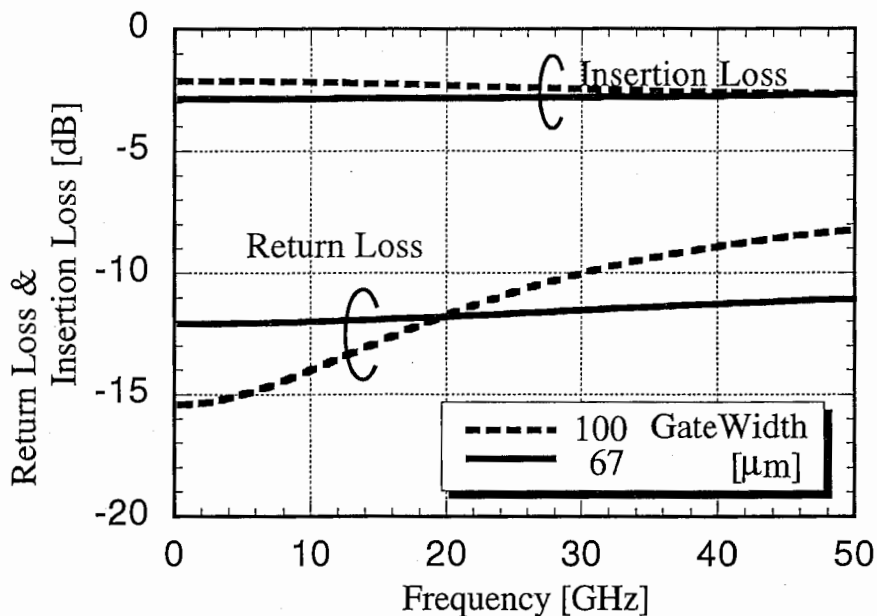


図10. ゲート幅によるON時の反射損失の最適化の効果  
(ゲート幅100mm:最適化前、ゲート幅67mm:最適化後)

Wg=67 $\mu$ mにおいても、挿入損失は最小値より1dB程度の増加だけで、反射損失の最適化によって挿入損失の大きな遜色はない(図10参照)。したがって、ゲート幅の最適化によって反射特性を5dB改善することが可能であると考えられる。

#### 4. ブリッジ型 MMIC スイッチ 試作

MMICによるブリッジ型スイッチは、素子間の特性のバラツキが少ないために高アイソレーションが実現可能であろうと考えられる。ここで試作したブリッジ型MMICスイッチは、特にスイッチ用のFETではなく、一般的なFETを使用しており、他のRF回路と混在することも可能である。

ブリッジ型スイッチ回路のMMIC化は'93年度に初回の試作を行い、'95年度までに3回の試作を行った。

試作年度	'93年度	'94年度	'95年度
FETゲート幅[ $\mu$ m]	100	100	67
挿入損失6dB以下の周波数 [GHz]	$\leq 30$	$\leq 41$	$\leq 44$
アイソレーション25dB以上の周波数 [GHz]	*	$\leq 42$	$\leq 47$
反射損失 [dB] (周波数45GHz以下における)	$\leq 6$	$\leq 9$	$\leq 12$
前回試作からの改善点		ブリッジ回路のFET周辺の信号線の低損失化	FETのゲート幅による反射損失の改善

\* '93年度の試作ではアイソレーション 25dB 以上を得られなかった。

表2. 各年度の試作回路の性能履歴

表2は各年度の試作回路の性能履歴を示す。初回の試作では、ミリ波の領域まで性能を得られなかったが、2度目以降にはON時の挿入損失、アイソレーションとも40GHz程度の周波数までで良好な特性が得られるようになった。

#### 4.1 測定条件

ブリッジ型スイッチ回路において入出力の接地は分離されている必要がある。たとえば、あるインピーダンスをもって2つの接地がつながっていた場合、図2の $Z_{FET4}$ に並列にそのインピーダンスが付くことになるので、OFF時にブリッジ回路がバランスしなくなる。実際に試作したブリッジ型MMICスイッチの入出力端子の接地パターンは完全に分離されているが、Sパラメータの測定に使用したネットワークアナライザ（以後NAとする。）の測定システムのウェハ・プローブからケーブル、NA本体を通して入出力端子の接地パターンは繋がっている。このとき、その長い経路による等価的なインダクタンスは高周波ではインピーダンスが大きく、ブリッジ回路のバランスを崩すことはないが、そのインダクタンスが無視できなくなる低周波ではバランスを崩し、OFF時の挿入損失を低下させる。測定結果における周波数5GHz以下のアイソレーションの大きな振れはこの原因であろうと考えられる。

#### 4.2 試作結果

##### 4.2.1 '93年度試作 MMIC

図11は'93年度に試作したブリッジ型MMICスイッチのチップ写真である。チップサイズは0.9mm×0.9mmである。使用したFETのゲート幅は100 $\mu$ m、ゲート長は0.2 $\mu$ mであり、3.3章で述べたFETのゲート幅の最適化は行われていない。入出力端子はオンウェハ測定のためのコプレーナ線路で、コプレーナ線路と各FETへはマイクロストリップ線路で結線されている。図11のチップ写真中央のマイクロストリップ線路の交差部分は通常のマイクロストリップ線路と逆マイクロストリップ線路の互いのグラウンドを誘電体をはさんで面するような構造をとり、入出力の信号線を遮蔽している。

試作したブリッジ型MMICスイッチと同プロセスで試作した従来型（直列-並列-直列型）スイッチの

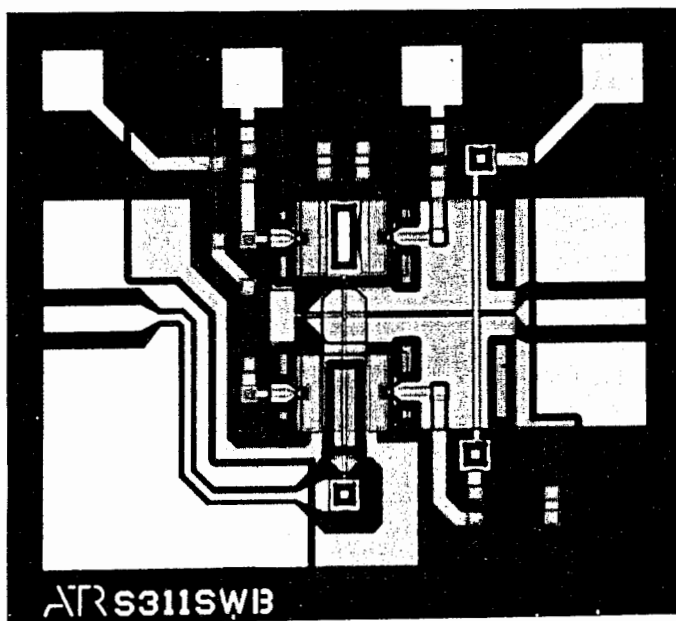


図11.'93年度試作ブリッジ型MMICスイッチのチップ写真  
(チップサイズ:0.9mm×0.9mm)

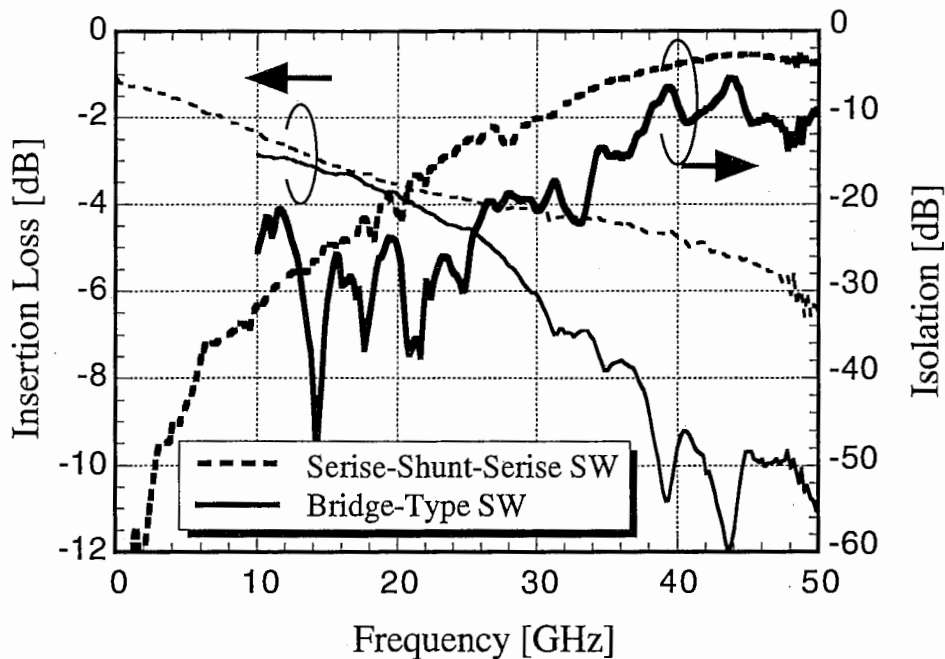


図1.2 '93年度試作ブリッジ型MMICスイッチのON時の挿入損失とアイソレーション

アイソレーションとON時の挿入損失を図1.2に示す。ブリッジ型MMICスイッチは30GHzまでの周波数帯で6dB以下の挿入損失と約20dBのアイソレーションが得られた。従来型スイッチと比べると、ON時の挿入損失が25GHz以上で劣るが、アイソレーションは20GHz以上では5~10dB程度優っている。25GHz以上でのON時の挿入損失の悪化はMMIC内のコプレーナ線路から各FETに結合する細いマイクロストリップ線路の挿入損失であろうと考えられる。この線路の改良によってON時の挿入損失を減少させることができれば、アイソレーションは改善される。

#### 4.2.2 '94年度試作MMIC

図1.3は試作したブリッジ型MMICスイッチのチップ写真である。チップサイズは1.0mm×1.0mmで、今回から取り入れたEB描画の制約により'93年度に試作より多少大きくなった。使用したFETのゲート幅は100 $\mu$ m、ゲート長は0.2 $\mu$ mである。本ブリッジ型MMICスイッチについては3.3章で述べたFETのゲート幅の最適化は行われていない。入出力端子はオンウェハ測定のためのコプレーナ線路で、各FETへもコプレーナ線路を使って結線され、'93年度の試作と比べて信号線を太くして、線路の損失の改善を狙っている。信号線路間の遮蔽はないが、コプレーナ線路の伝送モードがTEMモードであるとする、互いに直行するコプレーナ線路に生ずる電磁界も互いに直行しているためにその干渉は小さいと考えた。

試作したブリッジ型MMICスイッチと同プロセスで試作した従来型(直列-並列-直列型)スイッチのアイソレーションとON時の挿入損失を図1.4に示す。ブリッジ型MMICスイッチは40GHzまでの周波数帯で6dB以下のON時の挿入損失と約25dBのアイソレーションが得られた。これは、従来型スイッチと比べると、ON時の挿入損失は同程度、アイソレーションは15dB程度の改善がなされていることがわかる。ブリッジ型MMICスイッチのON時の反射損失を図1.5に示す。この反射損失は40GHzまでの周波数帯で10~15dBを得たが、これは図1.0の反射損失のシミュレーション結果と良く一致する。

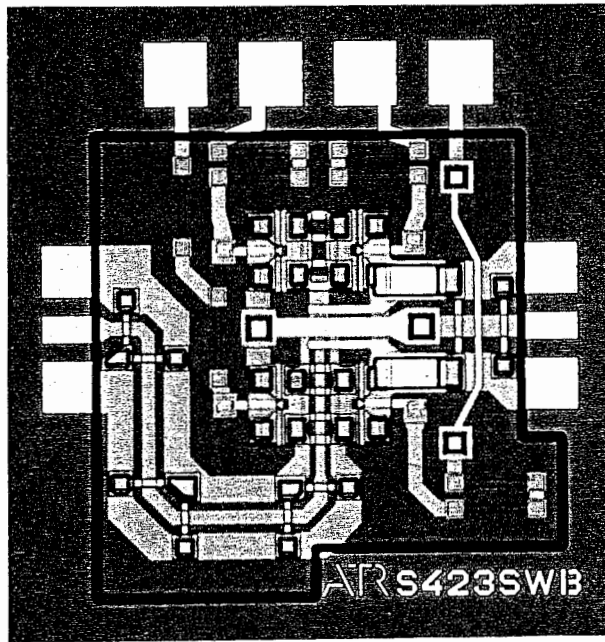


図13. '94年度試作ブリッジ型MMICスイッチのチップ写真  
(チップサイズ: 1.0mm × 1.0mm)

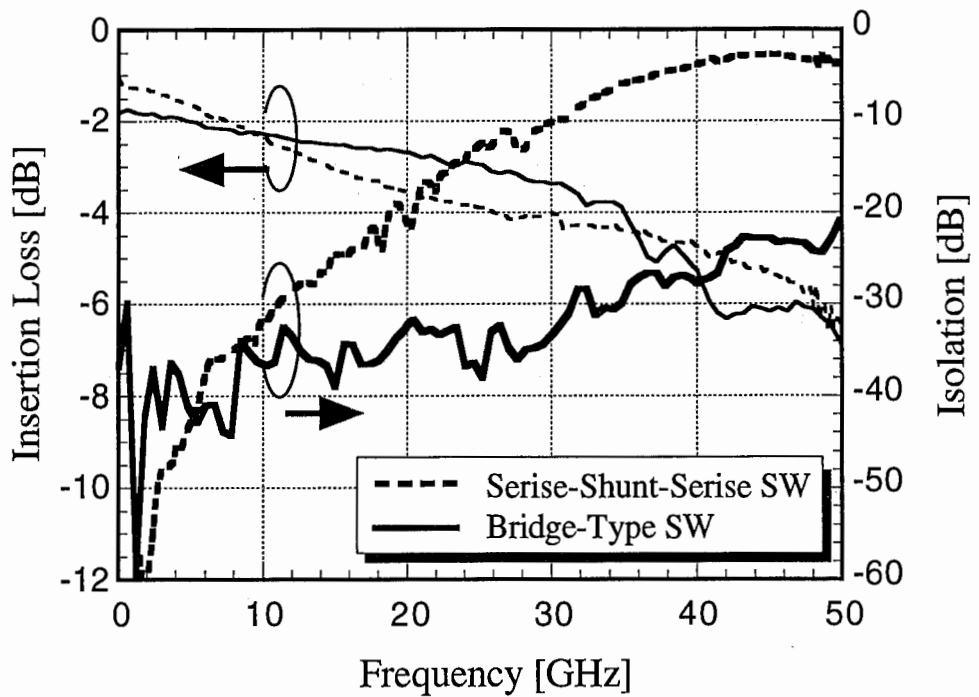


図14. '94年度試作ブリッジ型MMICスイッチのON時の挿入損失とアイソレーション

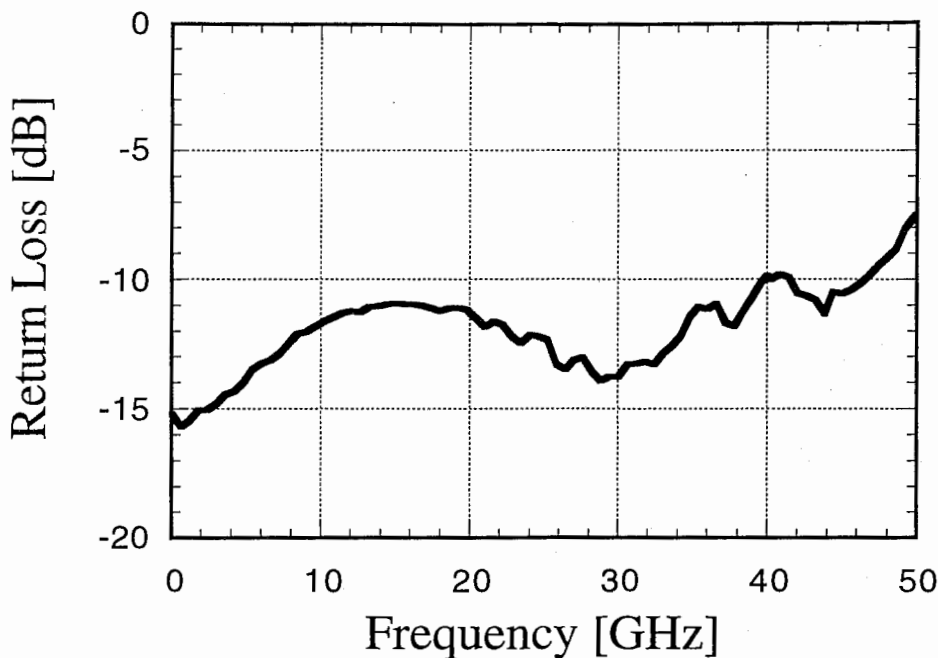


図15. '94年度試作ブリッジ型MMICスイッチのON時の反射損失

#### 4.2.3 '95年度試作MMIC

図16は試作したブリッジ型MMICスイッチのチップ写真である。チップサイズは1.1mm×1.1mmである。使用したFETのゲート幅は3.3μm、反射特性の改善策で述べたゲート幅の最適値である67μmとし、その他の設計仕様は'94年度に試作したものと同一である。

試作したブリッジ型MMICスイッチのアイソレーションとON時の挿入損失を図17に示す。ブリッジ型MMICスイッチは40GHzまでの周波数帯で6dB以下のON時の挿入損失と約25dBのアイソレーションが得られた。これらの挿入損失、アイソレーションは、'94年度に試作したものと同程度であることがわかる。

'95年度に試作したブリッジ型MMICスイッチと同じ回路パターンで、スイッチ回路のON状態に相当するように、ONのFETのドレーン・ソース電極間を金属で結合し、OFFのFETを取り去ってドレーン・ソース電極間を開放させたテスト回路の反射損失と挿入損失を図18に示す。この回路は、FETがないので、ブリッジ型MMICスイッチのON状態におけるFETの電極、コプレーナ線路およびそれらの結合部分を評価することができる。この回路の挿入損失はFETが取り去られているために実際のブリッジ型MMICスイッチと比べて全体的に約2dB減少しているが、高周波になるにしたがって挿入損失が増加する傾向は同様である。これは、コプレーナ線路の挿入損失またはFETの電極とコプレーナ線路の結合部分に生じるインダクタンスによる不整合が原因と考えられる。ON時の挿入損失を減少させる目的で'94年度試作でもコプレーナ線路およびFETとコプレーナ線路の結合部分について改善策を施したが、より効果的な改善策が必要である。

ブリッジ型MMICスイッチのON時の反射損失と挿入損失を図19に示す。反射損失は40GHzまでの周波数帯で12～16dBを得、同時に示した'94年度に試作した $W_g=100\mu\text{m}$ のものと比較して40GHzで約5dBの改善がなされた。挿入損失は35GHz以下で'94年度ものよりも1dB程大きくなっている。この結果は図10のシミュレーションによる改善結果とよく一致している。

図20に40GHzにおける電力入出力特性を示す。単信号入力時には最大で15dBmの信号を入力したが出力が抑圧されるレベルには至らなかった。また、3次相互変調歪特性は10MHzの周波数間隔で、単信号入力は最大6dBmまで行った。3次相互変調歪は約-2dBmの信号入力時に極小値を取るところがあるが、約30dB/decadeの傾で直線的に輸入信号と共に大きくなり、入力インターセプト・ポイントは約27dBmを得た。3次相互変調歪特性の約-2dBm信号入力時の極小値はGaAsにある特有の歪特性としての報告がある [5]。

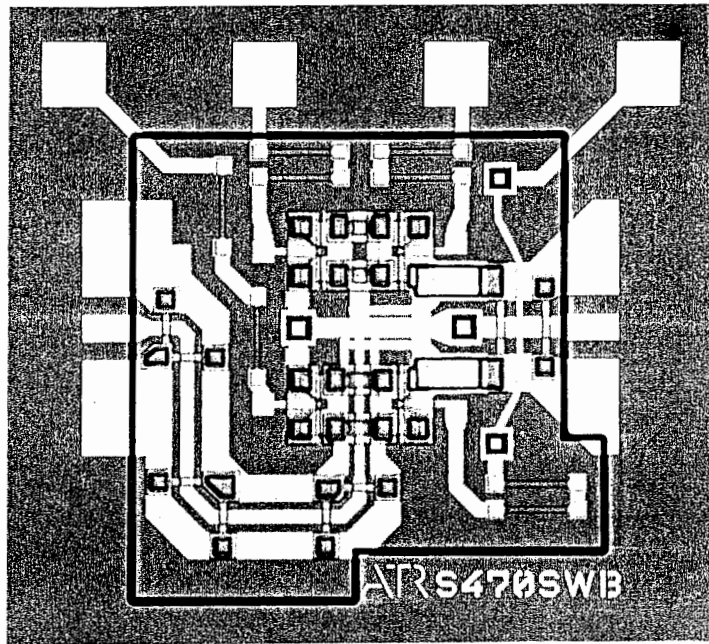


図16. '95年度試作ブリッジ型MMICスイッチのチップ写真  
(チップサイズ: 1.1mm × 1.1mm)

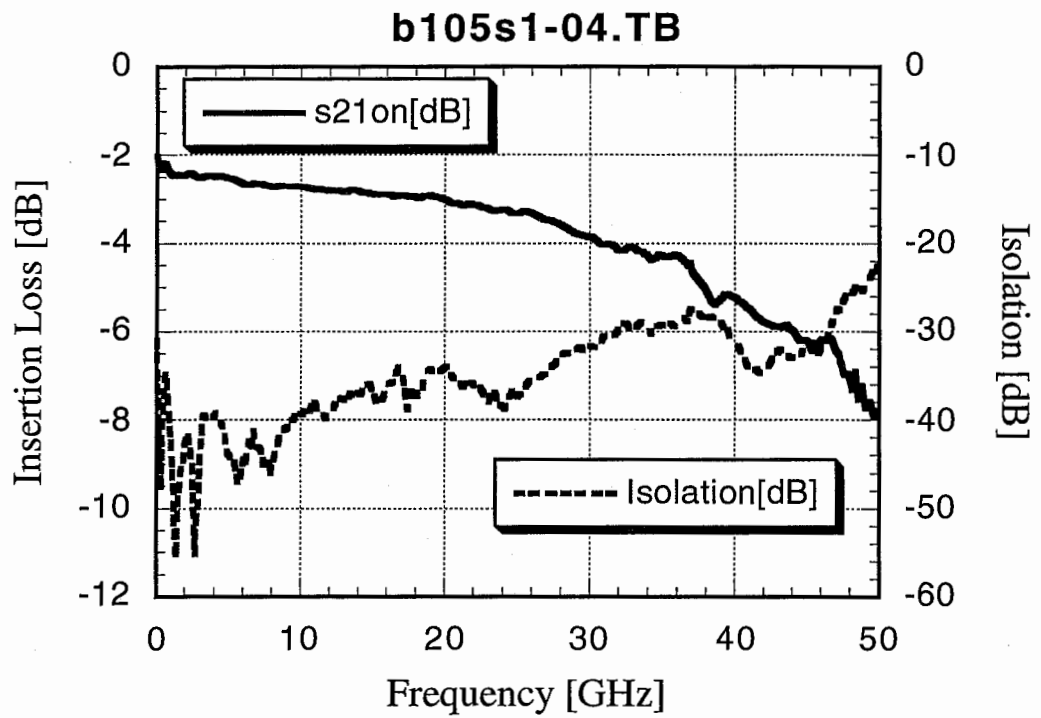


図17. '95年度試作ブリッジ型MMICスイッチの  
ON時の挿入損失とアイソレーション

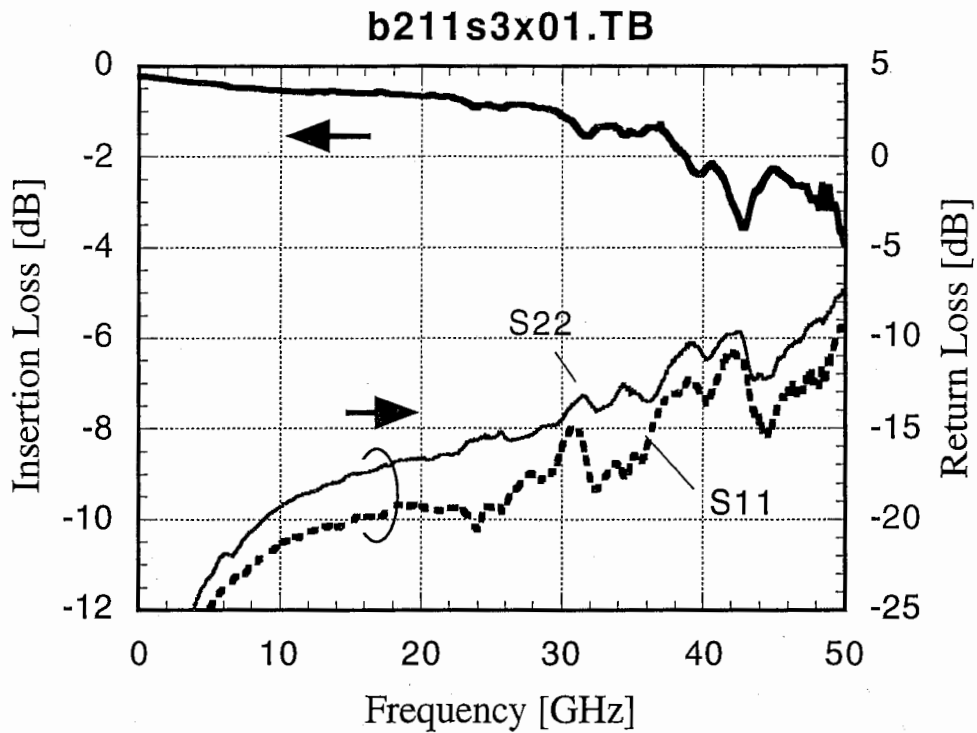


図18. '95年度に試作したブリッジ型MMICスイッチと同じ回路パターンで、スイッチ回路のON状態に相当するように、ONのFETのドレイン・ソース電極間を金属で結合し、OFFのFETを取り去ってドレイン・ソース電極間を開放させたテスト回路の反射損失と挿入損失

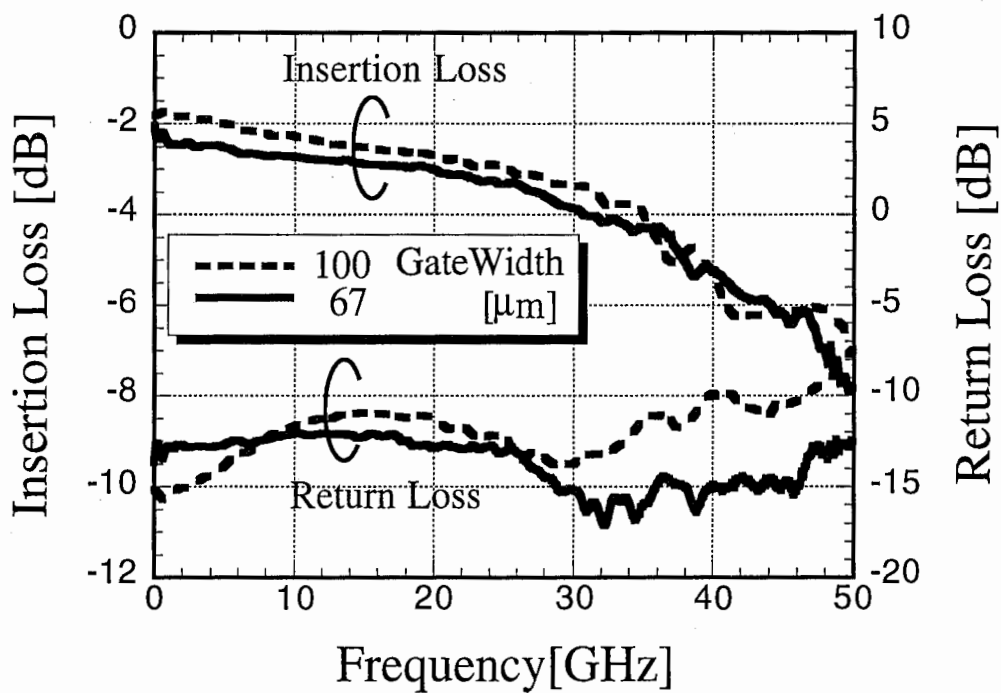


図19. '95年度 (Wg=67mm)、'94年度 (Wg=67mm) 試作ブリッジ型MMICスイッチのON時の反射損失と挿入損失 (反射損失の最適化の効果)

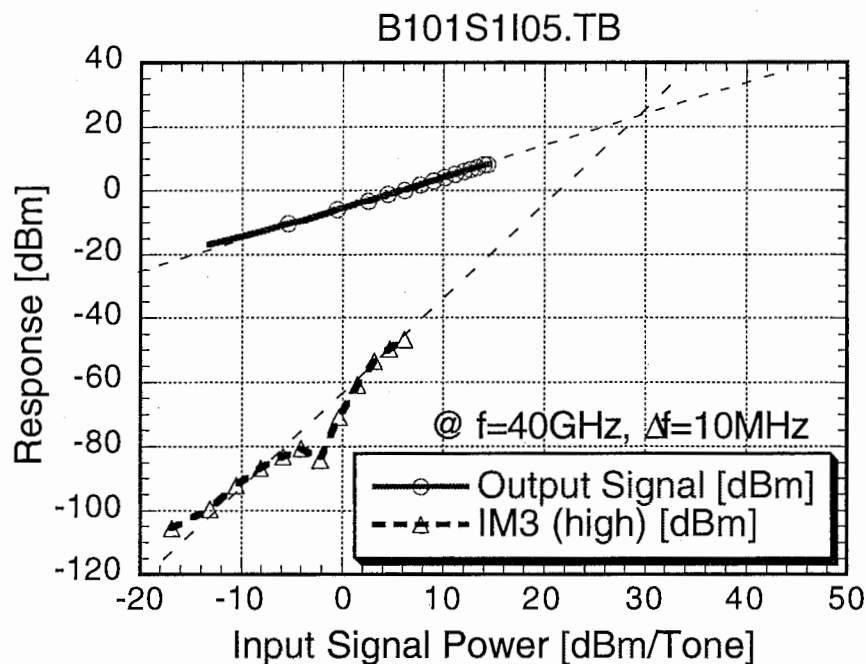


図 2 0 . '95 年度試作ブリッジ型 MMIC スイッチの  
入出力電力特性

## 5. まとめ

ミリ波までの広帯域での使用を目的として、4つのFETのブリッジ回路を用いた新しい回路構成のブリッジ型FETスイッチを提案した。ブリッジ型FETスイッチは従来のFETスイッチと異なり、OFF特性をデバイスのON抵抗、OFF容量の性能に依存せず、ブリッジ回路のバランスに依存し、ON特性は直・並列型スイッチなどの従来型のスイッチと同様にデバイスの性能に依存することを特長としている。各回路素子パラメータとON・OFFそれぞれの時のブリッジ型スイッチ回路の入出力特性との関係性を明らかにするためにシミュレーションを行った。特に、ON時の反射損失は改善の必要があったので、FETのゲート幅による最適化について検討し、MMICの試作によってその有効性を確認した。

MMICによるブリッジ型FETスイッチを試作し、次のような特性を得た。

アイソレーション $\geq 25$ dB、挿入損失 $\leq 6$ dB、反射損失 $\geq 12$ dB  
(周波数範囲： $\sim 40$ GHz)

サプレッション・レベル $\geq 15$ dB m、インターセプト・ポイント $\approx 27$ dB m  
(測定周波数： $40$ GHz、周波数間隔： $10$ MHz)

今後は、挿入損失はコプレーナ線路および、FETとコプレーナ線路の結合部分の不整合をなくすことによって改善が可能であるので、整合回路の付加方法について検討する。



## 謝辞

最後に、本研究を進める上でご指導を頂いたATR光電波通信研究所の猪股社長と小川室長に感謝します。

## 文 献

- [1] H. Uda, T. Sawai, T. Yamada, K. Nogawa and Y. Harada : "High-Performance GaAs Switch ICs Fabricated Using MESFETs with Two Kinds of Pinch-off Voltages", GaAs IC Symposium Digest, pp. 247-250, 1993.
- [2] M. J. Schindler and A. Morris : "DC-40GHz and 20-40GHz MMIC SPDT Switches", IEEE Transaction on Microwave Theory and Techniques, Vol.MTT-35, No.12, pp.1486-1493, Dec. 1987.
- [3] T. Tokumitsu, I. Toyoda and M. Akikawa, "Low Voltage, High Power T/R Switch MMIC Using LC Resonators", IEEE Microwave and Millimeter-wave Monolithic Circuits Symposium Digest, pp- 27-30, Jun. 1993.
- [4] 皆川, 今井 : "ミリ波スイッチの高アイソレーション化の検討", 1994年信学会秋季大会, C-70, Sept. 1994.
- [5] Y. Takayama, K. Hojo : "Nonlinearity and Intermodulation Distortion in Microwave Power GaAs FET Amplifiers", NEC Research & Development, No.55, pp.29-36, Oct 1979.

## 付録

[付録 A1]

```
/*.....  
On-State Bridge-Type Switch Return Loss Calculation Program  
for Variable Ron and Freq.
```

```
    K. Matsui  
    last modified : 1996.3.10  
.....*/
```

```
#include <stdio.h>  
/*#include <decl.h>*/  
#include <math.h>  
#include <cntl.h>  
#include <string.h>  
#include <stdlib.h>  
#include "file_util_lib.h"  
#include "DCOMPLEX.H"
```

```
#define C0 3.00E+8  
#define Pai 3.14159  
#define Z0 50.0
```

```
float r_on_init=12.0;  
float l_on_init=0.06E-9;  
float c_off_init=0.07E-12;  
float r_off_init=2000.0;
```

```
float fc_off(float r_on)
```

```
{  
    /* r_on_init (ohm) */  
    /* c_off_init (F) */  
    extern float r_on_init,l_on_init,c_off_init,r_off_init;  
    float c_off;
```

```
    c_off=r_on_init*c_off_init/r_on;  
    return(c_off);  
}
```

```
float fr_off(float r_on)
```

```
{  
    /* r_on_init (ohm) */  
    /* r_off_init (ohm) */  
    extern float r_on_init,l_on_init,c_off_init,r_off_init;  
    float r_off;
```

```
    r_off=r_off_init/r_on_init*r_on;  
    return(r_off);  
}
```

```
float fl_on(float r_on)
```

```
{  
    /* r_on_init (ohm) */  
    /* l_on_init (H) */  
    extern float r_on_init,l_on_init,c_off_init,r_off_init;  
    float l_on;
```

```
    /*l_on=l_on_init/r_on_init*r_on;*/  
    l_on=l_on_init; /* l_on is constant. */  
    return(l_on);  
}
```

```
int calc_ret_and_gain(float r_on,float freq, float *ret,float *gain)
```

```
{  
    float l_on,c_off,r_off;
```

```
    dcomplex z_on,z_off,y_off;  
    dcomplex c1,c2,c3,c4,c5;
```

```
    c_off=fc_off(r_on);  
    r_off=fr_off(r_on);  
    l_on=fl_on(r_on);
```

```
    /*printf(" r_on=%f, l_on=%e, c_off=%e, r_off=%f\n"  
            ,r_on,l_on,c_off,r_off);*/
```

```
    z_on=Complex(r_on,l_on*2.0*Pai*freq*1.0E9);  
    y_off=Complex(1.0/r_off,c_off*2.0*Pai*freq*1.0E9);  
    z_off=Cdiv(Complex(1.0,0.0),y_off);
```

```
    /*printf(" z_on=%f,%f z_off=%f,%f y_off=%f,%f\n"  
            ,z_on.r,z_on.i,z_off.r,z_off.i,y_off.r,y_off.i); */
```

```
    c1=RCmul(Z0,Csub(z_on,z_off));  
    c2=Cmul(Cadd(z_on,Complex(Z0,0.0)),Cadd(z_off,Complex(Z0,0.0)));  
    /*printf(" c1=%f,%f c2=%f,%f\n",c1.r,c1.i,c2.r,c2.i);*/  
    /*printf(" ABS(c1)=%f ABS(c2)=%f\n",Cabs(c1),Cabs(c2));*/
```

```
    c3=Cdiv(c1,c2);  
    *gain=20*log10(Cabs(c3));  
    /*gain=Cabs(c3);*/
```

```
    c4=Csub(Cmul(z_on,z_off),Complex(Z0*Z0,0.0));
```

```

c5=Cdiv(c4,c2);
*ret=20*log10(Cabs(c5));
/*ret=Cabs(c5);*/

}

main()
{

extern float r_on_init,l_on_init,c_off_init,r_off_init;

int i,nop,sweep_param;

float r_on,r_on_i,r_on_e,r_on_d;
float freq,freq_i,freq_e,freq_d;

float gain,ret;

FILE *output_file;

/* Create and Open the output data file */
output_file=fopen("sw_brde.dat","w");

nop=1000;

sweep_param=0; /* 1 for frequency sweep, 0 for r_on sweep. */

freq=freq_i=10;
freq_d=0.25;
freq_e=50.0;

r_on=r_on_i=1.0;
r_on_d=0.25;
r_on_e=20;

if ( sweep_param==1 ) {
printf(output_file,"R_on(Const.)=%f[ohm]\n",r_on);
printf(output_file,"Freq[GHz] R.Loss[dB] L.Loss[dB]\n");
for (i=1;i<=nop && freq<=freq_e;i++) {
freq=freq_i+freq_d*(i-1);
r_on=r_on_i;
calc_ret_and_gain(r_on,freq,&ret,&gain);
printf(" r_on=%f freq=%f ret=%e, gain=%e\n",r_on,freq,ret,gain);
fprintf(output_file,"%f %e %e\n",freq,ret,gain);
}
}
else {

```

-III-

```

fprintf(output_file,"Freq.(Const.)=%f[GHz]\n",freq);
fprintf(output_file,"R_on[ohm] R.Loss[dB] L.Loss[dB]\n");
for (i=1;i<=nop && r_on<=r_on_e;i++) {
freq=freq_i;
r_on=r_on_i+r_on_d*(i-1);
calc_ret_and_gain(r_on,freq,&ret,&gain);
printf(" r_on=%f freq=%f ret=%e, gain=%e\n",r_on,freq,ret,gain);
fprintf(output_file,"%f %e %e\n",r_on,ret,gain);
}
}
}

```

```

/*****
DCOMPLEX.C : Subprograms for Complex Calculations
*****/

```

```
#include <math.h>
```

```
typedef struct DCOMPLEX {double r,i;} dcomplex;
```

```
#if defined(__STDC__) || defined(ANSI) || defined(NRANSI) /* ANSI */
```

```
dcomplex Cadd(dcomplex a, dcomplex b)
```

```
{
dcomplex c;
c.r=a.r+b.r;
c.i=a.i+b.i;
return c;
}
```

```
dcomplex Csub(dcomplex a, dcomplex b)
```

```
{
dcomplex c;
c.r=a.r-b.r;
c.i=a.i-b.i;
return c;
}
```

```
dcomplex Cmul(dcomplex a, dcomplex b)
```

```
{
dcomplex c;
c.r=a.r*b.r-a.i*b.i;
c.i=a.i*b.r+a.r*b.i;
return c;
}
```

-IV-

```

dcomplex Complex(double re, double im)
{
    dcomplex c;
    c.r=re;
    c.i=im;
    return c;
}

```

```

dcomplex Conjg(dcomplex z)
{
    dcomplex c;
    c.r=z.r;
    c.i = -z.i;
    return c;
}

```

```

dcomplex Cdiv(dcomplex a, dcomplex b)
{
    dcomplex c;
    double r,den;
    if (fabs(b.r) >= fabs(b.i)) {
        r=b.i/b.r;
        den=b.r+r*b.i;
        c.r=(a.r+r*a.i)/den;
        c.i=(a.i-r*a.r)/den;
    } else {
        r=b.r/b.i;
        den=b.i+r*b.r;
        c.r=(a.r+r*a.i)/den;
        c.i=(a.i-r*a.r)/den;
    }
    return c;
}

```

```

double Cabs(dcomplex z)
{
    double x,y,ans,temp;
    x=fabs(z.r);
    y=fabs(z.i);
    if (x == 0.0)
        ans=y;
    else if (y == 0.0)
        ans=x;
    else if (x > y) {
        temp=y/x;
        ans=x*sqrt(1.0+temp*temp);
    } else {

```

```

        temp=x/y;
        ans=y*sqrt(1.0+temp*temp);
    }
    return ans;
}

```

```

dcomplex Csqrt(dcomplex z)
{
    dcomplex c;
    double x,y,w,r;
    if ((z.r == 0.0) && (z.i == 0.0)) {
        c.r=0.0;
        c.i=0.0;
        return c;
    } else {
        x=fabs(z.r);
        y=fabs(z.i);
        if (x >= y) {
            r=y/x;
            w=sqrt(x)*sqrt(0.5*(1.0+sqrt(1.0+r*r)));
        } else {
            r=x/y;
            w=sqrt(y)*sqrt(0.5*(r+sqrt(1.0+r*r)));
        }
        if (z.r >= 0.0) {
            c.r=w;
            c.i=z.i/(2.0*w);
        } else {
            c.i=(z.i >= 0) ? w : -w;
            c.r=z.i/(2.0*c.i);
        }
        return c;
    }
}

```

```

dcomplex RCmul(double x, dcomplex a)
{
    dcomplex c;
    c.r=x*a.r;
    c.i=x*a.i;
    return c;
}

```

```

/*else /* ANSI */
/* traditional - K&R */

```

```

dcomplex Cadd(a,b)

```

```

dcomplex a,b;
{
    dcomplex c;
    c.r=a.r+b.r;
    c.i=a.i+b.i;
    return c;
}

dcomplex Csub(a,b)
dcomplex a,b;
{
    dcomplex c;
    c.r=a.r-b.r;
    c.i=a.i-b.i;
    return c;
}

dcomplex Cmul(a,b)
dcomplex a,b;
{
    dcomplex c;
    c.r=a.r*b.r-a.i*b.i;
    c.i=a.i*b.r+a.r*b.i;
    return c;
}

dcomplex Complex(re,im)
double im,re;
{
    dcomplex c;
    c.r=re;
    c.i=im;
    return c;
}

dcomplex Conj(z)
dcomplex z;
{
    dcomplex c;
    c.r=z.r;
    c.i = -z.i;
    return c;
}

dcomplex Cdiv(a,b)
dcomplex a,b;
{

```

-VII-

```

dcomplex c;
double r,den;
if (fabs(b.r) >= fabs(b.i)) {
    r=b.r/b.r;
    den=b.r+r*b.i;
    c.r=(a.r+r*a.i)/den;
    c.i=(a.i-r*a.r)/den;
} else {
    r=b.r/b.i;
    den=b.i+r*b.r;
    c.r=(a.r+r*a.i)/den;
    c.i=(a.i-r*a.r)/den;
}
return c;
}

double Cabs(z)
dcomplex z;
{
    double x,y,ans,temp;
    x=fabs(z.r);
    y=fabs(z.i);
    if (x == 0.0)
        ans=y;
    else if (y == 0.0)
        ans=x;
    else if (x > y) {
        temp=y/x;
        ans=x*sqrt(1.0+temp*temp);
    } else {
        temp=x/y;
        ans=y*sqrt(1.0+temp*temp);
    }
    return ans;
}

dcomplex Csqrt(z)
dcomplex z;
{
    dcomplex c;
    double x,y,w,r;
    if ((z.r == 0.0) && (z.i == 0.0)) {
        c.r=0.0;
        c.i=0.0;
        return c;
    } else {
        x=fabs(z.r);

```

-VIII-

```

y=fabs(z.i);
if (x >= y) {
    r=y/x;
    w=sqrt(x)*sqrt(0.5*(1.0+sqrt(1.0+r)));
} else {
    r=x/y;
    w=sqrt(y)*sqrt(0.5*(1.0+sqrt(1.0+r)));
}
if (z.r >= 0.0) {
    c.r=w;
    c.i=z.i/(2.0*w);
} else {
    c.i=(z.i >= 0) ? w : -w;
    c.r=z.i/(2.0*c.i);
}
return c;
}
}

```

```

dcomplex RCmul(x,a)
dcomplex a;
double x;
{
    dcomplex c;
    c.r=x*a.r;
    c.i=x*a.i;
    return c;
}

```

```

#endif /* ANSI */

```

```

/*****
Header for DCOMPLEX.C
*****/

```

```

#ifndef _NR_DCOMPLEX_H_
#define _NR_DCOMPLEX_H_

```

```

#ifndef DCOMPLEX_DECLARE_T_
typedef struct DCOMPLEX {double r,i;} dcomplex;
#define DCOMPLEX_DECLARE_T_
#endif /* DCOMPLEX_DECLARE_T_ */

```

```

#if defined(__STDC__) || defined(ANSI) || defined(NRANSI) /* ANSI */

```

```

dcomplex Cadd(dcomplex a, dcomplex b);

```

```

dcomplex Csub(dcomplex a, dcomplex b);
dcomplex Cmul(dcomplex a, dcomplex b);
dcomplex Complex(double re, double im);
dcomplex Conj(dcomplex z);
dcomplex Cdiv(dcomplex a, dcomplex b);
double Cabs(dcomplex z);
dcomplex Csqrt(dcomplex z);
dcomplex RCmul(double x, dcomplex a);

```

```

#else /* ANSI */
/* traditional - K&R */

```

```

dcomplex Cadd();
dcomplex Csub();
dcomplex Cmul();
dcomplex Complex();
dcomplex Conj();
dcomplex Cdiv();
double Cabs();
dcomplex Csqrt();
dcomplex RCmul();

```

```

#endif /* ANSI */

```

```

#endif /* _NR_DCOMPLEX_H_ */

```