

TR-O-0098

29

ミリ波帯高アイソレーション  
MMIC FETスイッチの検討

皆川 晃

1996. 1.30

ATR光電波通信研究所

# ミリ波帯高アイソレーション MMIC FETスイッチの検討

## 目次

1. まえがき	1
2. FETのON・OFF時の等価回路	1
3. 従来のスイッチ回路構成	2
4. ミリ波帯高アイソレーションMMIC FETスイッチの提案	3
4.1 高アイソレーションスイッチ回路 (1)	3
4.1.1 回路構成	3
4.1.2 動作の説明	3
4.2 高アイソレーションスイッチ回路 (2)	7
4.2.1 回路構成	7
4.2.2 動作の説明	8
4.3 高アイソレーションスイッチ回路 (3)	11
4.3.1 回路構成	11
4.3.2 動作の説明	12
5. ミリ波帯高アイソレーションMMIC FETスイッチの試作結果	13
5.1 高アイソレーションスイッチ回路 (1)	13
5.2 高アイソレーションスイッチ回路 (2)	16
5.3 高アイソレーションスイッチ回路 (3)	17
6. まとめ	20

謝辞

参考文献

## 1. まえがき

PINダイオードやFETなどを用いた高周波半導体スイッチは、小型で、低消費電力動作が可能であり、移動通信や衛星通信において、送受切り替えスイッチ等に用いられている。PINダイオードを用いたものは、ON/OFF制御のためにバイアス電流が必要であり、消費電力がやや大きい。また、GaAs FETを用いたものは、FETを一種の受動素子として使用し、FETのチャネル抵抗がゲートバイアスによって著しく変わることを利用して、スイッチをON/OFFさせる。よって、ドレインバイアスが不要となり、スイッチの消費電力をゼロにできる。

一方、近年ミリ波帯を利用したパーソナル通信システムや無線LANなどの開発が盛んに行われるようになってきた。しかし、FETスイッチをミリ波帯で用いる場合、FETのOFF時の容量をゼロにできないため、FETが伝送路に直列装荷される場合には、この容量が、高周波、特にミリ波帯におけるアイソレーションを著しく低下させる。

そこで本報告では、ミリ波帯において高アイソレーションを得るためのMMIC FETスイッチの新しい回路構成を提案し、その構成法、および試作結果について述べる。

## 2. FETのON・OFF時の等価回路

図2-1に、FETのON時とOFF時の等価回路を示す[1]。スイッチとして動作させる場合は、ドレイン・ソース間には電圧を印加せずに、ゲートバイアスのみの印加電圧を変化させてFETをON/OFFさせる。FETがON ( $V_g=0V$ ) の時には、ドレイン・ソース間の抵抗 (ON抵抗:  $R_{ON}$ ) で表わされ、通常数 $\Omega$ の値である。また、FETがOFF ( $|V_g| > |V_p|$ ,  $V_p$ : ピンチオフ電圧) の時には、ドレイン・ソース間の容量 (OFF容量:  $C_{OFF}$ ) と抵抗 (OFF抵抗:  $R_{OFF}$ ) で表わされる。この場合のOFF抵抗は数 $k\Omega$ の値である。

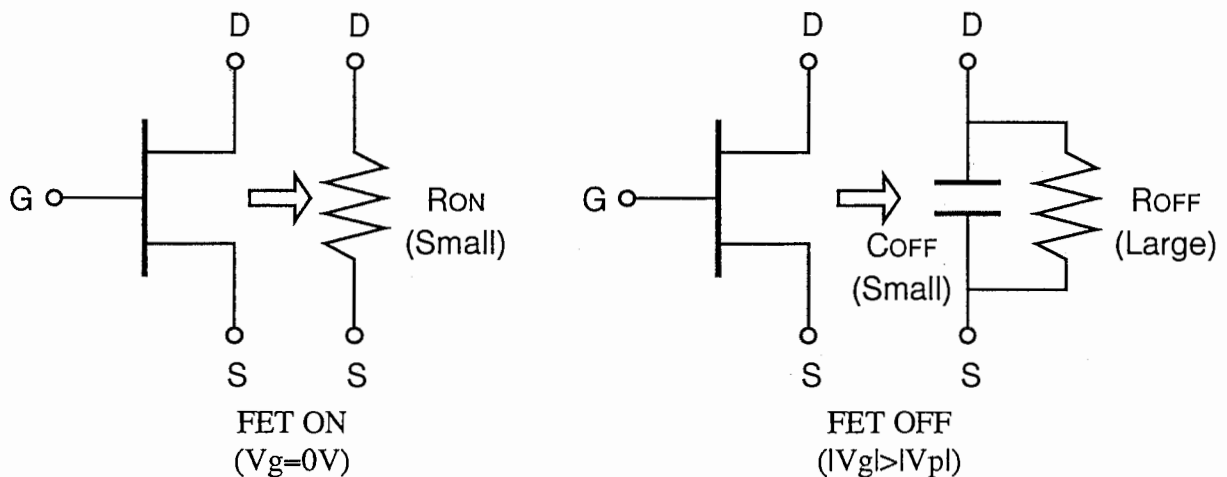


図2-1 FETの等価回路

### 3. 従来のスイッチ回路構成

従来構成のFETスイッチ回路は、伝送路に対して直列接続または並列接続されたFETを多段接続する構成[2]が多く用いられる。ここでは、ミリ波帯における特性を確認するために、FETを直列-並列-直列に接続した回路構成（図3-1）でMMICスイッチ回路を試作した。この回路はFET1・2をON、FET3をOFFさせた時にスイッチがONとなり、またFET1・2をOFF、FET3をONさせた時にスイッチがOFFとなる。図3-2は試作した回路のチップ写真（S326SW）である。使用したFETのゲート幅は200 $\mu\text{m}$ 、チップサイズは1.15mm $\times$ 0.75mmである。

図3-3にこのスイッチ回路の周波数特性を示す。この結果からわかるように、周波数が高くなるにつれて、アイソレーションが低下していき、40GHz以上では約4dB程度の値しか得られていない。このアイソレーション低下の原因は、主にFETのOFF容量 $C_{OFF}$ によるものである。このスイッチ回路を複数個直列につなぐことによって、アイソレーションを改善することが可能であるが、同時にON時の挿入損失も増大してしまう。また、チップ面積も大きくなってしまう。

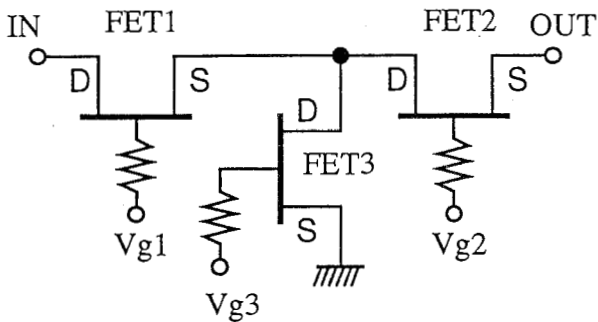


図3-1 回路構成

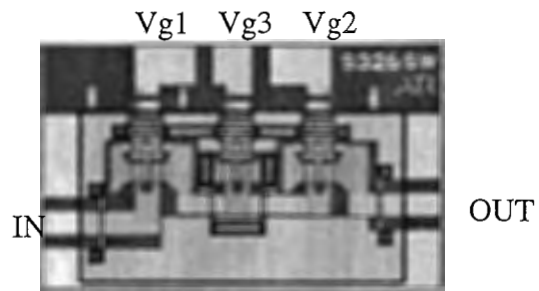


図3-2 チップ写真 (S326SW)

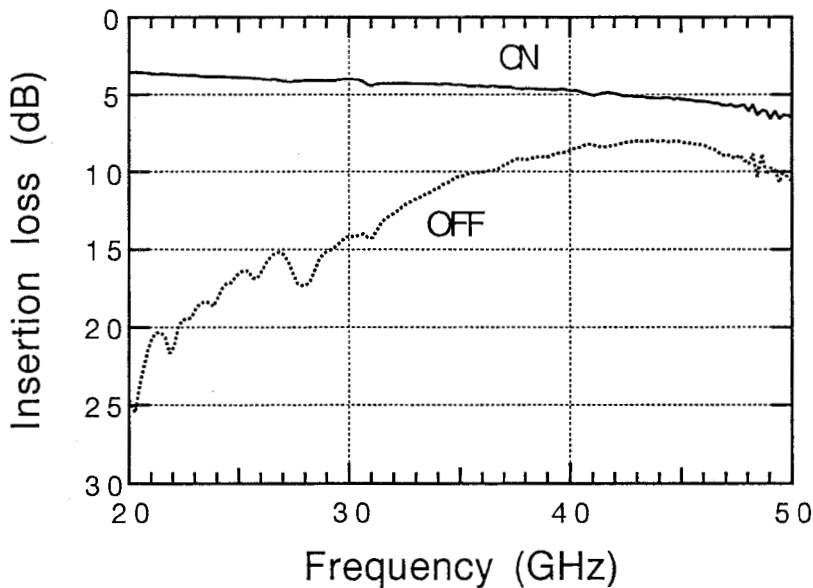


図3-3 周波数特性

#### 4. ミリ波帯高アイソレーションMMIC FETスイッチの提案

前章で述べたように、従来構成のFETスイッチ回路ではミリ波帯において高アイソレーションを得ることは難しい。そこで新たに、三種類のミリ波帯高アイソレーションMMIC FETスイッチ回路を提案した。以下に、それらについて述べる。

##### 4.1 高アイソレーションスイッチ回路 (1)

###### 4.1.1 回路構成

回路構成を図4-1-1に示す。これは2章で述べた直列-並列-直列型のスイッチ回路に、1/4波長伝送線路を図のように付加した構成である。この回路ではFET1・2をOFF、FET3をONさせた時にスイッチがONとなり、またFET1・2をON、FET3をOFFさせた時にスイッチがOFFとなる。

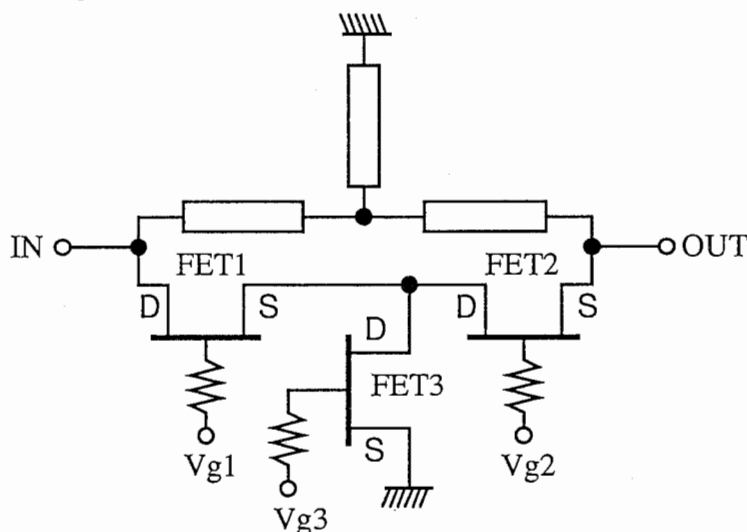


図4-1-1 回路構成

###### 4.1.2 動作の説明

図4-1-2(a)にスイッチ回路のOFF時の等価回路を示す。FETのOFF抵抗は数kΩと高い値であり、この場合は無視できるため、OFF容量のみで表わした。また、1/4波長伝送線路はインダクタ(L)とキャパシタ(C)の集中定数素子で等価的に表わし、C-L-Cのπ型回路で置き換えた。ここで、RONはFETのON抵抗、COFFはFETのOFF容量、l1・l3は伝送線路の等価インダクタ、c11・c12・c31・c32は伝送線路の等価容量である。この図で、伝送線路の等価容量c12・c11・c32をまとめて等価容量csとすると、図4-1-2(b)の等価回路になる。ここで、FETのON抵抗RONの抵抗値は数Ωであるので、ゼロとみなし、また、インダクタl3は主に低周波領域において支配的であり、ミリ波帯ではこれらのインダクタの影響は少ないのでこれを無視すると、図4-1-2(c)の様に書くことができる。この図4-1-2(c)を書き換えると、図4-1-2(d)の様になり、これは一種の直列共振回路として動作し、この時の共振周波数f0は次式で表わされる。

$$f_0 = \frac{1}{2\pi\sqrt{(L1/2) \cdot C_s}}$$

ただし、 $L1$ は等価インダクタ $\ell1$ のインダクタンス、 $Cs$ は等価容量 $c_s$ のキャパシタンスである。従って、容量素子、またはインダクタの値、すなわち伝送線路のインピーダンスと線路長を選定すれば、目的とする動作周波数で非常に大きなアイソレーション特性が得られる

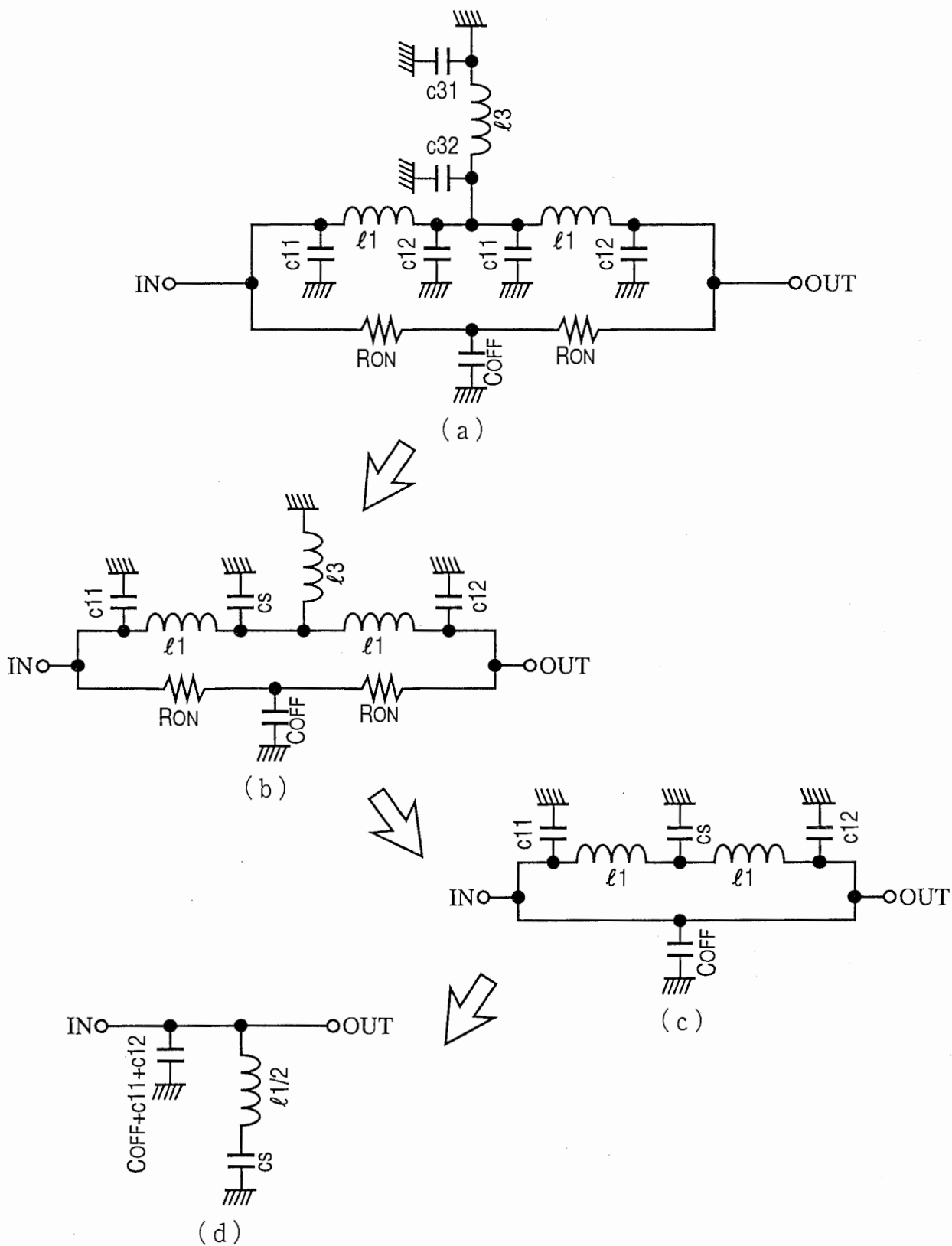


図4-1-2 OFF時の等価回路

次に、スイッチ回路のON時の等価回路を図4-1-3(a)に示す。この図でOFF時のときと同様にして回路を簡単にする、図4-1-3(b)の等価回路になる。さらに、COFFとc11を1つにまとめると図4-1-3(c)のような等価回路になる。この図からわかるように、この回路はローパスフィルタとみなすことができ、低損失な、すなわち良好なON特性を得ることができる。

ここで上記の動作説明を確かめるために、OFF時の等価回路（図4-1-2(d)）およびON時の等価回路（図4-1-3(c)）により、シミュレーションを行ない、説明通り動作することを確認した。それらのネットリストを図4-1-4(a)・(b)に示す。また、シミュレーション結果を図4-1-5に示す。なお、回路シミュレータにはHP-EEsof社の"Libra.ver.3.5"を用いた。

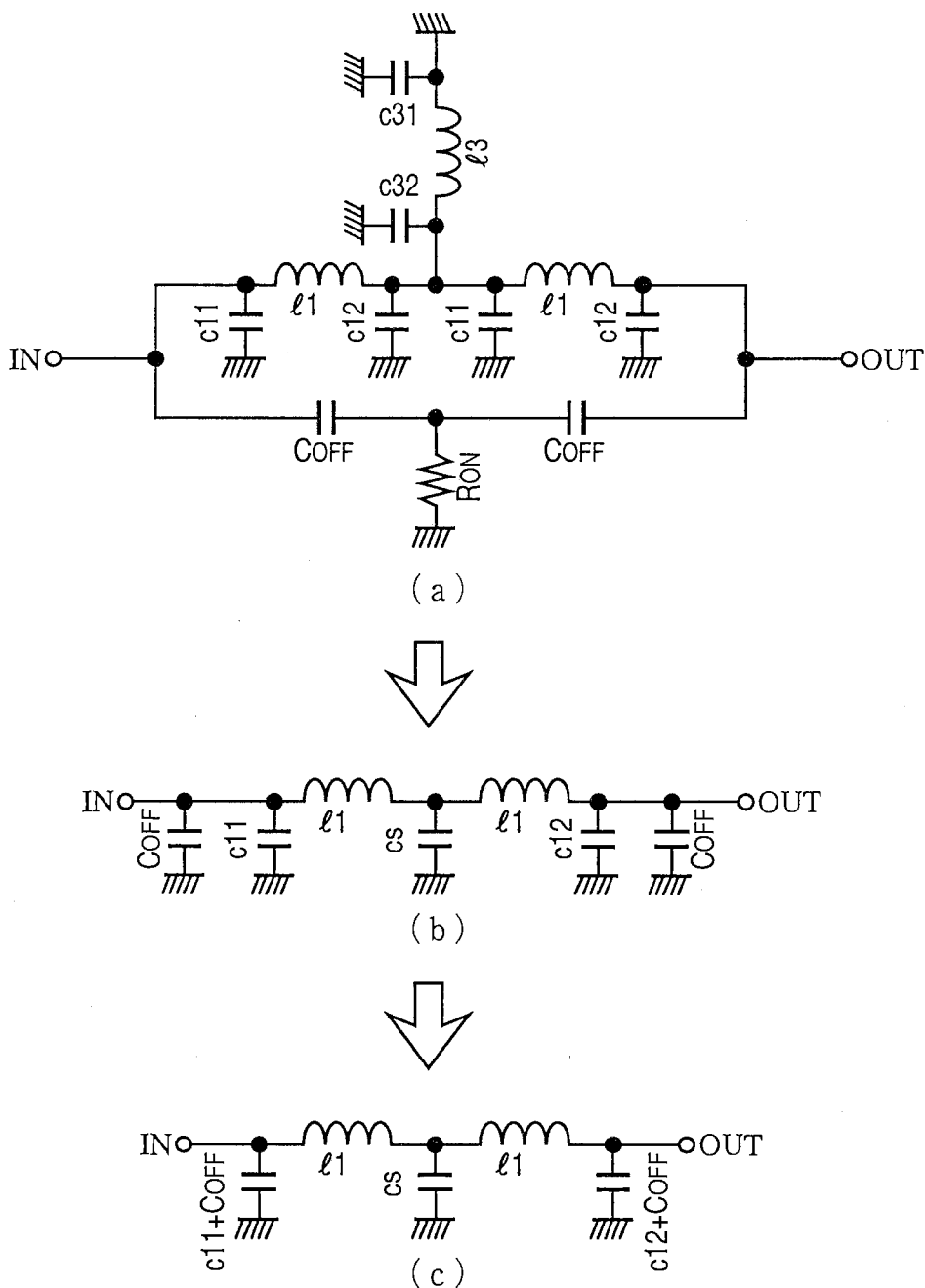


図4-1-3 ON時の等価回路

```

! SW(sim_sw3off2_a.ckt)
var
!l11=0.15
!r00=0
rc=3.4
l15\0.4
cc5\0.07
l16\0.25
cc6\0.09
r0=10.9
rr1=2000
rr2=12
l12=0.06
ccl=0.13
rr=1
rr0=0
!w0=10
!l0=350
w1=10
l1=1400
w2=20
l2=1400

eqn
l16s=l16/2

ckt
msub er=3.7 h=10 t=1 rho=2 rgh=0.8

!eq.sw
res 10 1 r^Arr
res 1 2 r^Arr2 !feton
ind 1 2 l^A112
res 2 0 r^Arr1 !fetoff
cap 2 0 c^Acc1
res 2 3 r^Arr2 !feton
ind 2 3 l^A112
res 3 30 r^Arr
m1in 1 4 w^Aw2 l^A12
m1in 4 3 w^Aw2 l^A12
m1in 4 0 w^Aw1 l^A11
! m1in 1 0 w^Aw0 l^A10
! m1in 3 0 w^Aw0 l^A10
def2p 10 30 sw_off

!4/pi-line
ind 1 2 l^A115 !70ohm,34GHz
cap 1 0 c^Acc5
cap 2 0 c^Acc5
def2p 1 2 line1

ind 1 2 l^A116 !50ohm,34GHz
cap 1 0 c^Acc6
cap 2 0 c^Acc6
def2p 1 2 line2

```

図4-1-4(a) OFF時のネットリスト

```

cap 1 2 c^Acc5
cap 1 2 c^Acc6
cap 1 2 c^Acc6
def2p 1 2 cc56

cap 1 2 c^Acc1
cap 1 2 c^Acc6
cap 1 2 c^Acc6
def2p 1 2 ccl16

!eq.ckt
res 10 1 r^Arr0
res 1 2 r^Arr2 !feton
cap 2 0 c^Acc1 !fetoff
res 2 3 r^Arr2 !feton
res 3 30 r^Arr0
res 1 4 r^Ar0
! line2 4 5
ind 4 5 l^A116
! line2 5 6
ind 5 6 l^A116
res 6 3 r^Ar0
cc56 5 0
! line1 5 7
! ind 5 0 l^A115

! ind 1 0 l^A111
! ind 3 0 l^A111
def2p 10 30 eq_off

unit 1 2
ind 2 4 l^A116s
cc56 4 0
ccl16 2 0
unit 2 3
def2p 1 3 trap

unit 1 2
ind 2 4 l^A116s
cc56 4 0
! ccl16 2 0
unit 2 3
def2p 1 3 trap1

out
sw_off db[s21] gr1
eq_off db[s21] gr1
trap db[s21] gr1
trap1 db[s21] gr1

freq
sweep 0.2 50 0.2

grid
range 0 50 5
gr1 -60 0 5
gr1a -60 0

```

```

! SW(sim_sw3on_a.ckt)
var
!l11=0.15
!r00=4.4
l15\0.4
cc5\0.07
l16\0.25
cc6\0.09
r0=0
rr1=2000
rr2=0
rr02=0
l12=0.06
ccl=0.13
rr=1
rr0=1
!w0=10
!l0=350
w1=10
l1=1400
w2=20
l2=1400

ckt
msub er=3.7 h=10 t=1 rho=2 rgh=0.8

!eq.sw
res 10 1 r^Arr
! res 1 2 r^Arr1 !fetoff
cap 1 2 c^Acc1
res 2 0 r^Arr2 !feton
ind 2 0 l^A112
! res 2 3 r^Arr1 !fetoff
cap 2 3 c^Acc1
res 3 30 r^Arr
m1in 1 4 w^Aw2 l^A12
m1in 4 3 w^Aw2 l^A12
m1in 4 0 w^Aw1 l^A11
! m1in 1 0 w^Aw0 l^A10
! m1in 3 0 w^Aw0 l^A10
def2p 10 30 sw_on

cap 1 2 c^Acc5
cap 1 2 c^Acc6
cap 1 2 c^Acc6
def2p 1 2 cc56

cap 1 2 c^Acc1
cap 1 2 c^Acc6
def2p 1 2 cc61

```

```

!eq.ckt
res 10 1 r^Arr0
cap 1 2 c^Acc1 !fetoff
res 2 0 r^Arr02 !feton
! ind 2 0 l^A112
cap 2 3 c^Acc1 !fetoff
res 3 30 r^Arr0
res 1 4 r^Ar0
! line2 4 5
ind 4 5 l^A116
cap 4 0 c^Acc6
! line2 5 6
ind 5 6 l^A116
cap 6 0 c^Acc6
res 6 3 r^Ar0
cc56 5 0
! line1 5 7
! ind 5 0 l^A115

! ind 1 0 l^A111
! res 8 0 r^Ar00
! ind 3 0 l^A111
! res 9 0 r^Ar00
def2p 10 30 eq_on

ind 1 2 l^A116
ind 2 3 l^A116
cc61 1 0
cc61 3 0
cc56 2 0
def2p 1 3 low

out
sw_on db[s21] gr1a
eq_on db[s21] gr1a
low db[s21] gr1a

freq
sweep 0.2 50 0.2
grid
range 0 50 5
gr1 -60 0 5
gr1a -60 0

```

図4-1-4(b) ON時のネットリスト



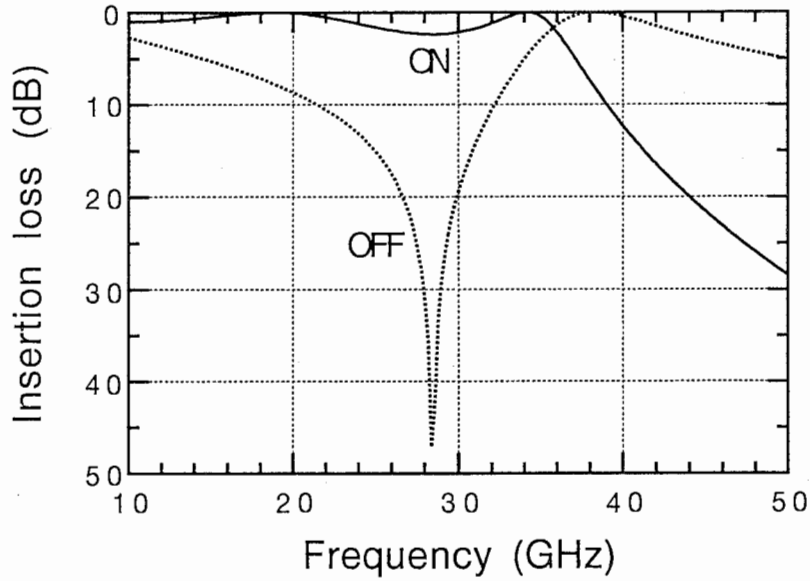


図4-1-5 ネットリスト (図4-1-4) によるシミュレーション結果

## 4.2 高アイソレーションスイッチ回路 (2)

### 4.2.1 回路構成

回路構成を図4-2-1に示す。これは4.1章で述べたスイッチ回路に、さらに、1/16波長伝送線路を図のように回路の両端に付加した構成である。この回路は4.1章の回路と同様に、FET1・2をOFF、FET3をONさせた時にスイッチがONとなり、またFET1・2をON、FET3をOFFさせた時にスイッチがOFFとなる。

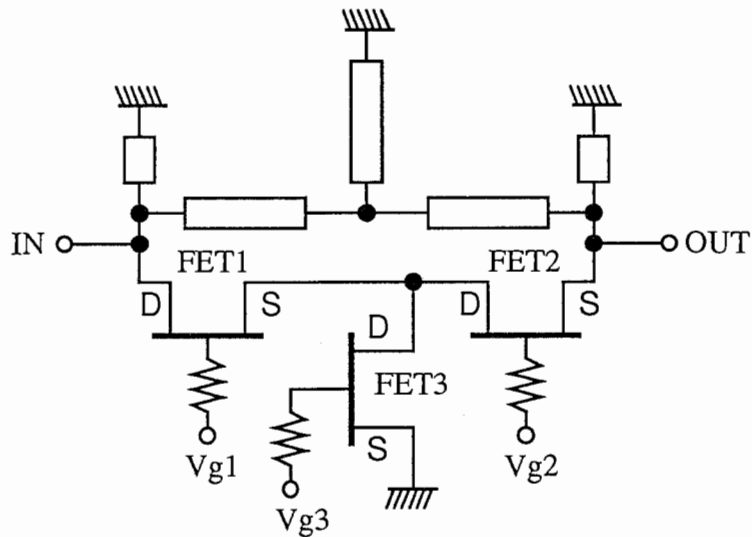


図4-2-1 回路構成

### 4.2.2 動作の説明

1/16波長伝送線路をインダクタ (L) の集中定数素子で等価的に表わすと、等価回路は図4-2-2(a)のようになり、これは、図4-1-2(a)の等価回路に等価インダクタ $l_4$ を付加した回路である。従って4.1.2章と同様に、伝送線路の等価容量 $c_{12} \cdot c_{11} \cdot c_{32}$ をまとめ、インダクタ $l_3$ を無視すると、図4-2-2(b)の様に書くことができる。さらにこれを簡単になると、図4-2-2(d)のようになる。これは図4-1-2(d)とまったく同じであり、共振周波数 $f_0$ は次式で表わされる。

$$f_0 = \frac{1}{2\pi\sqrt{(L/2) \cdot C_s}}$$

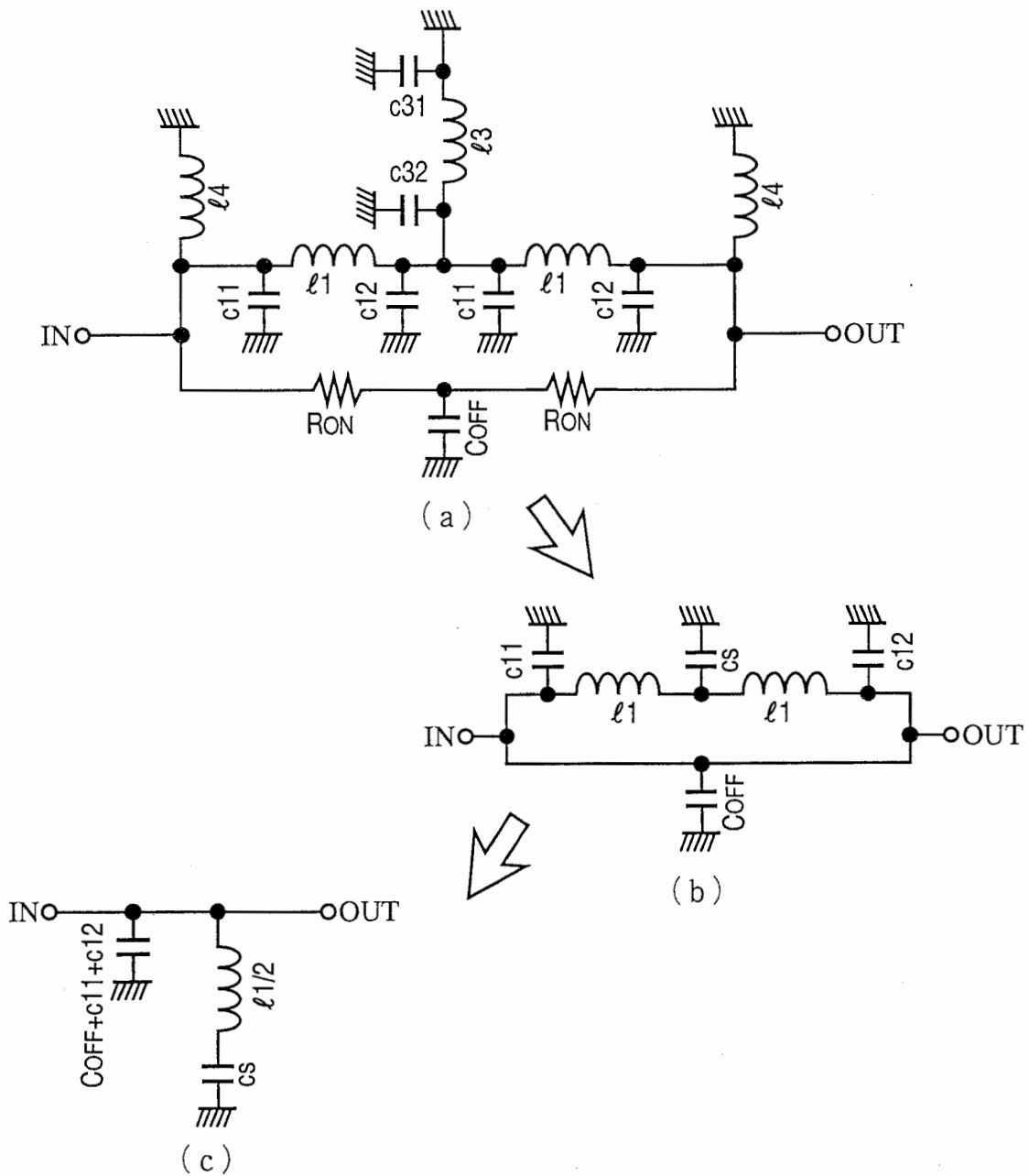


図4-2-2 OFF時の等価回路

次に、スイッチ回路のON時の等価回路を図4-2-3(a)に示す。これをOFF時のときと同様にして回路を簡単にする、図4-2-3(b)の等価回路になる。ここで $R_{ON}$ の抵抗値をゼロとみなすと、図4-2-3(c)のような等価回路になる。この図からわかるように、この回路は一種のバンドパスフィルタとみなすことができ、目的の周波数で低損失な、すなわち良好なON特性を得ることができる。

ここで上記の動作説明を確かめるために、OFF時の等価回路（図4-2-2(d)）およびON時の等価回路（図4-2-3(c)）により、シミュレーションを行ない、説明通り動作することを確認した。それらのネットリストを図4-2-4(a)・(b)に示す。また、シミュレーション結果を図4-2-5に示す。

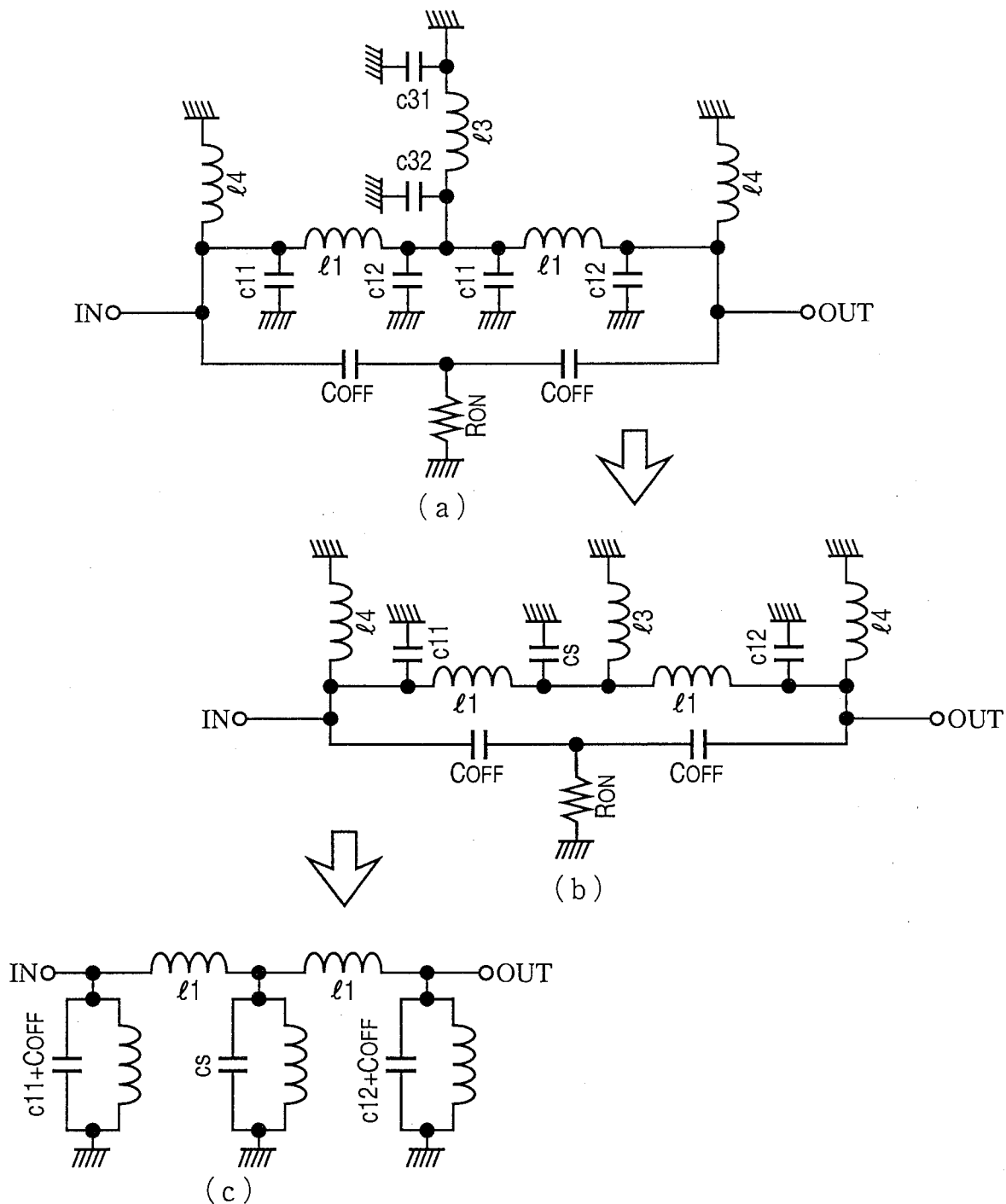


図4-2-3 ON時の等価回路

```

! SW(sim_sw5off2.ckt)
var
l11=0.15
r00=0
rc=3.4
l15\0.4
cc5\0.07
l16\0.25
cc6\0.09
r0=10.9
rr1=2000
rr2=12
l12=0.06
ccl=0.13
rr=1
rr0=0
w0=10
l0=350
w1=10
l1=1400
w2=20
l2=1400

eqn
l16s=l16/2

ckt
msub er=3.7 h=10 t=1 rho=2 rgh=0.8

!eq.sw
res 10 1 r^rr
res 1 2 r^rr2 !feton
ind 1 2 l^l12
res 2 0 r^rr1 !fetoff
cap 2 0 c^cc1
res 2 3 r^rr2 !feton
ind 2 3 l^l12
res 3 30 r^rr
m1in 1 4 w^w2 l^l12
m1in 4 3 w^w2 l^l12
m1in 4 0 w^w1 l^l11
m1in 1 0 w^w0 l^l10
m1in 3 0 w^w0 l^l10
def2p 10 30 sw_off

!4/pi-line
ind 1 2 l^l15 !70ohm,34GHZ
cap 1 0 c^cc5
cap 2 0 c^cc5
def2p 1 2 line1

ind 1 2 l^l16 !50ohm,34GHZ
cap 1 0 c^cc6
cap 2 0 c^cc6
def2p 1 2 line2

```

図4-2-4(a) OFF時のネットリスト

```

cap 1 2 c^cc5
cap 1 2 c^cc6
cap 1 2 c^cc6
def2p 1 2 cc56

cap 1 2 c^cc1
cap 1 2 c^cc6
cap 1 2 c^cc6
def2p 1 2 ccl16

!eq.ckt
res 10 1 r^rr0
res 1 2 r^rr2 !feton
cap 2 0 c^cc1 !fetoff
res 2 3 r^rr2 !feton
res 3 30 r^rr0
res 1 4 r^r0
! line2 4 5
ind 4 5 l^l16
! line2 5 6
ind 5 6 l^l16
res 6 3 r^r0
cc56 5 0
! line1 5 7
!ind 5 0 l^l15

ind 1 0 l^l11
ind 3 0 l^l11
def2p 10 30 eq_off

unit 1 2
ind 2 4 l^l16s
cc56 4 0
ccl16 2 0
unit 2 3
def2p 1 3 trap

res 1 2 r=0
ind 1 3 l^l16
ind 2 3 l^l16
cc56 3 0
ccl16 2 0
def2p 1 2 trap1

out
sw_off db[s21] gr1
eq_off db[s21] gr1
trap db[s21] gr1
trap1 db[s21] gr1

freq
sweep 0.2 50 0.2

grid
range 0 50 5
gr1 -60 0 5
gr1a -60 0

```

```

! SW(sim_sw5on2.ckt)
var
l11=0.15
r00=4.4
l15\0.4
cc5\0.07
l16\0.25
cc6\0.09
r0=0
rr1=2000
rr2=0
l12=0.06
ccl=0.13
rr=1
rr0=1
w0=10
l0=350
w1=10
l1=1400
w2=20
l2=1400

ckt
msub er=3.7 h=10 t=1 rho=2 rgh=0.8

!eq.sw
res 10 1 r^rr
res 1 2 r^rr1 !fetoff
cap 1 2 c^cc1
res 2 0 r^rr2 !feton
ind 2 0 l^l12
res 2 3 r^rr1 !fetoff
cap 2 3 c^cc1
res 3 30 r^rr
m1in 1 4 w^w2 l^l12
m1in 4 3 w^w2 l^l12
m1in 4 0 w^w1 l^l11
m1in 1 0 w^w0 l^l10
m1in 3 0 w^w0 l^l10
def2p 10 30 sw_on

cap 1 2 c^cc5
cap 1 2 c^cc6
cap 1 2 c^cc6
def2p 1 2 cc56

cap 1 2 c^cc1
cap 1 2 c^cc6
def2p 1 2 cc61

```

図4-2-4(b) ON時のネットリスト

```

!eq.ckt
res 10 1 r^rr0
cap 1 2 c^cc1 !fetoff
res 2 0 r^rr02 !feton
! ind 2 0 l^l12
cap 2 3 c^cc1 !fetoff
res 3 30 r^rr0
res 1 4 r^r0
! line2 4 5
ind 4 5 l^l16
cap 4 0 c^cc6
! line2 5 6
ind 5 6 l^l16
cap 6 0 c^cc6
res 6 3 r^r0
cc56 5 0
! line1 5 7
ind 5 0 l^l15

ind 1 0 l^l11
res 8 0 r^r00
ind 3 0 l^l11
res 9 0 r^r00
def2p 10 30 eq_on

ind 1 2 l^l16
ind 2 3 l^l16
cc61 1 0
ind 1 0 l^l11
cc61 3 0
ind 3 0 l^l15
cc56 2 0
ind 2 0 l^l11
def2p 1 3 low

out
sw_on db[s21] gr1a
eq_on db[s21] gr1a
low db[s21] gr1a

freq
sweep 0.2 50 0.2

grid
range 0 50 5
gr1 -60 0 5
gr1a -60 0

```

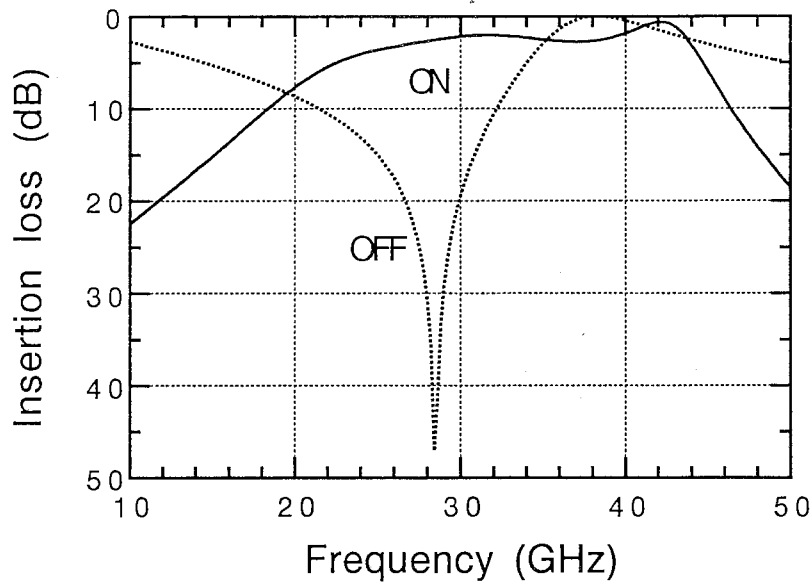


図4-2-5 ネットリスト (図4-2-4) によるシミュレーション結果

### 4.3 高アイソレーションスイッチ回路 (3)

#### 4.3.1 回路構成

4.1・4.2章で提案したスイッチ回路は、いずれも直列-並列-直列型スイッチ回路を元にして回路を構成しているため、3つのFETをそれぞれ別々に制御してやらなければならない。そこで、より簡単な構成で小型なFETスイッチを提案した。

提案した回路構成を図4-3-1に示す。これはFETを1個だけ使い、そのドレイン・ソース間に伝送線路および抵抗素子  $r$  を図のように付加した簡単な回路であり、ON/OFF制御が簡単であり、かつ非常に小型に構成できる。

この回路ではFETをONさせた時にスイッチがONとなり、またFETをOFFさせた時にスイッチがOFFとなる。

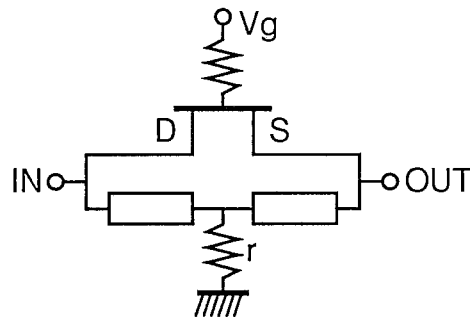


図4-3-1 回路構成

### 4.3.2 動作の説明

図4-3-2にスイッチ回路のOFF時の等価回路を示す。伝送線路はインダクタ (L) の集中定数素子で等価的に表わした。この図から、このスイッチ回路は、基本的にはLCの並列共振回路として動作し、共振周波数において大きなアイソレーションを実現できる。しかしながら、実際にはFETのOFF抵抗 $R_{OFF}$ があるために、共振周波数での減衰量が小さくなってしまふ。そこで、 $r$ を付加することにより、より大きな減衰量を実現できる。これを確認するために、OFF時の等価回路 (図4-3-2) およびON時の等価回路 (図4-3-3) を用い、 $r$ の値を変化させてシミュレーションを行なった。そのネットリストを図4-3-4に示す。また、シミュレーション結果を図4-3-5に示す。これから、 $r$ の値を適当の選ぶことにより、より大きなアイソレーションが得られることがわかる。

また、この時の並列共振周波数 $f_0$ は次式で表すことができる。

$$f_0 = \frac{1}{2\pi\sqrt{(L_1+L_2)\cdot C}}$$

ただし、 $L_1 \cdot L_2$ は、それぞれ等価インダクタ $l_1 \cdot l_2$ のインダクタンス、 $C$ はFETのOFF容量 $C_{OFF}$ のキャパシタンスである。従って、インダクタの値、すなわち伝送線路のインピーダンスと線路長を選定すれば、目的とする動作周波数で非常に大きなアイソレーション特性が得られる。

次に、スイッチ回路がONの時には図4-3-3に示すような等価回路で表わせる。ここでFETのON抵抗等価 $R_{ON}$ の抵抗値は一般に数 $\Omega$ であるので、入力と出力との間は、ほぼ短絡状態となり、スイッチ回路はONとなる。

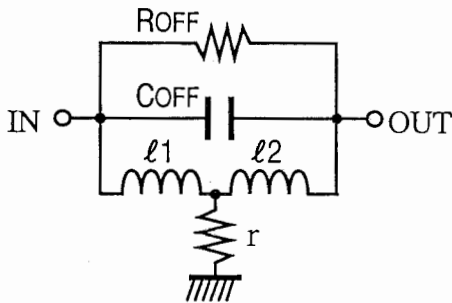


図4-3-2 OFF時の等価回路

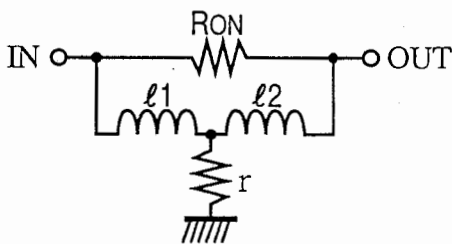


図4-3-3 ON時の等価回路

```

I SWICHTH (s438_eq2)
VAR
l1\0.11
ron\5
coff\0.075
roff\700
cg\0.01
rl=275
CKT
!eq_circuit
ind 1 2 1^l1
cap 1 0 c^cg
cap 2 0 c^cg
ind 2 3 1^l1
cap 2 0 c^cg
cap 3 0 c^cg
res 2 0 r^rl
res 1 3 r^ron
def2p 1 3 eqon
OUT
eqon db[s21] gr1
eqon db[s11] gr2
eqoff db[s21] gr1
eqoff db[s11] gr2
GRID
RANGE 0 60 5
GR1 -50 0 5
GR1a -10 0 5
GR2 -50 0 5
GR2a -10 0 5
ind 1 2 1^l1
cap 1 0 c^cg
cap 2 0 c^cg
ind 2 3 1^l1
cap 2 0 c^cg
cap 3 0 c^cg
res 2 0 r^rl
cap 1 3 c^coff
res 1 3 r^roff
def2p 1 3 eqoff
FREQ
SWEEP 0.5 60 0.25

```

図4-3-4 ネットリスト

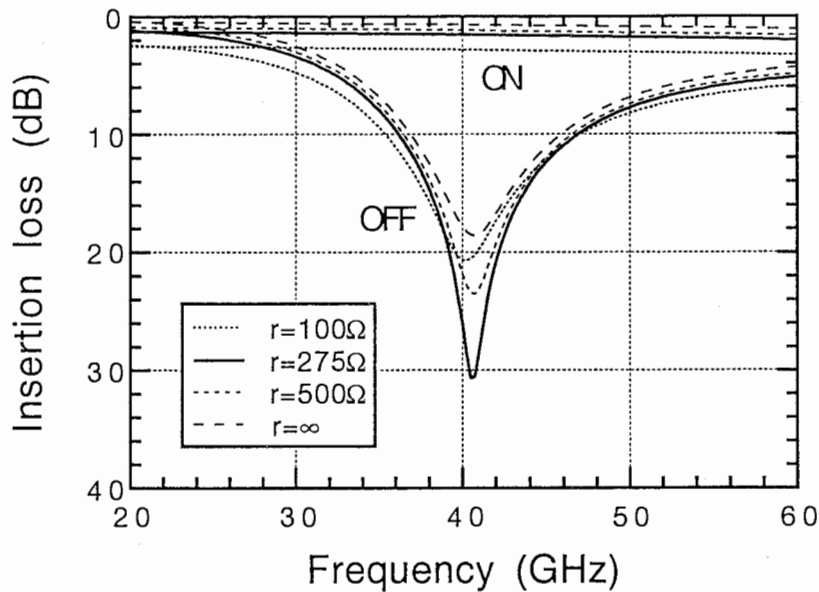


図4-3-5 ネットリスト (図4-3-4) によるシミュレーション結果

## 5. ミリ波帯高アイソレーションMMIC FETスイッチの試作結果

ここでは、4章で述べたそれぞれのスイッチ回路の試作結果について述べる。ただし、回路(2)に関しては、試作を行っていないため、シミュレーション結果のみを述べる。なお、設計において、回路定数の最適化にはHP-EEsof社の"Libra.ver.3.5"を用いた。また、設計に用いたFETのS-パラメータは、実測データを用いた。

### 5.1 高アイソレーションスイッチ回路(1)

図5-1-1に、設計に用いたネットリストを示す。設計中心周波数は34GHzとした。図5-1-2に試作したスイッチ回路のチップ写真(S325SW)を示す。伝送線路の部分は薄膜マイクロストリップ線路を用いた。使用したFETのゲート幅は200 $\mu$ m、チップサイズは1.15mm $\times$ 1.0mmである。

図5-1-3に試作したスイッチ回路の周波数特性を示す。シミュレーション結果もあわせて示す。中心周波数41GHzにおいて、この周波数としては非常に大きな、50dBのアイソレーションおよび挿入損失4dBの特性が得られた。設計中心周波数と実際の中心周波数は大きくずれてしまっているが、これは、設計の用いたFETのパラメータと実際のパラメータが違っているためと思われる。

このように、中心周波数はずれているが、ほぼ設計通りの特性が得られた。しかし、試作した回路の実際の動作は、図4-1-1のFET1・FET2がON、FET3がOFFの時に、スイッチ回路がONとなり、FET1・FET2がOFF、FET3がONの時に、スイッチ回路がOFFとなる。すなわち、4.1.2で述べたスイッチの動作とは、FETのON・OFF条件が正反対の結果となってしまった(表5-1-1参照)にもかかわらず、見かけ上は正常な動作をしている。初めは、設計に用いたFETのS-パラメータや、ネットリストに間違いがあるのではないかと思いリストを検証したが、間違いと思われる所は発見できなかった。さらに、メアンダ状に配

置している伝送線路のカップリングの影響を考慮してシミュレーションを行なったが、これも問題の解決には至らなかった。

次に、FETの印加電圧をいろいろ変化させて測定を行ってみた。その結果わかったことは、試作したスイッチ回路がOFF状態（FET1・FET2：OFF、FET3：ON）の時に、FET3をOFFさせても、スイッチ回路はアイソレーション特性は若干悪くなった程度で、OFF状態を保ったままであった。

このようなことから考えると、実際の回路でOFF時に形成される共振回路が、前述した解釈とは違うものである可能性があるが、現在のところこれ以上の説明はできていない。

```

! SW(sim_sw3.ckt)
var
rr1\2000
rr2\12
l12\0.06
ccl\0.13
rr\3
w1=10
l1#500 1400 2000
w2\20
l2#500 1400 1500

ckt
msub er=3.7 h=10 t=1 rho=2 rgh=0.8

!FET Vd=0V Vg=-2.0V
s2pa 1 2 3 ./spara/tmt100_002.out
s2pa 1 2 3 ./spara/tmt100_002.out
def3p 1 2 3 fetoff

!FET Vd=0V Vg=0V
s2pb 1 2 3 ./spara/tmt100_000.out
s2pb 1 2 3 ./spara/tmt100_000.out
def3p 1 2 3 feton

fetoff 6 1 2
fetoff 7 2 3
feton 8 2 0
res 6 0 r=2000
res 7 0 r=2000
res 8 0 r=2000
mlin 1 4 w^w2 1^12
mlin 4 3 w^w2 1^12
mlin 4 0 w^w1 1^11
def2p 1 3 swon

feton 6 1 2
feton 7 2 3
fetoff 8 2 0
res 6 0 r=2000
res 7 0 r=2000
res 8 0 r=2000
mlin 1 4 w^w2 1^12
mlin 4 3 w^w2 1^12
mlin 4 0 w^w1 1^11
def2p 1 3 swoff

!eq.ckt
res 10 1 r^rr
res 1 2 r^rr1 !fetoff
cap 1 2 c^ccl
res 2 0 r^rr2 !feton
ind 2 0 l^l12
res 2 3 r^rr1 !fetoff
cap 2 3 c^ccl
res 3 30 r^rr
mlin 1 4 w^w2 1^12
mlin 4 3 w^w2 1^12
mlin 4 0 w^w1 1^11
def2p 10 30 eq_on

res 10 1 r^rr
res 1 2 r^rr2 !feton
ind 1 2 l^l12
res 2 0 r^rr1 !fetoff
cap 2 0 c^ccl
res 2 3 r^rr2 !feton
ind 2 3 l^l12
res 3 30 r^rr
mlin 1 4 w^w2 1^12
mlin 4 3 w^w2 1^12
mlin 4 0 w^w1 1^11
def2p 10 30 eq_off

out
swon db[s21] gr1a
swoff db[s21] gr1
eq_on db[s21] gr1a
eq_off db[s21] gr1

freq
sweep 0.2 50 0.2

grid
range 0 50 5
gr1 -60 0 5
gr1a -60 0

opt
range 35 40
swon db[s21]=0 50
swoff db[s21]<-40 20

```

図5-1-1 設計に用いたネットリスト

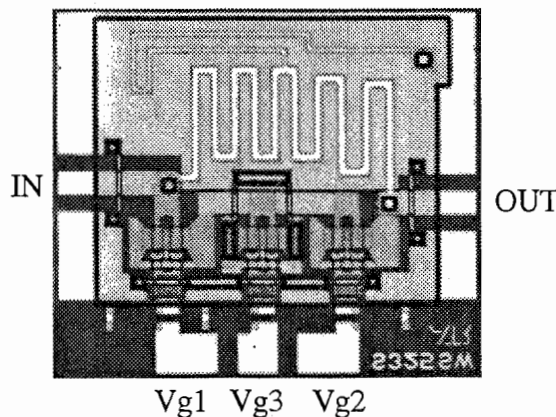


図5-1-2 チップ写真 (S325SW)



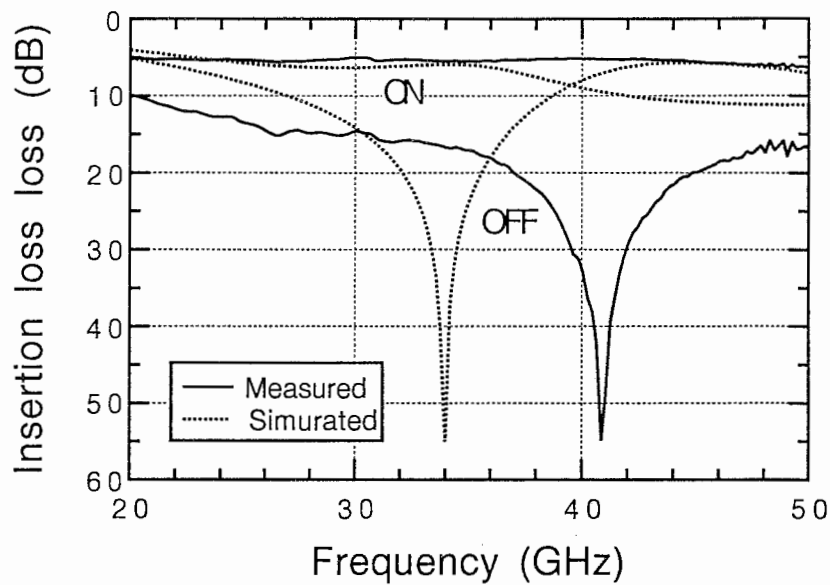


図5-1-3 周波数特性

	シミュレーション		測定結果	
	ON	OFF	OFF	ON
FET1・2	ON	OFF	OFF	ON
FET3	OFF	ON	ON	OFF
スイッチ	OFF	ON	OFF	ON

表5-1-1 スイッチをON/OFFさせるための各FETのON/OFF条件

## 5.2 高アイソレーションスイッチ回路 (2)

この回路に関しては、シミュレーション結果のみを示す。図5-2-1に、設計に用いたネットリストを示す。設計中心周波数は34GHzとした。図5-2-2にスイッチ回路のシミュレーション結果を示す。この図から、回路(1)とほぼ同様な結果が得られることがわかる。

```

! SW(sy_sw5m.ckt)
var
w0=10
l0=350
z0=70
e0=30
l1l\0.15
!z1#35 38.80299 70
!e1\78.39936
w1=10
l1#500 1400 2000
f1=40
!z2=60
!e2#100 100 500
w2\20
l2#500 1400 1500
ckt
msub er=3.7 h=10 t=1 rho=2 rgh=0.8

!FET Vd=0V Vg=-2.0V
s2pa 1 2 3 ./spara/tmt100_002.out
s2pa 1 2 3 ./spara/tmt100_002.out
def3p 1 2 3 fetoff

!FET Vd=0V Vg=0V
s2pb 1 2 3 ./spara/tmt100_000.out
s2pb 1 2 3 ./spara/tmt100_000.out
def3p 1 2 3 feton

fetoff 6 1 2
fetoff 7 2 3
fetoff 8 2 0
res 6 0 r=2000
res 7 0 r=2000
res 8 0 r=2000
! tlin 1 4 z^z2 e^e2 f^f1
m1in 1 4 w^w2 l^l2
! tlin 4 3 z^z2 e^e2 f^f1
m1in 4 3 w^w2 l^l2
! tlin 4 0 z^z1 e^e1 f^f1
m1in 4 0 w^w1 l^l1
! ind 1 0 l^l11
! ind 3 0 l^l11
! tlin 1 0 z^z0 e^e0 f^f1
! tlin 3 0 z^z0 e^e0 f^f1
m1in 1 0 w^w0 l^l0
m1in 3 0 w^w0 l^l0
def2p 1 3 swon

feton 6 1 2
feton 7 2 3
fetoff 8 2 0
res 6 0 r=2000
res 7 0 r=2000
res 8 0 r=2000
! tlin 1 4 z^z2 e^e2 f^f1
m1in 1 4 w^w2 l^l2
! tlin 4 3 z^z2 e^e2 f^f1
m1in 4 3 w^w2 l^l2
! tlin 4 0 z^z1 e^e1 f^f1
m1in 4 0 w^w1 l^l1
! ind 1 0 l^l11
! ind 3 0 l^l11
! tlin 1 0 z^z0 e^e0 f^f1
! tlin 3 0 z^z0 e^e0 f^f1
m1in 1 0 w^w0 l^l0
m1in 3 0 w^w0 l^l0
def2p 1 3 swoff

proc
!iso=swoff/swon
!iso=swon/swoff

out
swon db[s21] grla
swon db[s11] grla
swoff db[s21] grl
!iso db[s21] grl

freq
sweep 0.2 50 0.2

grid
range 0 50 5
grl -60 0 5
grla -60 0

opt
range 35 40
swon db[s21]=-0 50
swoff db[s21]<-40 20
    
```

図5-2-1 ネットリスト

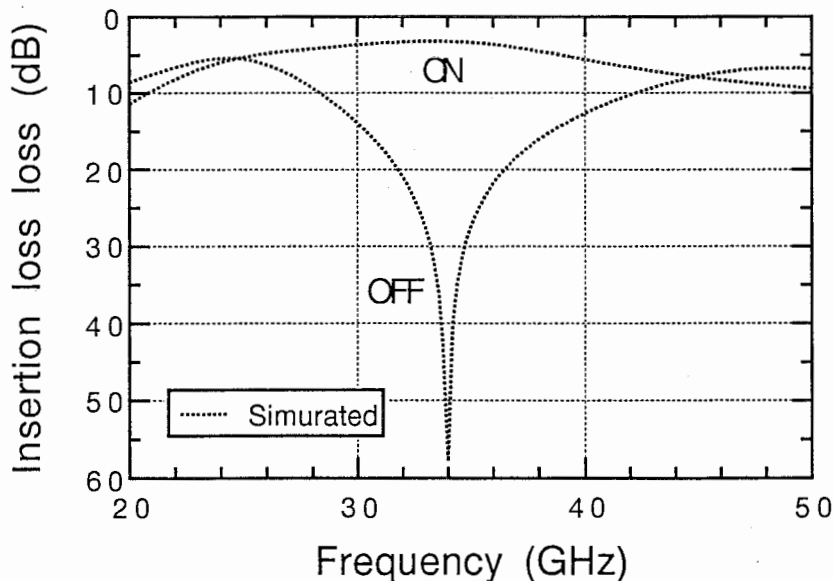


図5-2-3 周波数特性 (シミュレーション)

### 5.3 高アイソレーションスイッチ回路 (3)

中心周波数 ( $f_0$ ) を48GHzと43GHzにそれぞれ設定し、2つのスイッチ回路を設計した。図5-3-1(a)・(b)に、設計に用いたネットリストをそれぞれ示す。図5-3-2(a)・(b)に試作したスイッチ回路のチップ写真 (S437SW・S438SW) を示す。ここで、S437SWは  $f_0=43\text{GHz}$ ・S438SWは  $f_0=48\text{GHz}$  で設計した回路である。伝送線路の部分は薄膜マイクロストリップ線路を用いた。使用したFETのゲート幅は100 $\mu\text{m}$ 、チップサイズは両方とも0.72mm $\times$ 0.64mmである。

図5-3-3(a)・(b)に試作した2つのスイッチ回路の周波数特性をそれぞれ示す。シミュレーション結果もあわせて示す。S437SWは、中心周波数37.5GHzにおいて、29dBのアイソレーションおよび挿入損失2dBの特性が得られた。またS438SWは、中心周波数41GHzにおいて、25dBのアイソレーションおよび挿入損失2dBの特性が得られた。しかし、中心周波数は設計周波数からずれてしまっているが、これは、スイッチ回路(1)と同様に、設計に用いたFETのパラメータと実際のパラメータが違っているためと思われる。また、アイソレーションがシミュレーションに比べて劣化しているのは、設計と実際のFETパラメータとの違いに伴い、その時の最大のアイソレーションが得られる抵抗値の値が設計とは個となってしまったためと考えられる。なお、この回路は、動作説明で述べたように、FETをONさせた時にスイッチがON、FETをOFFさせた時にスイッチがOFFとなり、5.1章で述べた回路(1)のような現象は起きていない。

この回路の特性を回路(1)と比較すると、アイソレーション特性は劣るが、低損失であり、回路構成が簡単で回路面積も2.5分の1と非常に小型である。従って、この回路構成を用いることにより、マトリクススイッチ等の構成も容易である。

```

! SWITCH (sw5a2TR_43CC.ckt)

VAR
r1\300
w1#6 6.000000 30
m1\237
w3=20
m3=100
lg=30
lcpw=120

CXT
cpwsub er=12.9 h=450 t=1 rho=1 rgh=0
msub er=3.7 h=10 t=1 rho=1 rgh=0 !met5 <polyimide>

!FET: pai gate, Wg=100um
s2pa 1 2 3 ./spara/h6no3/ref/plrefm2.s2p !OFF: Vd=0V, Vg=-2V
res 1 0 r=2000
def2p 2 3 fetoff

s2pb 1 2 3 ./spara/h6no3/ref/plref0.s2p !ON: Vd=0V, Vg=0V
res 1 0 r=2000
def2p 2 3 feton

!SW_ON state
cpwg 10 50 w=42 g=29 l^1cpw
ribbon 50 51 w^w3 l^1g rho=1 af=0 co=0 al=0 a2=0
m1in 51 52 w^w3 l^m3
ribbon 52 1 w^w3 l^1g rho=1 af=0 co=0 al=0 a2=0

ribbon 1 11 w^w1 l^1g rho=1 af=0 co=0 al=0 a2=0
m1in 11 12 w^w1 l^m1
ribbon 12 2 w^w1 l^1g rho=1 af=0 co=0 al=0 a2=0
ribbon 2 22 w^w1 l^1g rho=1 af=0 co=0 al=0 a2=0
m1in 22 33 w^w1 l^m1
ribbon 33 3 w^w1 l^1g rho=1 af=0 co=0 al=0 a2=0
res 2 0 r^r1
feton 1 3

ribbon 3 61 w^w3 l^1g rho=1 af=0 co=0 al=0 a2=0
m1in 61 62 w^w3 l^m3
ribbon 62 60 w^w3 l^1g rho=1 af=0 co=0 al=0 a2=0
cpwg 60 30 w=42 g=29 l^1cpw
def2p 10 30 swon

!SW_OFF state
cpwg 10 50 w=42 g=29 l^1cpw
ribbon 50 51 w^w3 l^1g rho=1 af=0 co=0 al=0 a2=0
m1in 51 52 w^w3 l^m3
ribbon 52 1 w^w3 l^1g rho=1 af=0 co=0 al=0 a2=0

ribbon 1 11 w^w1 l^1g rho=1 af=0 co=0 al=0 a2=0
m1in 11 12 w^w1 l^m1
ribbon 12 2 w^w1 l^1g rho=1 af=0 co=0 al=0 a2=0
ribbon 2 22 w^w1 l^1g rho=1 af=0 co=0 al=0 a2=0
m1in 22 33 w^w1 l^m1
ribbon 33 3 w^w1 l^1g rho=1 af=0 co=0 al=0 a2=0
res 2 0 r^r1
fetoff 1 3

ribbon 3 61 w^w3 l^1g rho=1 af=0 co=0 al=0 a2=0
m1in 61 62 w^w3 l^m3
ribbon 62 60 w^w3 l^1g rho=1 af=0 co=0 al=0 a2=0
cpwg 60 30 w=42 g=29 l^1cpw
def2p 10 30 swoff

FREQ
SWEEP 0 60 0.5

OUT
swon db[s21] gr1a
swon db[s11] gr1
swoff db[s21] gr1
swoff db[s11] gr1

GRID
RANGE 0 60 5
GR1 -50 0 5
GR1a -10 0 5

OPT
RANGE 42 43
swon DB[S21]>-1
swon DB[S11]<-30 40
swoff DB[S21]<-40 10
swoff DB[S11]=0 10

```

図5-3-1(a) 設計に用いたネットリスト ( $f_0=43\text{GHz}$ )

```

! SWICth s438fit_1.ckt (sw5a2TR_48GC.ckt)

VAR
r1\250
w1\#6 9 30
m1\210
w3=18
n3=100
lg=30
lcpw=120

CKT
cpwsub er=12.9 h=450 t=1 rho=1 rgh=0
msub er=3.7 h=10 t=1 rho=1 rgh=0 lmet5 <polyimide>

!FET:pai gate,Ng=100um
s2pa 1 2 3 ./spara/h6no3/ref/plrefm2.s2p !OFF:Vd=0V,Vg=-2V
res 1 0 r=2000
def2p 2 3 fetoff

s2pb 1 2 3 ./spara/h6no3/ref/plref0.s2p !ON:Vd=0V,Vg=0V
res 1 0 r=2000
def2p 2 3 feton

ISW_ON state
cpwg 10 50 w=42 g=29 1^1cpw
ribbon 50 51 w^w3 1^1g rho=1 af=0 co=0 al=0 a2=0
m1in 51 52 W^w3 L^m3
ribbon 52 1 w^w3 1^1g rho=1 af=0 co=0 al=0 a2=0

ribbon 1 11 w^w1 1^1g rho=1 af=0 co=0 al=0 a2=0
m1in 11 12 W^w1 L^m1
ribbon 12 2 w^w1 1^1g rho=1 af=0 co=0 al=0 a2=0
ribbon 2 22 w^w1 1^1g rho=1 af=0 co=0 al=0 a2=0
m1in 22 33 W^w1 L^m1
ribbon 33 3 w^w1 1^1g rho=1 af=0 co=0 al=0 a2=0
res 2 0 r^r1
feton 1 3

ribbon 3 61 w^w3 1^1g rho=1 af=0 co=0 al=0 a2=0
m1in 61 62 W^w3 L^m3
ribbon 62 60 w^w3 1^1g rho=1 af=0 co=0 al=0 a2=0
cpwg 60 30 w=42 g=29 1^1cpw
def2p 10 30 swon

ISW_OFF state
cpwg 10 50 w=42 g=29 1^1cpw
ribbon 50 51 w^w3 1^1g rho=1 af=0 co=0 al=0 a2=0
m1in 51 52 W^w3 L^m3
ribbon 52 1 w^w3 1^1g rho=1 af=0 co=0 al=0 a2=0

ribbon 1 11 w^w1 1^1g rho=1 af=0 co=0 al=0 a2=0
m1in 11 12 W^w1 L^m1
ribbon 12 2 w^w1 1^1g rho=1 af=0 co=0 al=0 a2=0
ribbon 2 22 w^w1 1^1g rho=1 af=0 co=0 al=0 a2=0
m1in 22 33 W^w1 L^m1
ribbon 33 3 w^w1 1^1g rho=1 af=0 co=0 al=0 a2=0
res 2 0 r^r1
fetoff 1 3

ribbon 3 61 w^w3 1^1g rho=1 af=0 co=0 al=0 a2=0
m1in 61 62 W^w3 L^m3
ribbon 62 60 w^w3 1^1g rho=1 af=0 co=0 al=0 a2=0
cpwg 60 30 w=42 g=29 1^1cpw
def2p 10 30 swoff

FREQ
SWEEP 0.5 60 0.5

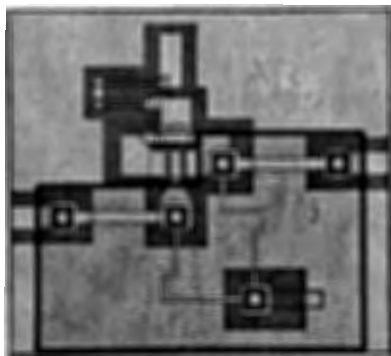
OUT
swoff db[s21] gr1
swon db[s21] gr1a
swon db[s11] gr1
swon db[s22] gr1

GRID
RANGE 0 60 5
GR1 -50 0 5
GR1a -10 0 5

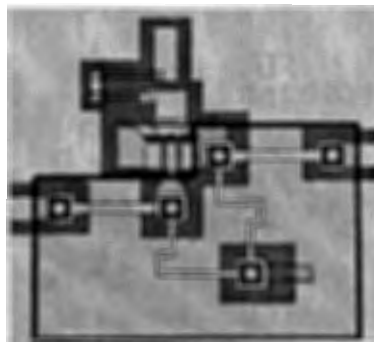
OPT
RANGE 45 50
swon DB[S21]>-1
swon DB[S11]<-20 40
swoff DB[S21]<-30 10
swoff DB[S11]=0 10

```

図5-3-1(b) 設計に用いたネットリスト (f0=48GHz)

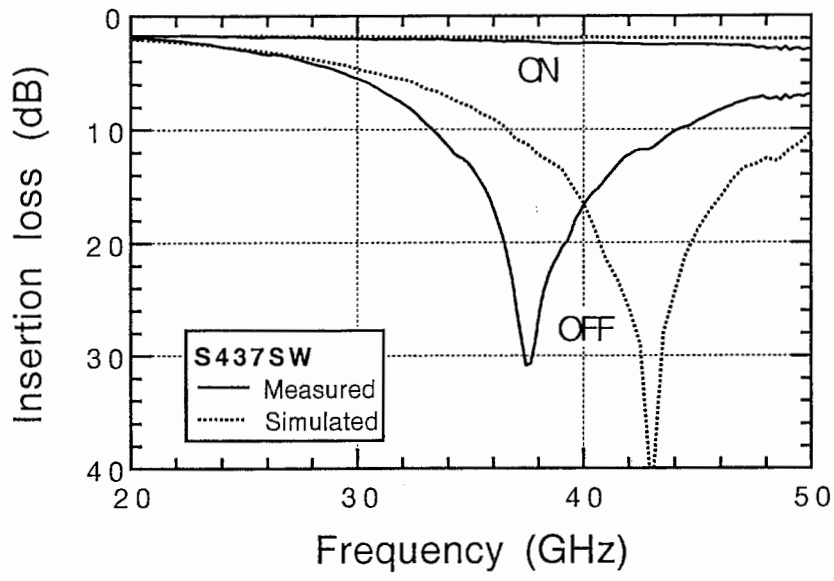


(a) S437SW (f0=43GHz)

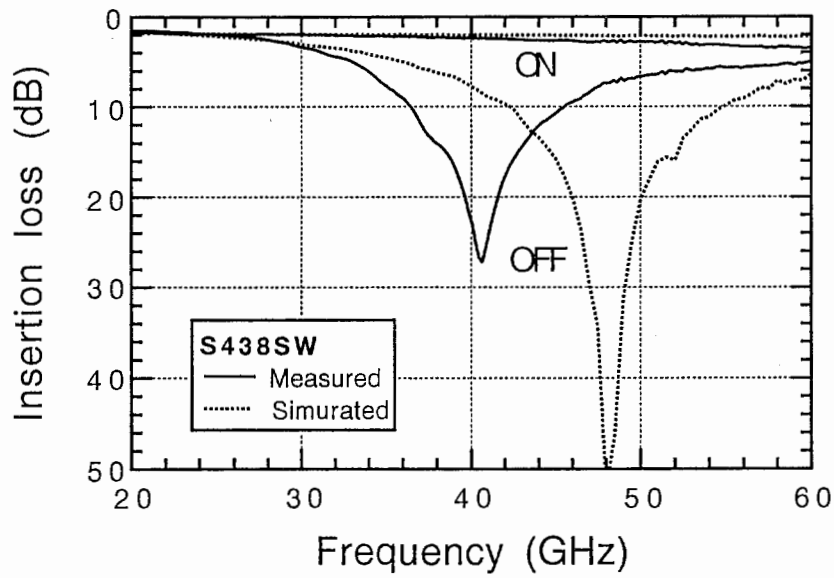


(b) S438SW (f0=48GHz)

図5-3-2 チップ写真



(a) S437SW



(b) S438SW

图5-3-3 周波数特性

## 6. まとめ

ミリ波帯において高アイソレーションを得るための三種類の新しいMMIC FETスイッチを提案し、それらの回路構成法、および試作結果について述べた。試作したMMICは通信用高周波回路の小型化に欠くことができないものであり、近い将来のミリ波パーソナル通信などのミリ波を使用したシステムに適用できる見通しを得た。

以下に、提案したスイッチの特徴および特性をまとめておく。

① 従来より使われている直列-並列-直列型の回路構成を利用し、それに伝送線を付加する構成のものを2種類提案した。そのうちの1つについて試作を行ない、アイソレーション50dB、挿入損失4dB ( $f_0=41\text{GHz}$ ) の特性が得られた。しかし、FETの印加電圧に関して、シミュレーション上での動作条件と実際の動作条件とが、一致しなかった。

② 1個のFETと伝送線路、および抵抗素子を用いたものを提案した。この回路は非常に簡単な構成で、かつ小型に実現できる。試作した回路の特性は、中心周波数37.5GHzのもので、アイソレーション29dB、挿入損失2dB、中心周波数41GHzのもので、アイソレーション25dB、挿入損失2dBである。この回路構成を用いることにより、マトリクススイッチ等の構成も容易である。

## 謝辞

この研究を進めるに当たり日頃ご指導頂く、ATR光電波通信研究所猪股社長、小川室長、ならびに今井主任研究員に深謝致します。

## 参考文献

- [1] M. Eron, "Small and Large Signal Analysis of MESFETs as Switches," Microwave J., vol. 35, pp. 128-140, January 1992.
- [2] たとえば、H. Uda, T. Sawai, T. Yamada, K. Nogawa and Y. Harada, "High-Performance GaAs Switch ICs Fabricated Using MESFETs with Two Kinds of Pinch-off Voltages," GaAs IC Symp. Digest, pp. 247-250, 1993.