

TR-o-0047

48

MMIC回路構成法の研究

竹中 勉

1992. 3. 31

ATR光電波通信研究所

## 目次

氏名	1
所属	1
研究テーマ	1
滞在期間	1
復帰先	1
主な研究成果	1
1. 概要	1
2. LUFET MMIC	5
2.1. シングルエンドミクサ	5
2.1.1. 概要	5
2.1.2. 構成	5
2.1.3. 変換損失特性の導出	7
2.1.4. 特性	8
2.1.5. アクティブアレーアンテナへの適用	9
2.2. 周波数選倍器	11
2.2.1. 概要	11
2.2.2. 構成	12
2.2.3. 変換損失特性の導出	12
2.2.4. 特性	13
2.2.5. CPW-slotline変換LUFETとの組合せ	14
2.2.5.1. 構成	14
2.2.5.2. 変換損失特性の導出	16
2.2.5.3. 特性	18
3. 多層化MMIC	37
3.1. 分布定数線路型増幅器	37
3.1.1. 概要	37
3.1.2. 構成	37
3.1.3. 特性	38
3.2. 多層化スパイラルインダクタ	38
3.2.1. 概要	38
3.2.2. 構成	38
3.2.3. 特性	39
4. 多層化LUFET MMIC	44
4.1. イメージリジエクションミクサ	44
4.1.1. 概要	44
4.1.2. 構成	45
4.1.3. 特性	46
4.2. バランス型ミクサ	47
4.2.1. 概要	47
4.2.2. 構成	47
4.2.3. 特性	49
4.3. バランス型アップコンバータ[4.12]	50
4.3.1. 概要	50
4.3.2. 構成	50

4.3.3. 設計	51
4.3.4. 特性	52
まとめ	70
特記事項	70
謝辞	70
研究業績目録	71

I 氏名 竹中 勉

II 所属 ATR光電波通信研究所 無線通信第2研究室

III 研究テーマ MMIC回路構成法の研究

IV 滞在期間 1987年(昭和62年)3月1日より1992年(平成4年)3月31日

V 復帰先 社名 ヒューレット・パカード日本研究所  
連絡先 〒213神奈川県川崎市高津区坂戸100-3  
☎(044)812-9757 FAX(044)812-5247

但し、1992年4月2日以降は、下記へ出向。  
(株)テラテック  
〒180東京都武蔵野市中町2-11-5  
☎(0422)37-2482 FAX(0422)37-2483

## VI 主な研究成果

### 1. 概要

ATR光電波通信研究所では、腕時計サイズの超小型移動体通信器の実現に向けて、小型・高集積化MMICの構成法の研究を行っている。1987年に線路一体化FET(LUFET)[1.1]-[1.4]、および誘電体薄膜による多層化MMIC[1.5],[1.6]の概念を提唱し、以来、新構成LUFETの提案、LUFET MMICの具体化、多層化マイクロストリップ線路のLUFET MMICへの適用を進めてきた。その結果、従来MMICに比べ3~10倍の集積度を上げるに至っている。ここでは、報告者の研究成果の総括を目的とし、図1に示す研究フローの中で開発した①LUFET MMIC、②多層化MMICおよび③多層化LUFET MMICの構成、特徴、および設計理論について述べる。①のLUFET MMICは、共平面線路を使用する共平面MMICにおいてFETの電極配置までも共平面線路となるようレイアウトを行い、FETサイズで回路機能を実現、チップ面積の小型化を図るものである[1.3]。本報告では、代表的なLUFETのひとつである信号合成LUFETを用いたシングルエンドミキサMMIC、

スロットライン直列T分岐をLUFETに一体化した平衡型周波数逡倍MMICについて述べる。シングルエンドミクサの項では、LUFET MMICミクサのシステム応用例、L帯アクティブアレーアンテナ用モジュールについても触れる。②の多層化MMICは、GaAs基板上に金属導体膜と誘電体薄膜を積層した構造を有する[1.6]。本報告では、これをマイクロストリップ線路(誘電体薄膜マイクロストリップ線路)として用い、ストリップ導体幅を従来に比べ約1/10にした分布定数型増幅器と積層構造のストリップ導体として用いた多層化スパイラルインダクタについて述べる。③の多層化LUFET MMICは、積層化した誘電体薄膜マイクロストリップ線路(多層化マイクロストリップ線路)をLUFET MMIC内の分布定数線路に採用し、さらに小型高機能化を進めたものである。本報告では、合成/分配などの複数回路機能をFET構造内で実現したLUFETと多層化マイクロストリップ線路を有機的に組み合わせた小型化イメージリジェクションミクサMMIC、バランス型ミクサMMICについて述べる。

本報告で述べるLUFET MMIC/多層化LUFET MMICがミクサ、周波数逡倍器などの周波数変換回路に終始した点については、LUFETの特徴が信号の合成、分岐に有効であり、従来構造のMMICと比べ、その優位性を示し易かったことによる。①~③の各MMIC共、従来に比べ、3~10倍の集積度向上(小型化)かつ2倍程度の周波数広帯域動作(イメージリジェクションミクサ、多層化スパイラルインダクタを除く)を達成している。

## 参考文献

- [1.1] 徳満、原、田中、相川、“線路一体化FET(LUFET)の提案およびMMIC小型化への応用”、昭和62年電子情報通信学会半導体・材料部門全国大会、S10-1、pp.2-341/342、1987.
- [1.2] T. Tokumitsu, S. Hara, T. Tanaka and M. Aikawa, “Active Isolator, Combiner, Divider, and Magic-T as a Miniaturized Function Blocks”, *IEEE GaAs IC Symp. Dig.*, pp.273-276, 1988.
- [1.3] T. Tokumitsu, S. Hara, T. Takenaka, and M. Aikawa, “Divider and combiner line-unified FET's as basic circuit function modules-part I,” *IEEE Trans. Microwave Theory Tech.*, vol. 38, pp. 1210-1217, Sep. 1990.
- [1.4] T. Tokumitsu, S. Hara, T. Takenaka, and M. Aikawa, “Divider and combiner line-unified FET's as basic circuit function modules-part II,” *IEEE Trans. Microwave Theory Tech.*, vol. 38, pp. 1218-1226, Sep. 1990.
- [1.5] 田中、徳満、相川、“多層化MMICの構想”、電子情報通信学会春季全国大会、SC-8-2、pp.1-466/467、1988.

- [1.6] T. Tokumitsu, T. Hiraoka, H. Nakamoto, and T. Takenaka, "Multilayer MMIC using a  $3\mu\text{m}\times 3$ -layer dielectric film structure", *IEEE MTT-S International Microwave Symp. Dig.* 1990, pp.831-834, 1990.

研究の目的: 移動体通信用無線機の超小型化、高機能化を実現するためのMMIC回路構成法を確立する。

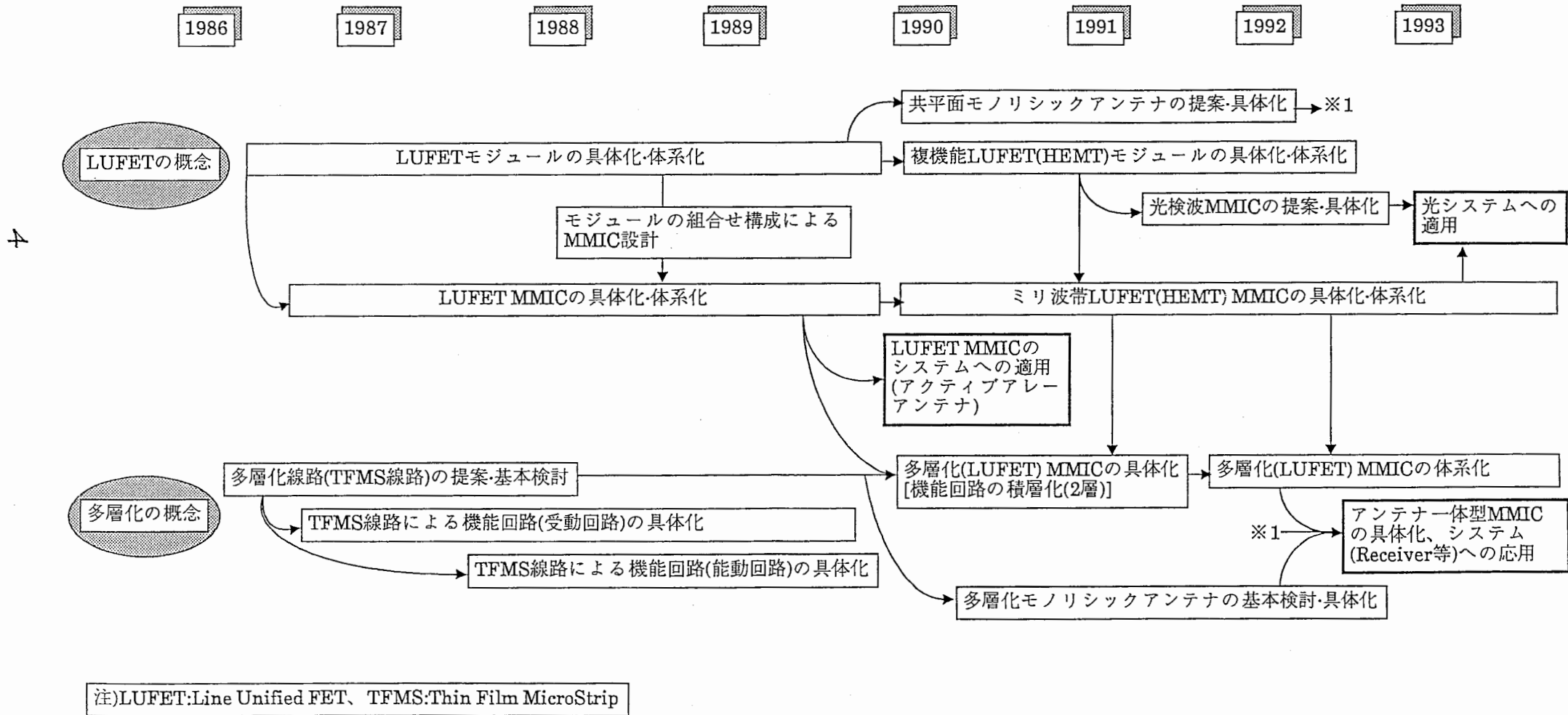


図 1. 研究フロー

## 2. LUFET MMIC

### 2.1. シングルエンドミクサ [2.1], [2.2]

#### 2.1.1. 概要

ミクサを構成する場合、一般に、局部発振(LO)入力・RF入力端子間アイソレーション、LO・RF信号合成、LO・RF入力に対するインピーダンス整合の各機能が必要とされる。従来、これらの機能実現のために1/4波長カップラーなど大面積を要するハイブリッド回路を用いていた[2.3]。近年、FETまたはデュアルゲートFETを用いたMMICミクサが多く報告されている[2.4]~[2.6]。これは、FETのドレイン・ゲート間、デュアルゲートFETの第1ゲート・第2ゲート間に良好なアイソレーション特性があり、各々をLO・RF入力端とすることで、上記ハイブリッド回路を用いることなくミクサを構成できるためである。しかし、これらのFET MMICミクサにおいても、LO・RF入力端子のインピーダンス整合用回路に波長依存性があるため、回路の小型化および広帯域化に限界がある。さらに、設計に際しては、非線形領域での回路解析が必要となり、時間と技術的ノウハウが必要とされる。

本項では、超小型信号合成モジュールと広帯域増幅器モジュール[2.7]の組合せで構成できる超小型・広帯域MMICミクサについて述べる。モジュールの組合せという構成方法[2.8]をとることで、設計の大幅な簡素化を図り、さらに、用いる各モジュールを超小型・広帯域とすることで、超小型・広帯域なミクサを実現している。また、モジュール構成のため、IFフィルタモジュール付加等の機能拡張も容易であり、このタイプの超小型・広帯域ミクサについても述べる。

超小型信号合成モジュールには、我々が先に提案した信号合成LUFETを用いた。信号合成LUFETは、広帯域ミクサに必要な機能、広帯域2入力間アイソレーション、信号合成、入力端子のインピーダンス整合、および入出力アイソレーションをFET部分に集約した超小型機能モジュールである。

#### 2.1.2. 構成

本項で述べるミクサは、信号合成LUFETと増幅器モジュールにより構成される。LO・RF信号は、信号合成LUFETより入力・合成され、増幅器モジュールでミックスダウンされる。

信号合成LUFETは、図2.1に示すようにソース(S)-ゲート(G)-ドレイン(D)-ゲート(G)-ソース(S)の電極配置を有する2ゲートGaAs FETとその電極配置内に形成される共平面線路より成る。GaAs FETの2ゲートをエアブリッジで接続、共通(接地)電極とし、G-D-G間、G-S-G間に各々コプレーナ線路を構成している。G-S-G



よりなるコプレーナ線路を入力端子(①,②)、G-D-Gよりなるコプレーナ線路を出力端子(③)とすることで、入力端子では低インピーダンス、出力端子では高インピーダンスを持つ同相信号合成器をFET電極配置内に構成することができる。入力インピーダンスは、各S-G-Dから成るFETの相互トランスコンダクタンス( $g_m$ )の逆数で与えられ、適当な $g_m$ を選ぶことにより、各入力端子に対しFETのカットオフ周波数までのアクティブインピーダンス整合を実現する。また、FETの非可逆性により、各入力端子間同様に、出力端子から各入力端子への広帯域アイソレーション特性も確保される。つまり、信号合成LUFETは、ゲート接地FET形状内(100 $\mu\text{m}$ ×200 $\mu\text{m}$ )に、広帯域ミキサに必要な以下の全機能を集約し、ミキサ回路の小型化を可能にしている。

- (1) 広帯域な2入力端子間アイソレーション
- (2) 2信号の合成
- (3) 各入力端子での広帯域なインピーダンス整合
- (4) 広帯域な出力・入力端子間アイソレーション

増幅器モジュールの等価回路を図2.2に示す。入力段のゲート接地FETは、入力インピーダンス整合に、ソース接地FETは、信号増幅に用いられている。抵抗 $R_1$ は、ゲート接地FETの負荷抵抗であり、増幅利得を決定する。ゲート接地FETとソース接地FETの段間は高インピーダンスであり、FETの寄生容量により生ずる高周波域での特性劣化をインダクタ $L_1$ 、 $L_2$ により補正している。抵抗 $R_2$ 、インダクタ $L_3$ 、 $L_4$ は、出力端子のインピーダンス整合に用いられている。尚、 $L_1$ 、 $L_3$ に比べ、要求されるインダクタンス値が2~3倍大きい $L_2$ と $L_4$ には、スパイラルインダクタより高周波動作が可能であり、かつ小型であるアクティブインダクタを用いている。試作した増幅器モジュールのチップサイズは0.9mm×1.3mmである。

LO-RF信号2入力回路とするため、増幅器モジュールの入力段のゲート接地FETを先に述べた信号合成LUFETとして、ソース接地FETを非線形領域にバイアスすることで、回路はミキサとして動作する。ミキサの等価回路を図2.3に示す。図中で点線に囲まれた部分が信号合成LUFETである。増幅器モジュールのゲート接地FETと信号合成LUFETの寄生容量が異なるため、この寄生容量を補正しているインダクタ $L_1$ 、 $L_2$ 値は増幅器モジュールより若干の変更を要する。しかし、回路の基本構成は増幅器モジュールと同一であり、その他の回路定数の変更は不要である。言い換えれば、広帯域増幅器モジュールの入力段のゲート接地FETをミキサに必要な機能を集約した信号合成LUFETとし、一部の回路定数を変更するだけで、広帯域ミキサの設計が完了する。

### 2.1.3. 変換損失特性の導出

信号合成LUFETの負荷インピーダンスがソース接地FETの非線形動作時と線形動作時とで同一と近似すると、ミクサの変換損失特性は以下に示すように簡単に導出できる。

FETの飽和領域での電流電圧特性を(2.1)式で近似する[2.9]。

$$I_{ds} = I_{dss} \left(1 - \frac{V_{gs}}{V_p}\right)^2 \left(1 + \frac{V_{ds}}{R_{do} I_{dss}}\right) \quad V_{gs} \geq V_p \quad (2.1)$$

$$I_{ds} = 0 \quad V_{gs} < V_p$$

ここで、 $I_{ds}$ はドレイン電流、 $I_{dss}$ は飽和ドレイン電流、 $V_{gs}$ はゲート・ソース間電圧、 $V_p$ はピンチオフ電圧、 $V_{ds}$ はドレイン・ソース間電圧、 $R_{do}$ は出力コンダクタンスである。

図2.3のミクサの変換損失(電圧利得)特性 $G_C(\omega)$ は、(2.1)式より導かれた(2.2)式で与えられる[2.10]。(2.1)式から(2.2)式の導出方法は、付録A2.1に示す。

$$G_C(\omega) \approx g_{m1} Z_{I1}(\omega) \cdot \frac{I_{dss}}{2V_p^2} |v_{LO}'| \cdot Z_{I2}(\omega_{if}) \quad (2.2)$$

ここで、 $g_{m1}$ は、信号合成LUFETのRF入力側のゲート接地FETの相互トランスコンダクタンス、 $Z_{I1}(\omega)$ は、信号合成LUFETの負荷インピーダンスである。 $I_{dss}$ 、 $V_p$ 、 $Z_{I2}(\omega_{if})$ は、ソース接地FETの飽和電流、ピンチオフ電圧、IF周波数における負荷インピーダンスである。 $v_{LO}'$ は、ローカル信号入力を示す。(2.2)式より、周波数依存性のある $Z_{I1}(\omega)$ を広帯域化することで $G_C(\omega)$ の広帯域化が図れることがわかる。

一方、ソース接地FETを線形領域にバイアスした場合の電圧伝送利得 $G_i(\omega)$ は、(2.3)式で与えられる。

$$G_i(\omega) \approx g_{m1} Z_{I1}(\omega) \cdot g_{m2} Z_{I2}(\omega) \quad (2.3)$$

ここで、 $g_{m2}$ 、 $Z_{I2}(\omega)$ は、ソース接地FETの相互トランスコンダクタンス、負荷インピーダンスである。 $Z_{I2}(\omega)$ は、周波数に依らず、ほぼ一定のため、 $Z_{I2}(\omega_{if}) \approx Z_{I2}(\omega)$ と近似でき、(2.2)式と(2.3)式より、 $G_C(\omega)$ と $G_i(\omega)$ の比は次式で与えられる。

$$\frac{G_M(\omega)}{G_C(\omega)} \approx \frac{I_{dss}}{2g_{m2} V_p^2} |v_{LO}'| \quad (2.4)$$

(2.4)式は、 $G_C(\omega)$ と $G_i(\omega)$ の比が周波数に依らず、一定の値になることを示しており、 $G_i(\omega)$ を小信号シミュレータで計算することにより、 $G_C(\omega)$ を導き出すことができる。従って、 $G_C(\omega)$ の広帯域化のための $Z_{II}(\omega)$ (インダクタ $L_1$ 、 $L_2$ )の最適化は、小信号シミュレータで簡単に行える。ここで、ソース接地FETの飽和電流 $I_{dss}$ 、ピンチオフ電圧 $V_p$ 、相互トランスコンダクタンス $g_{m2}$ をそれぞれ、50mA、1V、40mS、ローカル信号入力を10dBmとすれば、(2.4)式は、

$$\frac{G_C(\omega)}{G_i(\omega)} \approx -7.1 \text{ dB} \quad (2.5)$$

となり、ミキサの変換利得特性は、ソース接地FETを線形領域にバイアスし、増幅型信号合成器として動作させた時の電圧伝送利得特性をレベル的に約7dB減少させたものとなる。

MMICミキサのチップ写真を図2.4に示す。チップサイズは0.9mm×1.4mmであり、増幅器モジュールのチップサイズとほぼ同じである。各FETのドレインバイアスとソース接地FETのゲートバイアスは、各電源供給パッドより供給する。信号合成LUFETのソース・ゲート間バイアスは自己バイアスにより得る。GaAs FETの活性層は、イオン注入により製作されたものであり、ゲート長は0.5 $\mu$ mである。FETのカットオフ周波数は、21GHz程度である。

上記ミキサにIFフィルタモジュールを加えたミキサの等価回路を図2.5に示す。本ミキサは、上記ミキサの出力端子のインピーダンス整合回路の替わりに、IF端子へのLO信号の漏洩抑圧用ローパスフィルタおよびインピーダンス整合用ドレイン接地LUFETから成るIFフィルタモジュールを付加した構成となっている。図2.6にローパスフィルタが有る場合と無い場合のソース接地FET以降の電圧伝送特性を示す。このローパスフィルタは、インダクタ $L_3$ 、キャパシタ $C$ から成る簡易・小型な一次フィルタであるが、ドレイン接地FETの入力インピーダンスが高く高負荷 $Q$ となるため、IF周波数以上の信号に対し急峻な減衰特性を持つ。本ミキサの周波数帯域は先のミキサ同様、信号合成LUFETからソース接地FETまでの回路で決定され、この部分の回路構成および定数の変更は、不要である。チップ写真を図2.7に示す。チップサイズは0.9mm×1.5mmであり、これも増幅器モジュールのチップサイズとほぼ同じである。

#### 2.1.4. 特性

図2.3に等価回路を示すミキサの変換損失特性、LO・RF間アイソレーション特性の測定結果を、図2.8および図2.9にそれぞれ示す。図2.9には、入出力端リターンロス特性、入出力間アイソレーション特性も併せて示す。測定はオンウェハで

行った。RF周波数3GHzから10GHzで、変換損失は2~7dB、LO・RF間アイソレーションは20dB以上、入出力間アイソレーションは35dB以上、入出力端リターンロスは16dB以上である。図2.8には、ソース接地FETを線形領域にバイアスし、増幅型信号合成器として動作させた場合の伝送損失も示す。変換損失と伝送損失は同様な傾向を示すと共に両者の差は7~9dBとなり、前項の計算結果によく一致している。

図2.10にSSBノイズフィギュア特性を示す。3GHzから10GHzで、SSBノイズフィギュアは12~14dBである。図2.11にRF周波数8GHzにおける入出力特性を示す。1dB圧縮点でのRF入力、3dBm、第3高調波内部変調インターセプト点は、15dBmである。

図2.5に等価回路を示すLO信号漏洩抑圧型ミキサの変換損失特性、LO信号漏洩抑圧特性を、図2.12に示す。RF周波数6GHz以上でLO信号漏洩抑圧量は30dB以上、4GHzから12GHzで、変換損失は2~7dBである。

#### 2.1.5. アクティブアレーアンテナへの適用[2.11]

Active array antennas providing advanced functions such as electrical beam scanning and adaptive pattern control for future communication equipment, will require large numbers of highly repeatable receiver and transmitter modules. These modules must be small-size and light-weight to meet the requirements imposed by the physics of the array. MMICs can offer great advantages to such applications because of their size and weight.

This paragraph proposes novel, miniature MMIC receiver and transmitter modules designed for L-band active array antennas. To reduce the size of frequency converters, FET-sized power combiners, called power combiner Line-Unified FETs(LUFET)[1.3], are employed. The power combiner LUFET provides the ability to combine signals, a good isolation between two input ports and input port impedance matchings, without any large quarter-wavelength couplers.

Fig. 2.13 shows a block diagram of the active array antenna[2.12]. MMIC technologies are applied to the hatched areas of Fig. 2.13. The receiver module consists of an MMIC low-noise amplifier and an MMIC down converter. The transmitter module consists of an MMIC up converter and an MMIC medium power amplifier. Fig. 2.14 shows a photograph of the receiver and transmitter modules. The size of each module is 9.2mm×12.6mm. The fabricated modules are now being evaluated. We will present the performance of the modules in a final manuscript. Following are the MMIC configuration and performance. The chip size of each MMIC is 1.8mm×1.2mm.

#### ▶MMIC down and up converter

Fig.2.15 and Fig. 2.16 show photomicrographs of the fabricated MMIC down and up converters. The power combiner LUFET is enclosed by the dashed line in figures. It consists of a common 2-gate GaAs MESFET and three co-planar waveguides unified in two gate-source-gate electrode structures and a gate-drain-gate electrode structure, as shown in Fig. 2.17. When the two source and one drain electrodes are used as the input ports and output port, respectively, a good isolation between two input ports, as well as from the output port to each input port due to the unilateral characteristics of FETs, and active impedance matching<sup>[2.13]</sup> at each of the input ports is obtained only in the FET configuration of  $100\mu\text{m} \times 200\mu\text{m}$ . In the MMIC down converter, the RF and LO signals combined at the power combiner LUFET are mixdowned at the common source FET biased non-linear state, and the common drain LUFET of the output stage is used for a high-loaded Q low pass filter as well as an active impedance matching at the output port. The high-loaded Q low pass filter offers excellent LO-IF isolation. The down converter performance is better than 3dB conversion gain, 30dB LO-IF isolation, and 19dB RF-LO isolation from 1.04 to 1.74GHz, where the IF frequency is 70MHz and the LO power level is 7dBm, as shown in Fig. 2.18. The configuration of the MMIC up converter, is the same as that of the down converter, except for removing the high-loaded Q low pass filter and injecting an IF signal instead of an RF signal to the power combiner LUFET. The measured performance of the MMIC up converter is shown in Fig. 2.19. Performance is better than -6.6dB conversion gain, 4.5dB LO-RF isolation, and 18dB IF-LO isolation from 1.24 to 2.04GHz.

#### ▶MMIC low noise and medium power amplifiers

Fig. 2.20 and Fig. 2.21 show photomicrographs of the fabricated MMIC low noise and medium power amplifiers, respectively. The low noise amplifier is designed to provide maximum gain with low noise figure by using 3-stage GaAs MES FETs. The medium power amplifier is designed to obtain good linearity with high gain, by using 2-stage GaAs FETs. The low noise amplifier performance is better than 32dB gain and 1.6dB noise figure from 1.04 to 1.94GHz as shown in Fig. 2.22. The medium power amplifier performance is better than 18dB gain and 12dBm  $P_{1\text{dBout}}$  at 1.64GHz.

Fig. 2.23 shows photographs of a fabricated active array antenna and a receiver module mounting four receiver packages. The active array antenna consists of 16 patch elements and four modules.

## 2.2. 周波数通倍器[2.14]-[2.16]

### 2.2.1. 概要

バランス型周波数通倍器は、逆相分配した基本波を各々、通倍動作を行う非線形素子に入力、その出力を同相合成することで良好な基本波抑圧特性を実現している。しかし、逆相分配のためのハイブリッド回路が複数の波長依存性のある分布定数線路を要するため、MMICバランス型周波数通倍器の小型化・広帯域化には限界があった。近年、ソース接地FET(CSF)とドレイン接地FET(CDF)を組み合わせた分布定数型のMMICバランス型周波数通倍器が報告されている[2.17], [2.18]。接地形式の違うFETの伝送位相差を利用し、平衡動作を得ているため、比較的小型かつ広帯域な特性を有するが、そのチップサイズは多用するFETと分布定数線路部面積に依存し、また、高周波領域でCSF、CDF間の位相差を180度に保つのは難しいため、広帯域化にも限界があった。

本項で述べる超小型・広帯域バランス型周波数通倍器モジュール(バランス型周波数通倍LUFET)は、線路一体化FET(LUFET)の概念を用い、2ゲートGaAsFETの電極形状・配置内にスロット線路T分岐による逆相分配器、およびコプレーナ線路を用いた同相合成器を一体的に形成することで、超小型の平衡通倍回路を実現している。本LUFETは、形状が非常にシンプルであり、周波数に依存した伝送線路を用いず、ウェーハ面内で近接した同一接地形式素子で平衡通倍動作を得ているため、FETのカットオフ周波数近辺までの良好な平衡通倍特性を有する。本項では、バランス型周波数通倍LUFETの構成と動作原理、近似的な変換損失値の導出、測定結果を示す。さらに、入出力端子を共にコプレーナ線路にし、特性インピーダンスに整合させた回路構成例についても述べる。本報告で述べるバランス型周波数通倍LUFETは、バイアス方法でソース接地・ドレイン接地が選べ、ソース接地で動作させた場合、出力端子は高インピーダンスに、ドレイン接地で動作させた場合、出力端子は低インピーダンスとなる。末項に、本LUFETをドレイン接地で用い、コプレーナ(CPW)-スロット(slotline)線路変換機能を持つゲート接地のLUFET[1.1]と組み合わせることで、入出力端子をコプレーナ線路とし、かつ、入出力端子共、 $Z_0(50\Omega)$ にインピーダンス整合させた通倍回路構成例[2.16]を以下に示す。

## 2.2.2. 構成

バランス型周波数通倍LUFETの形状、およびその等価回路を図2.24に示す。本LUFETは、ドレイン(D)またはソース(S)-ゲート(G)-中心接地電極-ゲート(G)-ドレイン(D)またはソース(S)の電極配置を有する2ゲートGaAs FETと、その電極配置内に形成される共平面線路より構成されている。中心接地電極と外側の接地導体はエアーブリッジで接続されており、ゲート(G)-中心接地電極-ゲート(G)間にスロット線路直列T分岐、さらに、2つのドレイン(D)またはソース(S)を接続し、これを内導体としたコプレーナ線路を形成している。ソース接地で動作させた場合、電極配置はドレイン(D)-ゲート(G)-ソース(S)-ゲート(G)-ドレイン(D)、ドレイン接地で動作させた場合、電極配置はソース(S)-ゲート(G)-ドレイン(D)-ゲート(G)-ソース(S)となる。2ゲート電極で構成されるスロット線路を入力端子①、コプレーナ線路を出力端子②とする。入力端子①から入力された基本波信号は、スロット線路直列T分岐で逆相分配され、各ゲート(G)、中心接地電極間に互いに逆相で入力される。ここで、FETを非線形領域にバイアスし、基本波入力を大信号とすることで、互いに同相の通倍波、逆相の漏洩基本波が2つのドレイン(D)(ソース接地動作時)またはソース(S)(ドレイン接地動作時)に出力される。その2つのドレイン(D)またはソース(S)は、コプレーナ線路の内導体として直接接続されており、同相の通倍波、逆相の漏洩基本波は、ここで同相合成される。逆相の漏洩基本波は、互いに打ち消し合わされ、端子②には合成された同相の通倍波のみが出力される。

一般にバランス型回路では、特性の似通った素子を平衡動作させる必要があるが、本バランス型周波数通倍LUFETでは、同一FET内の電極構造を使い平衡動作させるので、極めて似通った振幅、位相特性を容易に得られ、良好な平衡動作が実現される。また、FETの非可逆性と入出力端子間の直交モード効果により、良好な出力端子から入力端子へのアイソレーション機能も有する。

イオン注入で試作したチップの写真を図2.25に示す。チップサイズは $0.7\text{mm} \times 0.5\text{mm}$ であるが、バランス型通倍回路として動作する本質的な部分のサイズは $0.3\text{mm} \times 0.3\text{mm}$ と超小型である。各ゲートのフィンガー長は $200\mu\text{m}$ である。FETのドレインバイアスは飽和領域、ゲートバイアスはピンチオフ電圧( $=1\text{V}$ )とした。

## 2.2.3. 変換損失特性の導出

バランス型周波数通倍LUFETの通倍動作がゲート・ソース間電圧に対すドレイン電流の非線形特性のみに起因すると仮定すれば、その変換損失特性は、ソース接地、ドレイン接地動作時共に、以下に示すように簡単に導出できる。

FETの飽和領域での電流電圧特性を(1)式で近似する[2.9]。

$$I_{ds} = I_{dss} \left(1 - \frac{V_{gs}}{V_p}\right)^2 \left(1 + \frac{V_{ds}}{R_{do} I_{dss}}\right) \quad V_{gs} \geq V_p \quad (1)$$

$$I_{ds} = 0 \quad V_{gs} < V_p$$

ここで、 $I_{ds}$ はドレイン電流、 $I_{dss}$ は飽和ドレイン電流、 $V_{gs}$ はゲート・ソース間電圧、 $V_p$ はピンチオフ電圧、 $V_{ds}$ はドレイン・ソース間電圧、 $R_{do}$ は出力コンダクタンスである。

バランス型周波数通倍LUFETの変換損失特性 $G_C(\omega)$ は、ソース接地、ドレイン接地動作時共に、(1)式より導かれた(2)式で与えられる。(1)式から(2)式の導出方法は、付録に示す。

$$G_C(\omega) = 20 \log \left[ Z_0 \frac{I_{dss}}{8V_p^2} |V_{in}| \left(1 + \frac{V_{ds}}{R_{do} I_{dss}}\right) \right] \quad (2)$$

ここで、 $Z_0$ は負荷インピーダンス、 $V_{in}$ は基本波信号入力のピーク値である。(2)式より、 $G_C(\omega)$ は、周波数に依らず一定の値となり、このLUFETはカットオフ周波数 $f_T (= 22\text{GHz})$ までの広帯域な通倍動作をする。ここで、 $Z_0$ を $50\Omega$ 、FETの飽和電流 $I_{dss}$ 、ピンチオフ電圧 $V_p$ 、ドレイン・ソース間電圧 $V_{ds}$ 、出力コンダクタンス $R_{do}$ をそれぞれ、 $50\text{mA}$ 、 $1\text{V}$ 、 $3\text{V}$ 、 $600\Omega$ 、基本波信号入力を $10\text{dBm}$ とすれば、(2)式は、

$$G_C(\omega) = -9.3\text{dB} \quad (3)$$

となり、ソース接地、ドレイン接地動作時共に、バランス型周波数通倍LUFETの変換損失値は、周波数に依らず約 $9\text{dB}$ となる。

#### 2.2.4. 特性

基本波信号入力が $10\text{dBm}$ 時のバランス型周波数通倍LUFETの変換損失・基本波抑圧特性を図2.26に示す。測定は全てオンウェハ、特性インピーダンス( $Z_0$ ) $50\Omega$ 系で行った。ソース接地で動作させた特性を“●”で、ドレイン接地で動作させた特性を“○”で示す。図2.26には、前項の変換損失特性計算結果も破線にて併せて示す。測定結果と計算結果は良く一致している。出力周波数 $4\text{GHz}$ から $20\text{GHz}$ で、変換損失特性はソース接地動作時 $9 \pm 1.5\text{dB}$ 、ドレイン接地動作時 $9 \pm 0.5\text{dB}$ 、基本波抑圧特性は共に $16\text{dB}$ 以上が得られた。



2GHzから18GHzまでのソース接地、ドレイン接地動作時の入出力端リターンロス・入出力間アイソレーションの小信号特性を図2.27、図2.28にそれぞれ示す。ソース接地動作時、入出力間アイソレーションは35dB以上、ドレイン接地動作時、入出力間アイソレーションは25dB以上、出力端子の反射損失は10dB以上である。

ソース接地、ドレイン接地動作時の5GHz基本波信号における信号入力に対する変換損失・基本波抑圧特性を図2.29、図2.30にそれぞれ示す。両接地動作共、変換損失は基本波信号入力10dBmの時最小値9dB、基本波抑圧量は基本波信号入力18dBmまで17dB以上である。

## 2.2.5. CPW-slotline変換LUFETとの組合せ[2.16]

上記バランス型周波数通倍LUFETは入力部がスロット線路、出力部がコプレーナ線路であるため、縦続接続を行う時など、コプレーナ-スロット線路変換が必要となる。我々が先に提案したモジュール化設計法[2.8]に基づき本LUFETとコプレーナ(CPW)-スロット(slotline)線路変換機能を持つゲート接地のLUFETを組み合わせ、入出力端子をコプレーナ線路とした通倍回路構成例を以下に示す。ゲート接地のCPW-slotline線路変換LUFETは、低インピーダンスから高インピーダンスへの変換機能を持つため、入力部が高インピーダンスのバランス型周波数通倍LUFETと $Z_0(50\Omega)$ とのインピーダンス整合回路としても動作する。ここでは、上記バランス型周波数通倍LUFETをドレイン接地で動作させ、CPW-slotline変換LUFETとの組合せることで、入出力端子共、 $Z_0$ にインピーダンス整合させた周波数通倍MMICを実現できる。

### 2.2.5.1. 構成

The equivalent circuit diagram of the proposed balanced frequency doubler is shown in Fig. 2.31. The proposed doubler consists of three blocks. The first is a line-unified common-gate HEMT which shifts from CPW mode to slotline mode, and matches the impedance at input port①. The second consists of inductive lines ( $L_1, L_2$ ) which compensate for bandwidth degradation due to parasitics in the HEMTs. The last is a line-unified common-drain HEMT unifying a slotline series T-junction and CPWs, which divides the fundamental signal out-of-phase, generates second harmonics, combines the second harmonics in phase and matches impedance at output port②.

The line-unified common-gate HEMT in Fig. 2.31, has an electrode

configuration of drain ( $D_1$ )-gate ( $G_1$ )-source ( $S_1$ ) as shown in Fig. 2.32. When the  $G_1$  is used as a common electrode, a CPW and a slotline are formed in the  $G_1$ - $S_1$ - $G_1$  and the  $D_1$ - $G_1$  structures, respectively. The input fundamental signal from the input port① CPW is transmitted to the slotline required in the next stage, accompanied by an impedance transition from low to high. Appropriate biasing of the gate-source circuit provides a small-signal active impedance match,  $g_{m1}Z_0=1$ [2.19] in the linear state region, where  $g_{m1}$  and  $Z_0$  are the transconductance of the common-gate HEMT and the normalized input port impedance at  $50\Omega$ , respectively. Measured 10GHz input versus output power performance of the common-gate HEMT shown in Fig. 2.32 is shown in Fig. 2.33. The input power at the 1dB power compression point is 8dBm, and the difference between fundamental and second harmonic signals is 24dB at an input power of 6dBm. Therefore, common-gate HEMT harmonics are negligible and a linear state operation can be assumed up to an input power of 6dBm.

The line-unified common-drain HEMT enclosed by the dotted line in Fig. 2.31, has an electrode configuration of source ( $S_2$ )-gate ( $G_2$ )-drain ( $D_2$ )-gate ( $G_3$ )-source ( $S_3$ ) as shown in Fig. 2.34. The relationship between the electrode strips is established by an air-bridge connecting the  $D_2$  electrode strip to the outer conductors for output CPW port②. A slotline series T-junction, as the out-of-phase divider, is composed of the common-drain  $D_2$  electrode and two gate  $G_2$ ,  $G_3$  electrodes, one on each side of the  $D_2$  electrode. An in-phase combiner is formed by the two source electrodes  $S_2$ ,  $S_3$  which are connected to each other to act as a center conductor of output CPW port②. The fundamental signal from the slotline is divided out-of-phase in the slotline series T-junction, and fed to gates  $G_2$  and  $G_3$ . By dc-biasing the common-drain HEMT near the gate-source pinch-off voltage, the second harmonic of the fundamental signal is generated due to HEMT nonlinearity. The phase difference between the  $S_2$  and  $S_3$  electrodes is  $180^\circ$  at the fundamental signal frequency, and  $360^\circ$  at the second harmonic frequency. By combining these signals in-phase at the  $S_2$  and  $S_3$  electrodes which are connected to each other, the fundamental output signals cancel out each other and the second harmonics arrive in-phase. At output port②, active impedance matching is achieved, due to the impedance-transition function of the common-drain HEMT; that is, from high to low. Since the common-drain HEMT is biased near the gate-source pinch-off voltage and driven by a large fundamental-frequency signal, active impedance matching is met by selecting the gate widths of gates  $G_2$  and  $G_3$ , such that  $g_2Z_0=1$  at the input fundamental frequency signal effective voltage, where  $g_2$  is the conversion conductance[2.20] of the common-drain HEMT.

Measured magnitude and phase error versus input fundamental frequency characteristics of the line-unified common-gate HEMT and slotline series T-junction is shown in Fig. 2.35. The balanced performance of this part is mainly contributed to the fundamental-frequency signal suppression ratio (isolation) of the doubler. Magnitude error is the difference between the levels of each output port at the fundamental frequency. Phase error is the phase difference after subtracting 180°. As shown in the figure, the phase error is less than 12° in the frequency range from 2GHz to 20GHz, and the magnitude error is less than 2dB above 7GHz. These errors are small enough for a fundamental-frequency signal suppression ratio (isolation) of about 20dB. [2.19]

### 2.2.5.2. 変換損失特性の導出

Assuming that the second harmonic is generated by the nonlinearity of the HEMT drain current ( $I_{ds}$ ) versus gate-source voltage ( $V_{gs}$ ), the conversion gain  $G_C(2\omega)$  of the proposed doubler is given approximately by a quadratic function of the linear-state insertion gain  $G_i(\omega)$  defined on one side of the balanced circuit, where  $\omega$  is the input fundamental frequency. Therefore, the proposed doubler is designed by optimizing  $G_i(\omega)$  characteristics through linear-state analysis. An analytic equivalent circuit diagram for the proposed balanced doubler is shown in Fig. 2.36.

Impedance  $Z_L(\omega)$  mainly represents the inductances of  $L_1$  and  $L_2$ .  $V_{gd}(\omega)$ , which represents the signal voltage between the gate and drain of the common-drain HEMT, is given by

$$V_{gd}(\omega) = Z(\omega) g_{m1} V_{in}(\omega) \quad (1)$$

with

$$Z(\omega) = \frac{Z_1(\omega) \cdot Z_2(\omega)}{Z_1(\omega) + 2Z_L(\omega) + 2Z_2(\omega)} \quad (2)$$

where  $g_{m1}$  is the transconductance of the common-gate HEMT,  $V_{in}(\omega)$  is the fundamental frequency signal voltage at input port①,  $Z_1(\omega)$  is the output impedance of the common-gate HEMT, and  $Z_2(\omega)$  is the input impedance for each gate of the common-drain HEMT at the fundamental frequency. Since the common-gate HEMT is assumed to operate in a linear-state region, only  $Z_2(\omega)$  is nonlinear in the right side of Eq.(2). When the equivalent circuit of the common-drain HEMT is represented in Fig. 2.37,  $Z_2(\omega)$  is given by Eq.(3),

$$Z_2(\omega) = \frac{1 - g_2 Z_0 - j\omega C_{gs} Z_0}{j\omega C_{gd}(1 - g_2 Z_0) + j\omega C_{gs}(1 - j\omega C_{gd} Z_0)} \quad (3)$$

where  $C_{gs}$  and  $C_{gd}$  are gate-source and gate-drain capacitances, respectively. Applying the dc-bias condition  $g_2 Z_0 = 1$ , Eq.(3) becomes

$$Z_2(\omega) = \frac{-Z_0}{1 - j\omega C_{gd} Z_0} \quad (4)$$

Eqs. (1)-(4) show that the nonlinearity of  $V_{gd}(\omega)$  depends on that of  $C_{gd}$ . The nonlinearity of  $C_{gd}$  is so small compared to that of  $I_{ds}$  versus  $V_{gs}$  characteristics [2.8] that the nonlinearity of  $I_{ds}$  versus  $V_{gs}$  characteristics is a dominant factor in the conversion gain of the doubler.

When HEMTs' DC  $I_{ds}$  versus  $V_{gs}$  characteristics for the saturation region given by Eq.(5) [2.8], the output magnitude voltage of the the second harmonic signal,  $V_{out}(2\omega)$ , is given by Eq.(6),

$$I_{ds} = I_{dss} \left(1 - \frac{V_{gs}}{V_p}\right)^2 \left(1 + \frac{V_{ds}}{R_{do} I_{dss}}\right) \quad \text{when } V_{gs} > V_p \quad (5)$$

$$I_{ds} = 0 \quad \text{when } V_{gs} \leq V_p$$

where  $I_{dss}$  is the saturation current,  $V_p$  is the gate-source pinch-off voltage and  $R_{do}$  is the output conductance.

$$|V_{out}(2\omega)| = Z_0 \frac{I_{dss}}{2V_p^2} \left(1 + \frac{V_{ds}}{R_{do} I_{dss}}\right) |V_{gd}(\omega)|^2 \quad (6)$$

The details of the calculation of the  $|V_{out}(2\omega)|$  are explicitly given in the Appendix. From Eq.(1) and (6), the conversion gain  $G_C(2\omega)$  ( $\equiv |V_{out}(2\omega)|^2 / |V_{in}(\omega)|^2$ ) is given by

$$G_C(2\omega) = \left[ Z_0 \frac{I_{dss}}{2V_p^2} \left(1 + \frac{V_{ds}}{R_{do} I_{dss}}\right) Z(\omega)^2 g_{m1}^2 |V_{in}(\omega)|^2 \right]^2 \quad (7)$$

On the other hand, when the common-drain HEMT is biased in the linear-state and the two source electrodes  $S_2, S_3$  are disconnected each other, the linear-state insertion gain  $G_i(\omega)$  from the  $S_1$  to the  $S_2$  or  $S_3$  is approximately given by

$$G_i(\omega) \approx \left[ \frac{g_{m2} Z_0}{1 + g_{m2} Z_0} Z(\omega) g_{m1} \right]^2 \quad (8)$$

where the  $g_{m2}$  is the transconductance of the common-drain HEMT biased in linear-state. From Eq.(7) and (8), the conversion gain  $G_C(2\omega)$  is rewritten by

$$G_C(2\omega) \approx [Z_0 \frac{I_{dss}}{2V_p} (1 + \frac{V_{ds}}{R_{do} I_{dss}}) (\frac{1 + g_{m2} Z_0}{g_{m2} Z_0})^2 |V_{in}(\omega)|]^2 G_i(\omega)^2 \quad (9)$$

All parameters on the right side of Eq.(9), except for  $G_i(\omega)$ , are constants for frequency  $\omega$ . Therefore, the flat design of  $G_i(\omega)$  provides wideband doubler operations. Fig. 2.38 shows calculated conversion loss frequency responses versus length of the inductive lines  $L_1$  and  $L_2$ . By lengthening  $L_1$  and  $L_2$ , the conversion loss is improved but the the frequency bandwidth is reduced.  $600\mu\text{m}$  is chosen for the length of the inductive lines  $L_1, L_2$ .

### 2.2.5.3. 特性

A photograph and the measured performance of the MMIC balanced frequency doubler are shown in Figs. 2.39 and 2.40, respectively. The chip size is only  $1.0\text{mm} \times 0.9\text{mm}$ . This doubler has been fabricated using the n-AlGaAs/InGaAs HEMTs with a cutoff frequency of approximately 40GHz. The gate length is  $0.25\mu\text{m}$ . The gate width of the common-gate HEMT and common-drain HEMT are  $100\mu\text{m}$  and two  $50\mu\text{m}$  wide gates, respectively.

The ultra-wideband characteristics of the doubler have been confirmed through on-wafer measurements up to an output frequency of 40GHz, as shown in Fig. 2.40. Drain bias  $V_d$  (4V) for the common-gate and common-drain HEMT is supplied through a DC pad. Source biases are supplied through a wideband bias T and on-wafer-measurement probes attached at input port ① and output port ②. The source bias of the common-gate HEMT is adjusted for a transconductance of approximately 20mS, and the source bias of the common-drain HEMT is adjusted to near  $V_p$  for low conversion loss. The current drawn is typically 25mA and the power consumption is 100mW, when the input signal power is 6dBm. The measured performance is as follows: Conversion loss is 8-10dB in the 4-40GHz output frequency range; fundamental frequency signal isolation is better than 21dB above an input fundamental frequency of 7GHz; input return loss is better than 15dB up to the input fundamental frequency of 20GHz; output return loss is better than 12dB in the 4-40GHz output frequency range. The difference between measured and calculated conversion loss is mainly due to the neglect of the parastics caused by the MMIC pattern layouts. Below the input fundamental

frequency of 5GHz, the fundamental frequency signal isolation decreases due to the incomplete shift from the CPW mode to the slotline mode in the common-gate HEMT and the slotline series T-junction. The magnitude error of over 3dB between 4 and 5GHz in Fig. 2.34 causes an isolation of less than 20dB. When the area of the slotline and the slotline series T-junction is expanded, the isolation is improved.

The measured performance as a function of 10GHz input power is shown in Fig. 2.41. Conversion loss decreases gradually as the input power increases and approaches the minimum value of 8dB at an input power of 6dBm. The fundamental frequency signal isolation increases gradually as the input power increases and exceeds 40dB at an input power of 8dBm.

#### 参考文献

- [2.1] 竹中、他、“モジュール構成による超小型・広帯域MMICミキサ”、電子情報通信学会技術報告、ED89-158, MW89-139, Jan., 1989
- [2.2] T.Takenaka et al., “A Miniaturized, Broadband MMIC Mixer,” *IEEE GaAs IC Symp. Digest*, pp.193-196, 1989.
- [2.3] R.A.Pucel, et al., “Performance of GaAs MESFET Mixers at X Band,” *IEEE Trans. Microwave Theory Tech.*, MTT-24, pp.351-360, June, 1976.
- [2.4] M.LaCon, et al., “A Wide Band Distributed Dual Gate HEMT Mixer,” *IEEE GaAs IC Symp. Digest*, pp.173-176, 1988.
- [2.5] W.Titus, et al., “2-26GHz MMIC Frequency Converter,” *IEEE GaAs IC Symp. Digest*, pp.181-184, 1988.
- [2.6] T. Sugiura, et al., “12GHz-Band GaAs Dual-Gate MESFET Monolithic Mixers,” *IEEE GaAs IC Symp. Digest*, pp.3-6, 1983.
- [2.7] S.Hara, et al., “Broadband Monolithic Microwave Active Inductor and Application to a Miniaturized Wide Band Amplifier,” *IEEE 1988 MTT-S International Microwave Symp. Digest*, pp.107-110, 1988
- [2.8] 徳満 他、“基本回路機能モジュールによるMMIC設計の構想”, 昭和63年電子情報通信学会春季全国大会, SC-8-1, 1988.
- [2.9] A.Gopinath, et al., “Single Gate MESFET Frequency Doubler,” *Trans. Microwave Theory Tech.*, MTT-30, pp.869-875, June, 1982.
- [2.10] 竹中、他、“信号合成LUFETを用いた広帯域MMICミキサの周波数特性”、信学会秋季全国大会、C-348, 1988.
- [2.11] 竹中、他、“L帯アクティブアレーアンテナ用MMIC低雑音増幅器・ダウンコンバータ”、信学会春季全国大会、C-40, 1991.

- [2.12] 1W.Chujo et al., in *1990 IEEE Antenna and Propagation Symp. Dig.*, pp.400-403 May 1990.
- [2.13] K.B.Niclas, *IEEE Trans. on Microwave Theory Tech.*, vol 32, pp. 896-908, Aug. 1984.
- [2.14] 竹中、他、“LUFETを用いた超小型MMIC周波数逓倍器の検討”、電子情報通信学会研究報告、MW90-28, 1990.
- [2.15] T. Takenaka and T. Tokumitsu, “A novel, monolithic out-of-phase divider LUFET and applications to balanced multiplier and modulator modules,” in *the 3rd Asia-Pacific Microwave Conference Proceedings*, Sep. 1990, pp. 861-864.
- [2.16] T. Takenaka, et al., “An ultra-wideband MMIC balanced frequency doubler using line-unified HEMT’s”, *IEEE Trans. Microwave Theory Tech.*, 1992. (to be published)
- [2.17] A. M. Pavio, S. D. Bingham, R. H. Halladay, and C. A. Sapshe, “A distributed broadband monolithic frequency multiplier,” in *IEEE MTT-S Int. Microwave Symp. Dig.*, June 1988, pp. 503-504.
- [2.18] T. Tsukii and M. J. Schindler, “2-20GHz MMIC frequency doubler,” in *the 3rd Asia-Pacific Microwave Conference Proceedings*, Sep. 1990, pp. 857-860.
- [2.19] T. Hiraoka, T. Tokumitsu, and M. Akaike, “A miniaturized broad-band MMIC frequency doubler,” *IEEE Trans. Microwave Theory Tech.*, vol. 38, pp. 1932-1937, Dec. 1990.
- [2.20] J. V. Diloranzo and D. D. Khandelwal, “GaAs FET principles and technology,” *Artech House Inc., Massachusetts*, 1985, pp.453-458.

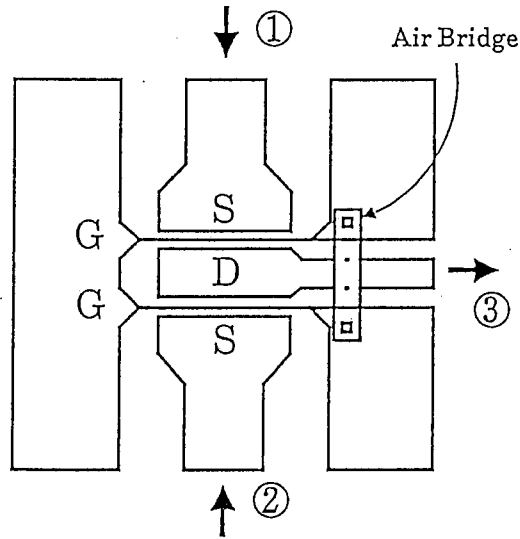


図2.1/信号合成LUFET

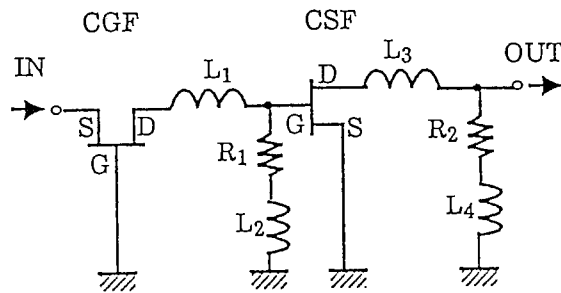


図2.2 増幅器モジュールの等価回路

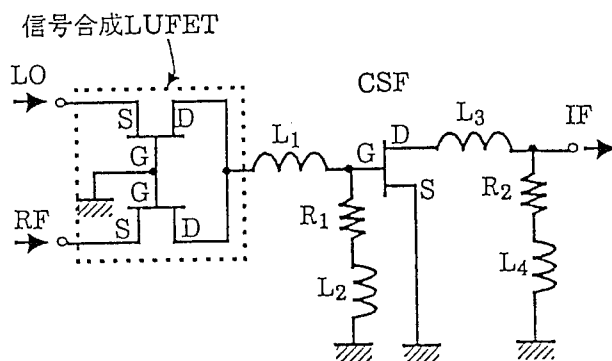


図2.3 広帯域ミキサの等価回路



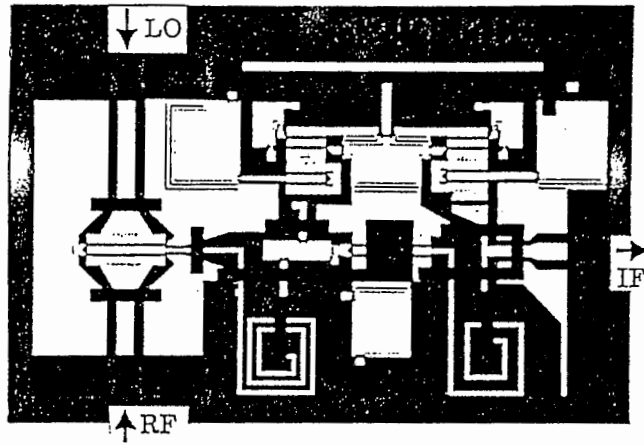


図24 MMICミキサのチップ写真

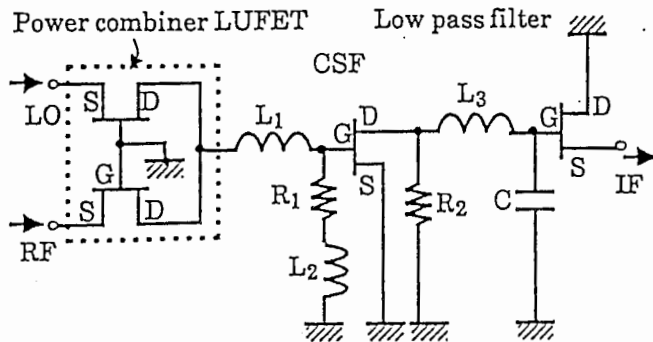


図25 LO信号漏洩抑圧型ミキサの等価回路

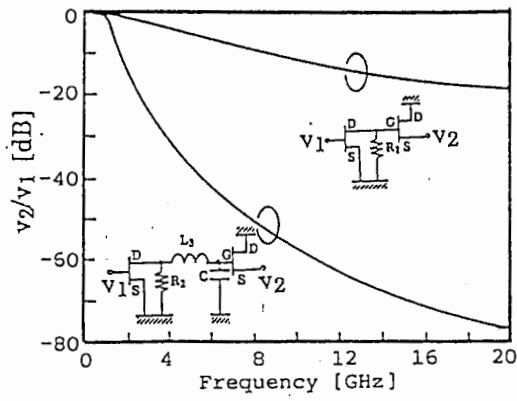


図26 ローパスフィルタ特性

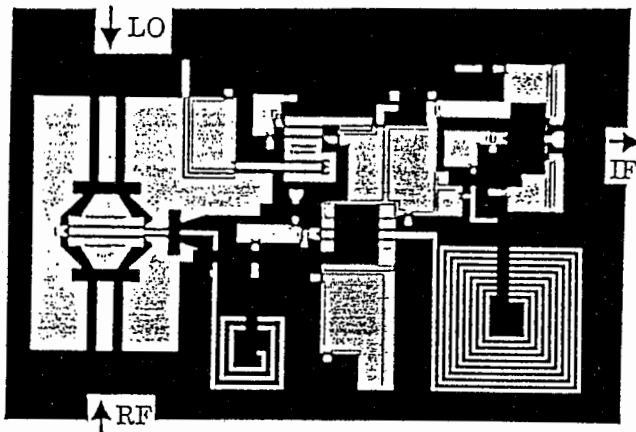


図2.7 LO信号漏洩抑圧型MMICミキサのチップ写真

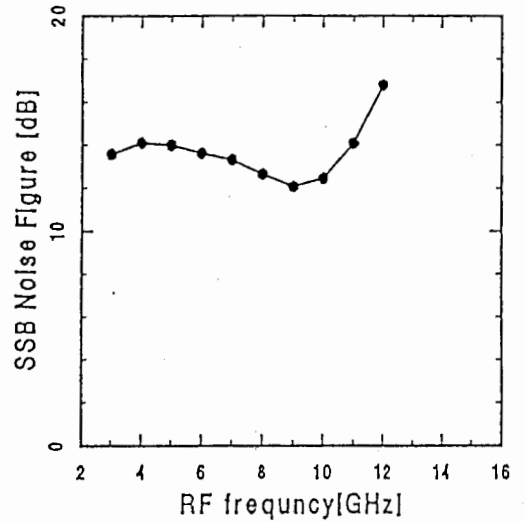


図2.10 SSBノイズフィギュア特性

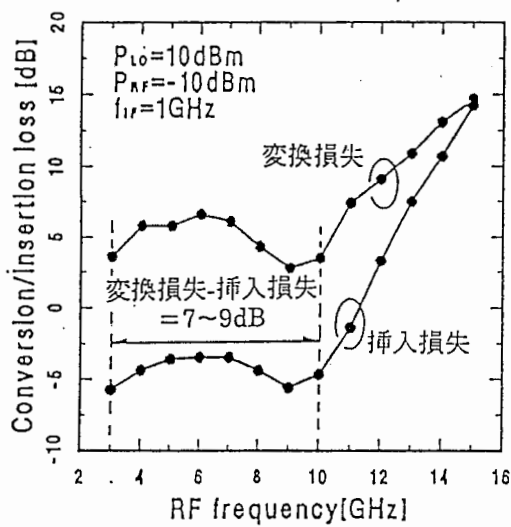


図2.8 変換損失特性、挿入損失特性

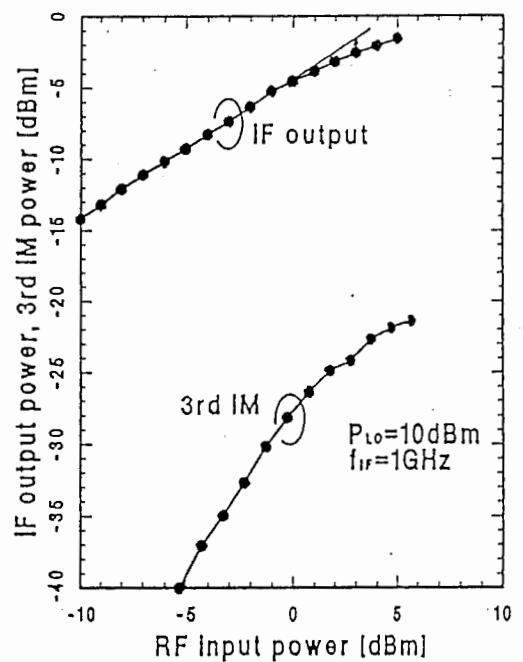


図2.11 RF周波数8GHzにおける入出力特性

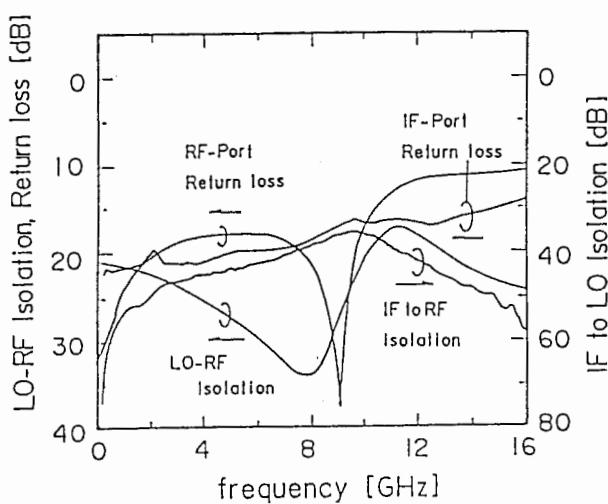


図2.9 入出力端子ターンロス特性、アイソレーション特性

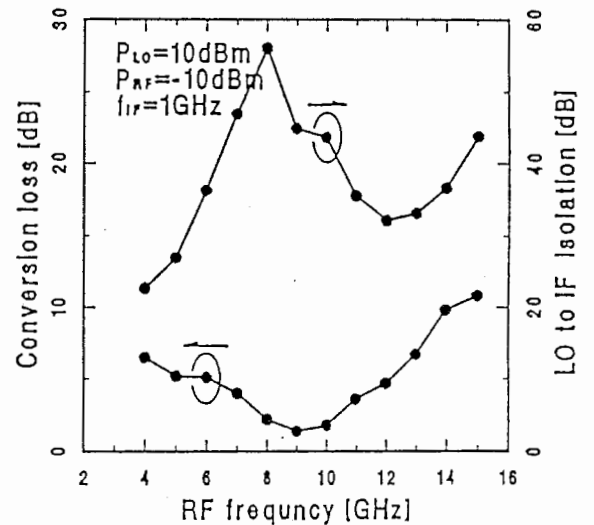


図2.12 LO信号漏洩抑圧型ミキサの変換損失特性、LO信号漏洩抑圧特性

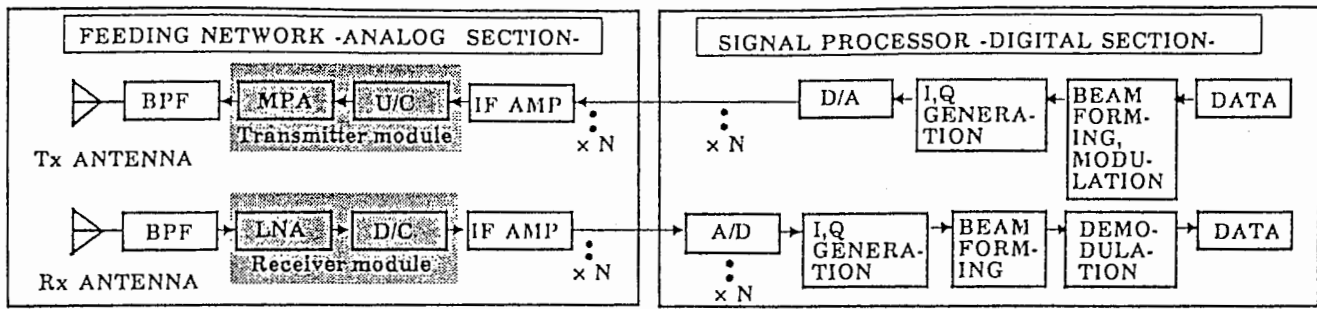


Fig.23 Concept of an active array antenna.

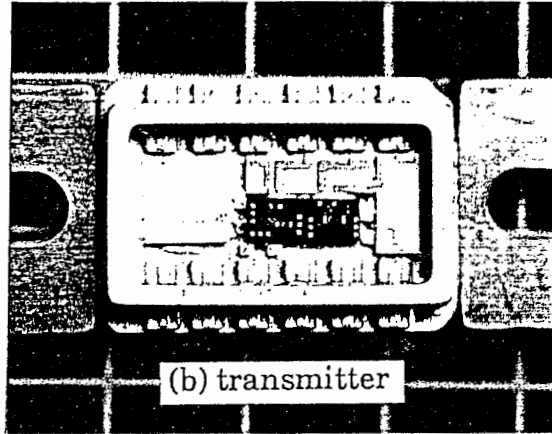
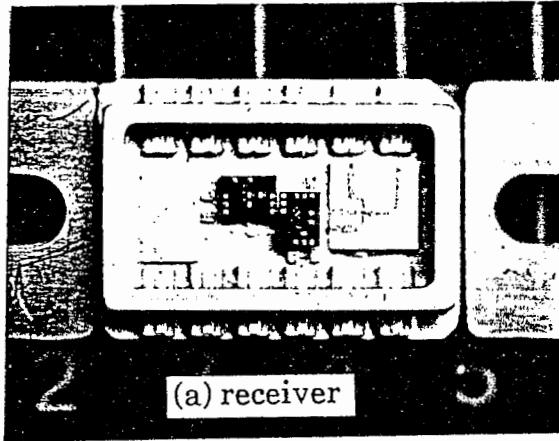


Fig.24 Photograph of the module.

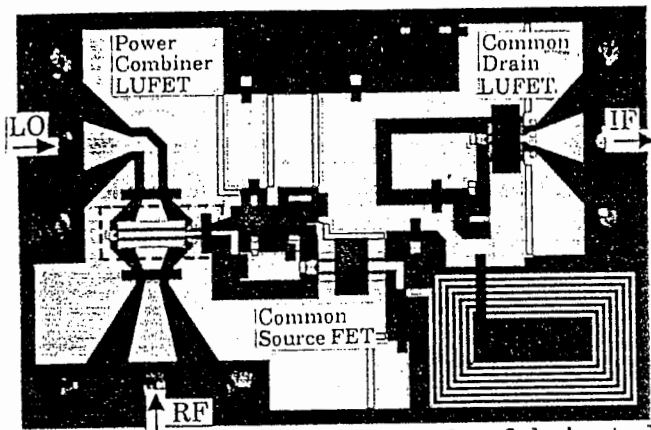


Fig.25 Photomicrograph of the fabricated MMIC down converter.

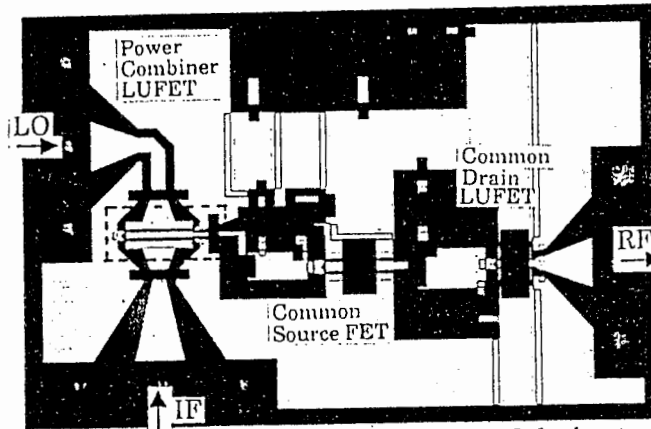


Fig.26 Photomicrograph of the fabricated MMIC up converter.

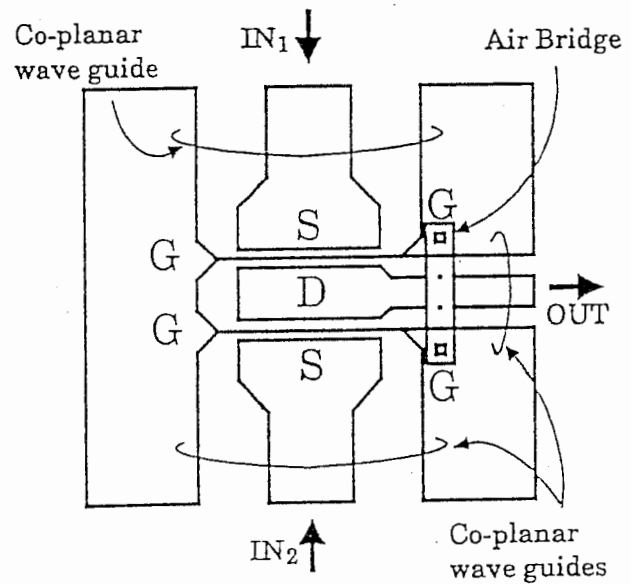


Fig.27 Configuration of a power combiner LUFET.

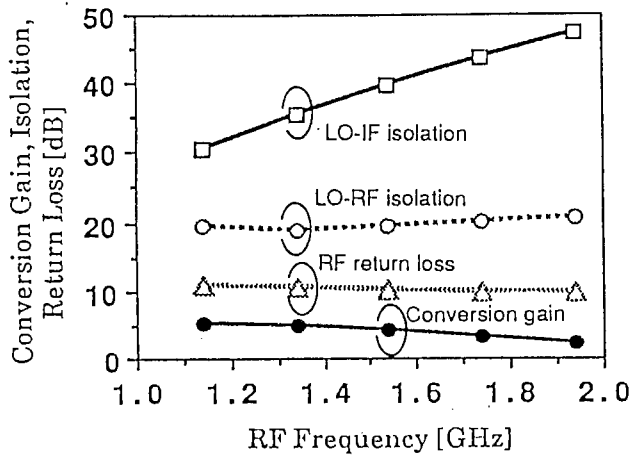


Fig. 2.18 Measured performance of the MMIC down converter.

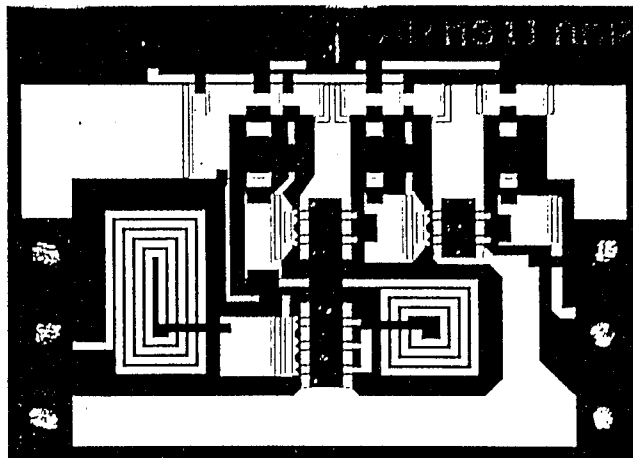


Fig. 2.20 Photomicrograph of the fabricated MMIC low noise amplifier.

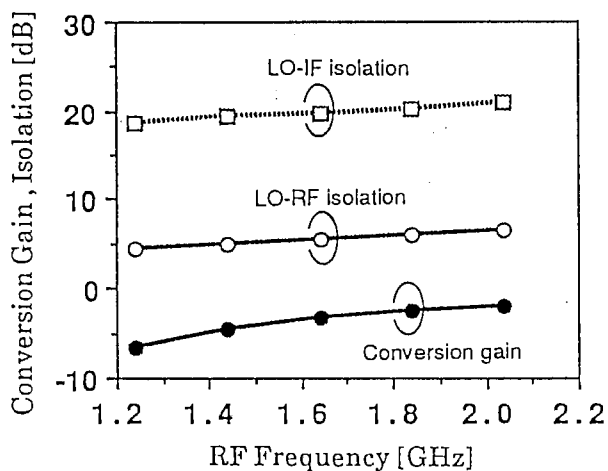


Fig. 2.14 Measured performance of the MMIC up converter.

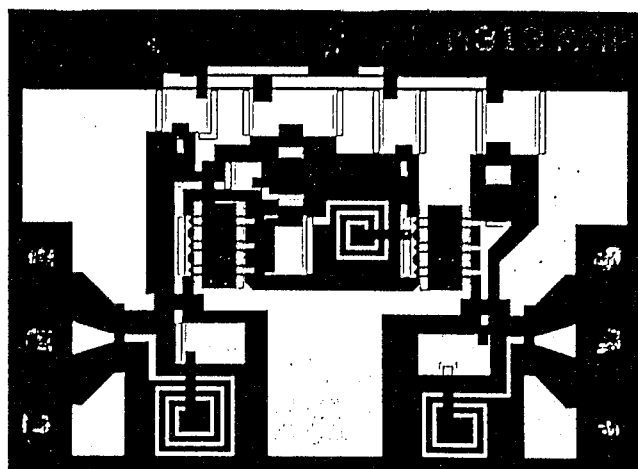


Fig. 2.21 Photomicrograph of the fabricated MMIC medium power amplifier.

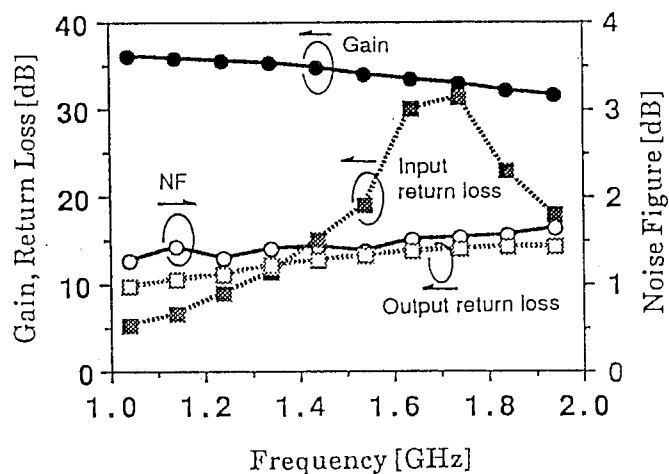
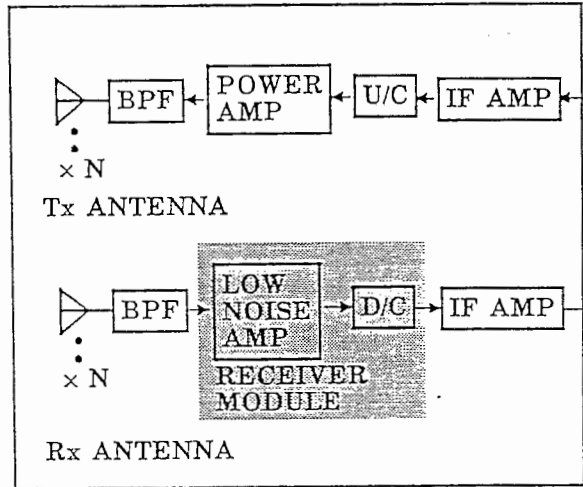
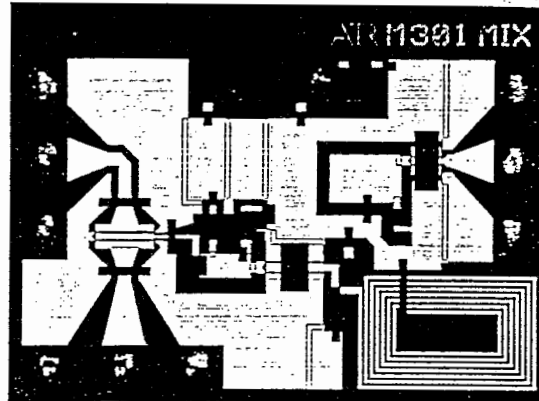


Fig. 2.22 Measured performance of the MMIC low noise amplifier.

FEEDING NETWORK  
-ANALOG SECTION-



MMIC Mixer  
(chip size 1.8mm × 1.2mm)



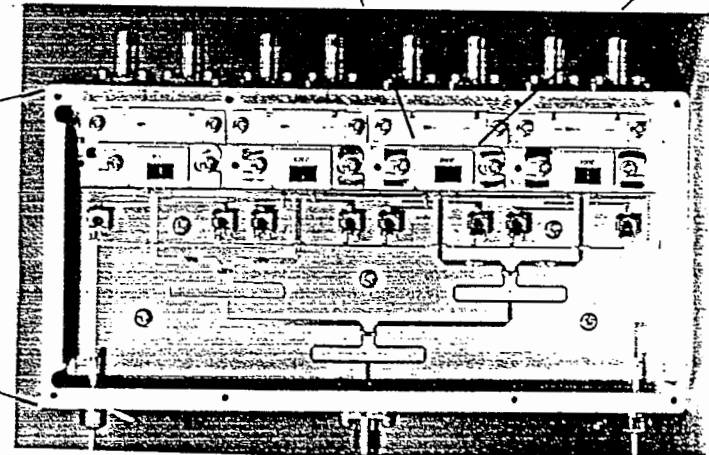
Receiver Package  
(size 12.6mm × 9.2mm)



26

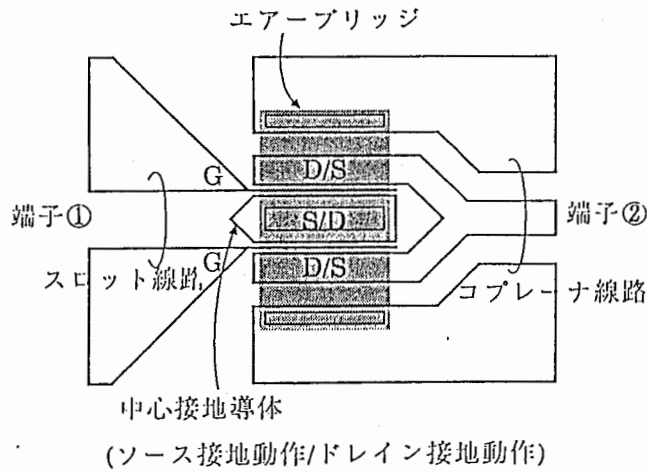


L-band Active Array Antenna System

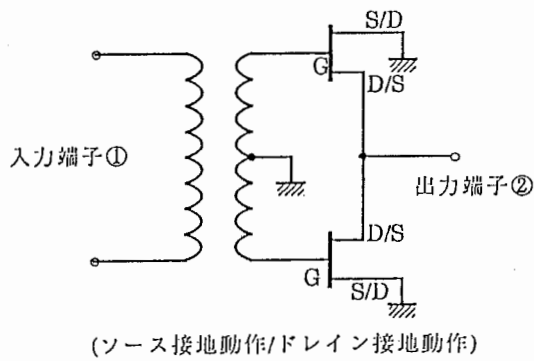


Receiver Module mounting 4 packages  
(size 138mm × 57mm × 18mm)

Fig. 2.23 Fabricated active array antenna and receiver module.



(a) バランス型周波数通倍LUFETの形状



(b) バランス型周波数通倍LUFETの等価回路

図2.24 バランス型周波数通倍LUFETの形状、およびその等価回路

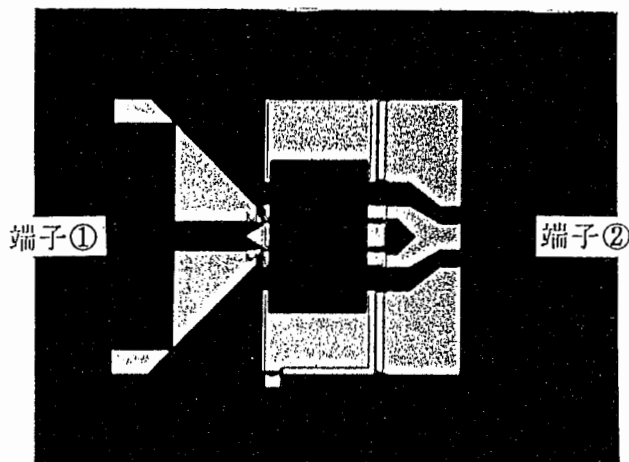


図2.25 バランス型周波数通倍LUFETのチップ写真

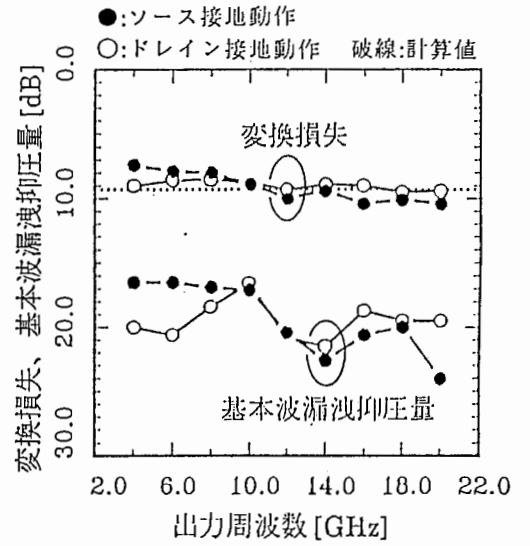


図2.26 バランス型周波数通倍LUFETの変換損失、基本波抑圧特性

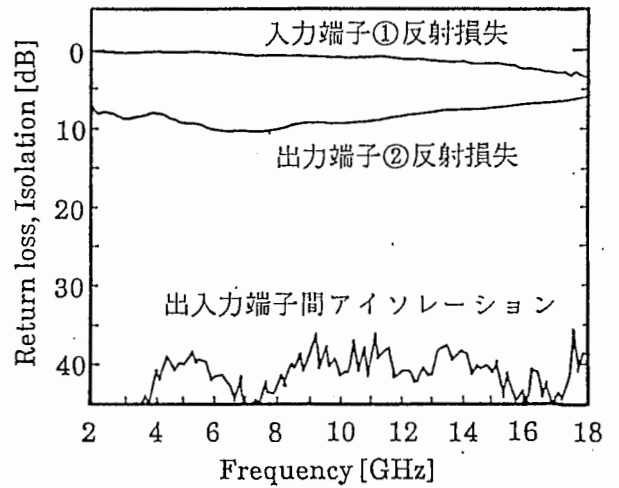


図2.27 ソース接地動作時の入出力端リターンロス、入出力間アイソレーション特性

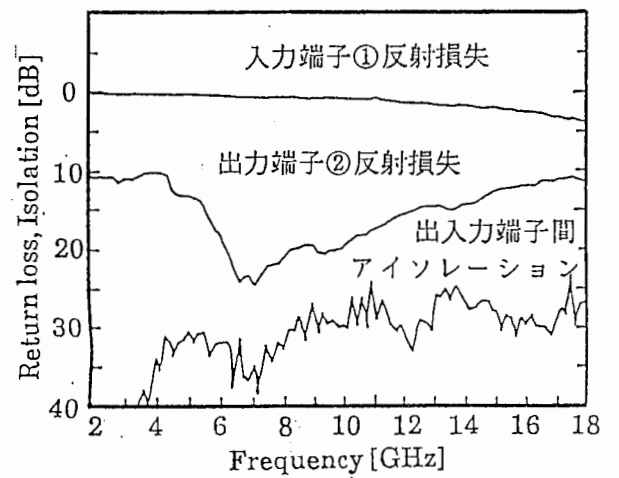


図2.28 ドレイン接地動作時の入出力端リターンロス、入出力間アイソレーション特性

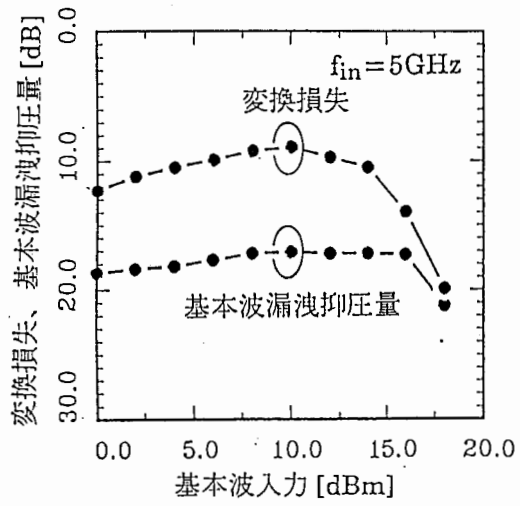


図 2.29 ソース接地動作時の信号入力に対する変換損失・基本波抑圧特性

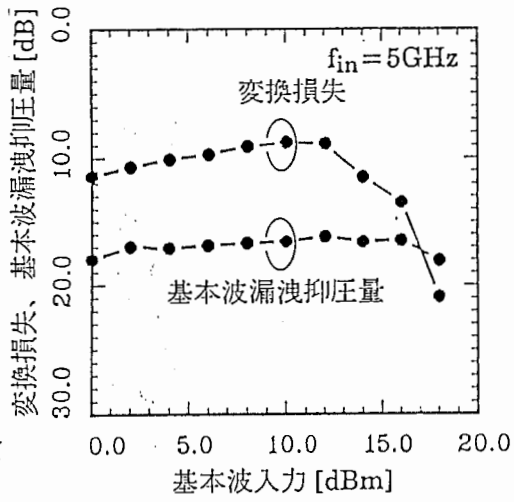


図 2.30 ドレイン接地動作時の信号入力に対する変換損失・基本波抑圧特性

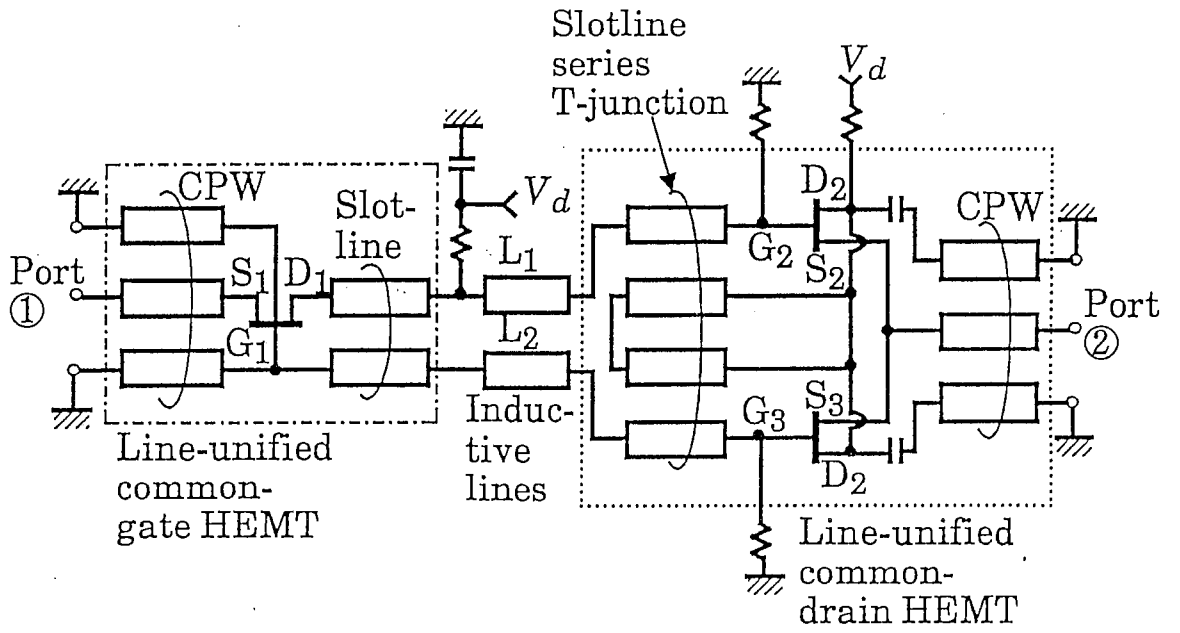


Fig. 2.31 Equivalent circuit diagram of the proposed balanced frequency doubler.

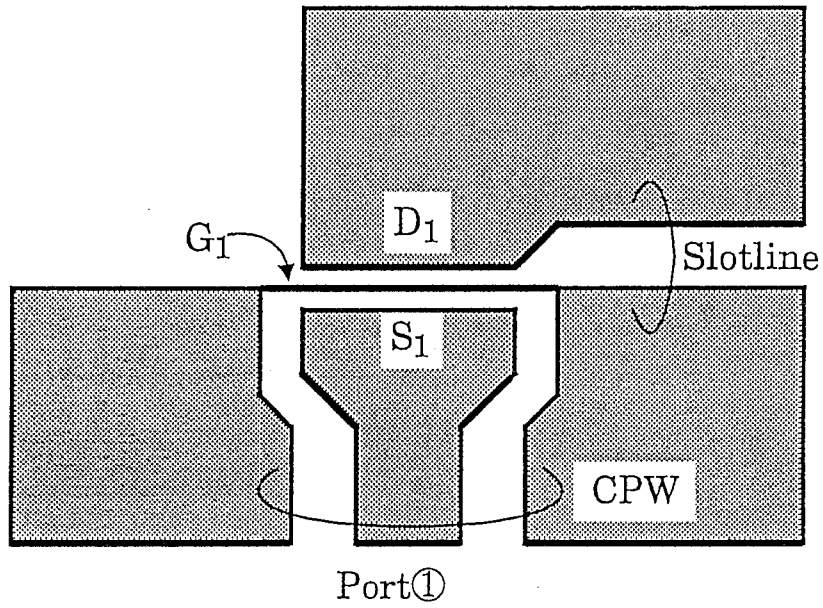


Fig. 2.32 Line-unified common-gate HEMT electrode configuration.



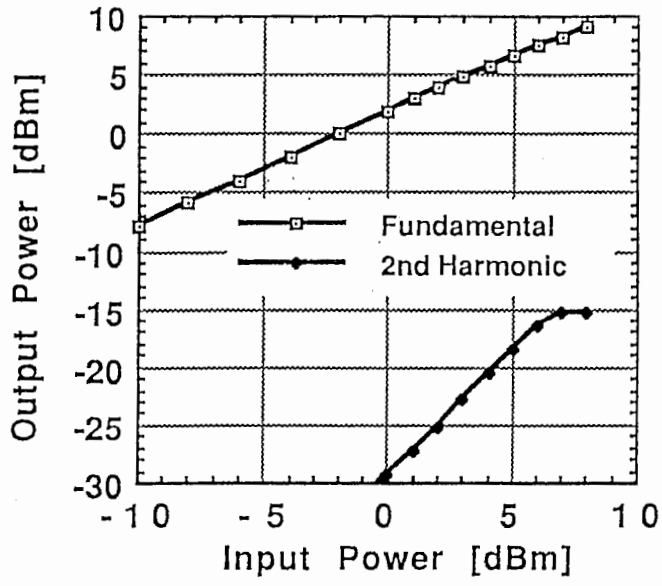


Fig. <sup>2.37</sup> Measured output power performance of the line-unified common-gate HEMT as a function of input power at 10GHz fundamental frequency.

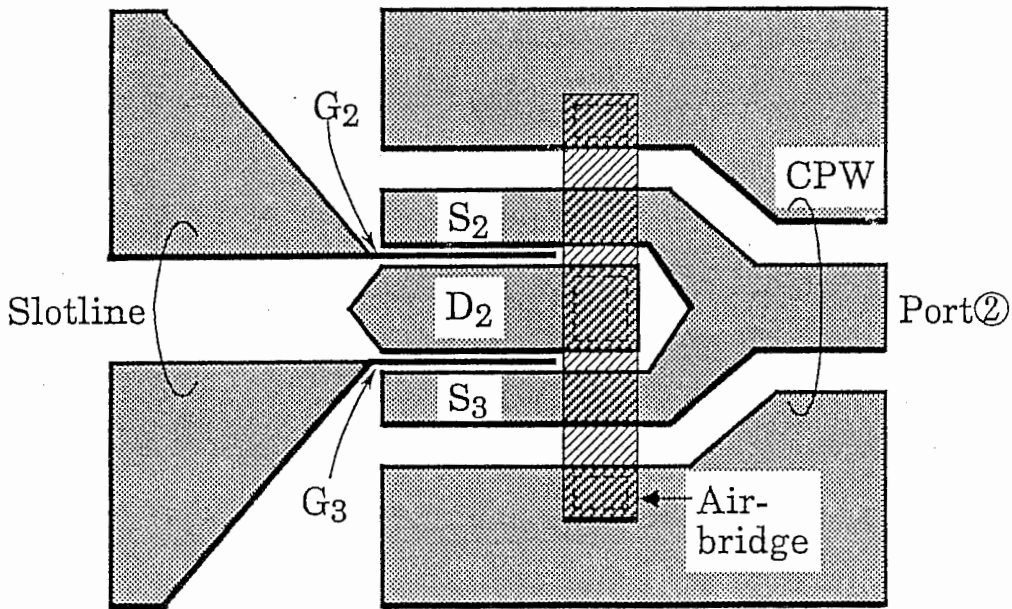
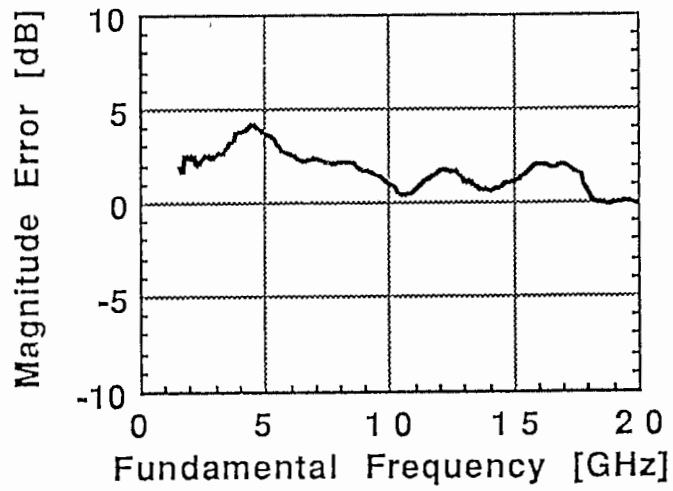
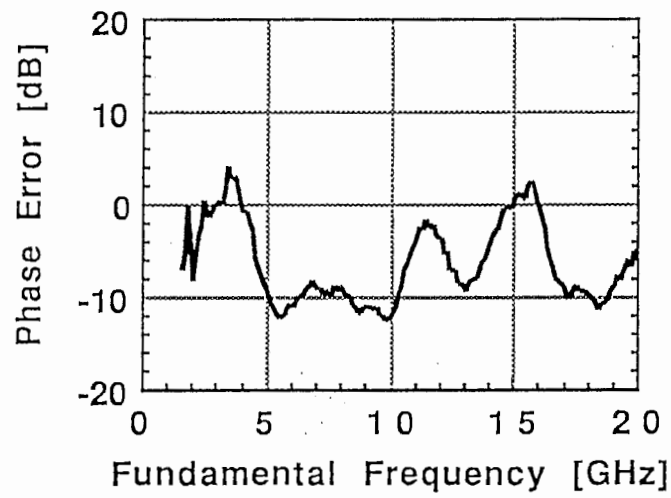


Fig. <sup>2.34</sup> Line-unified common-drain HEMT electrode configuration.



(a)



(b)

2.35  
 Fig. Measured magnitude and phase error versus input fundamental frequency characteristics of the line-unified common-gate HEMT and the slotline series T-junction. (a) Magnitude Error. (b) Phase Error.

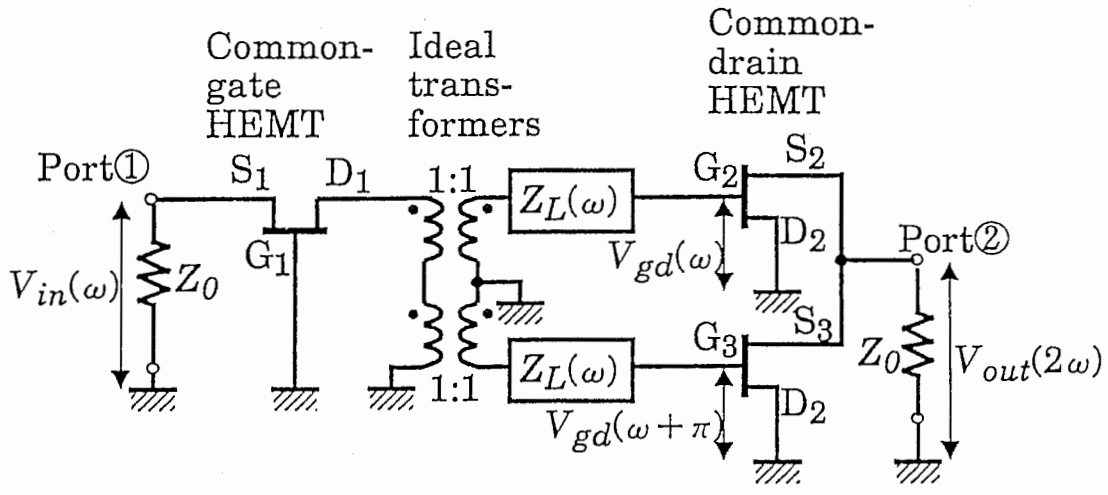


Fig. 2.36 Analytic equivalent circuit diagram of the proposed balanced frequency doubler.

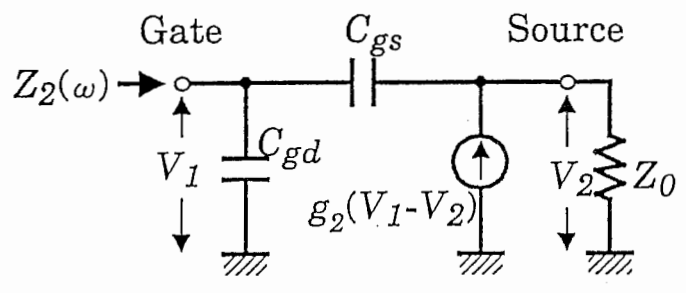


Fig. 2.37 Equivalent circuit of the common-drain HEMT terminated by  $Z_0$ .

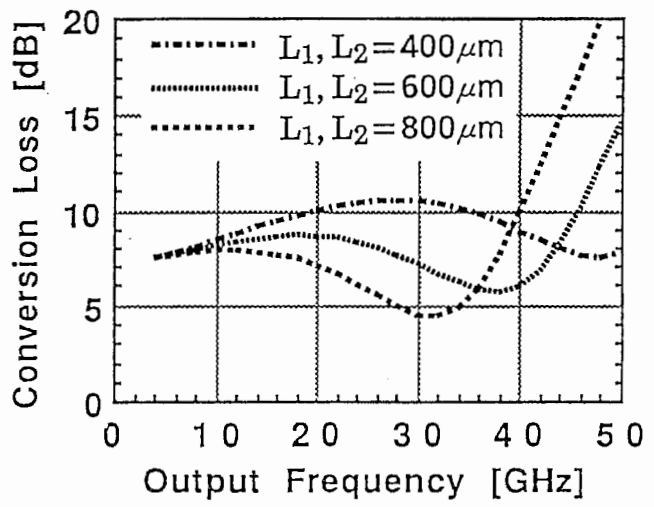


Fig. 2.38 Calculated conversion loss frequency responses versus length of the inductive lines  $L_1$  and  $L_2$ .

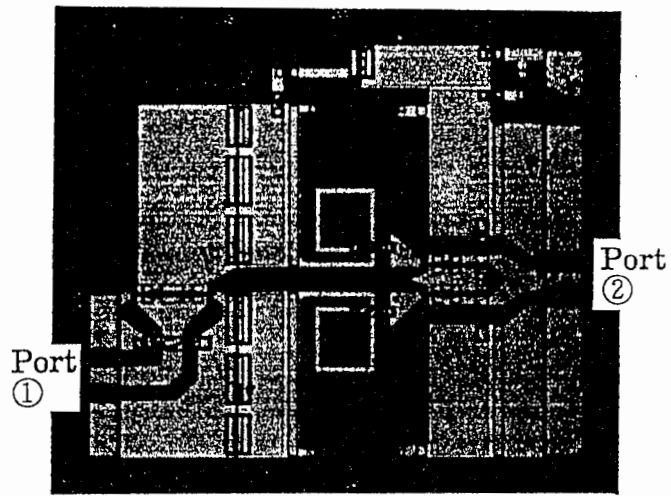
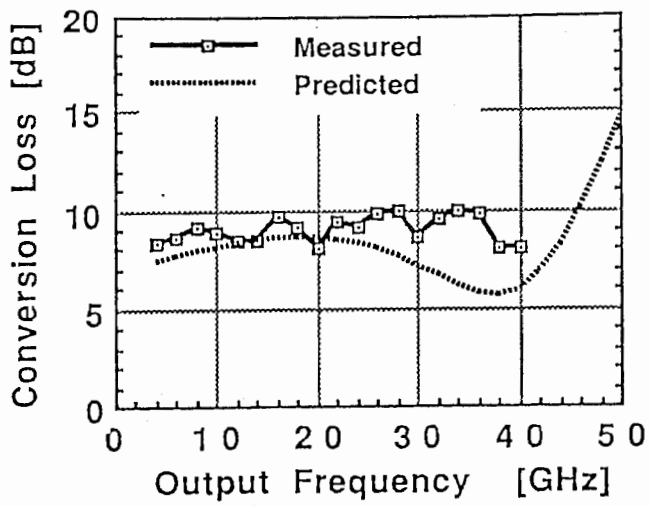
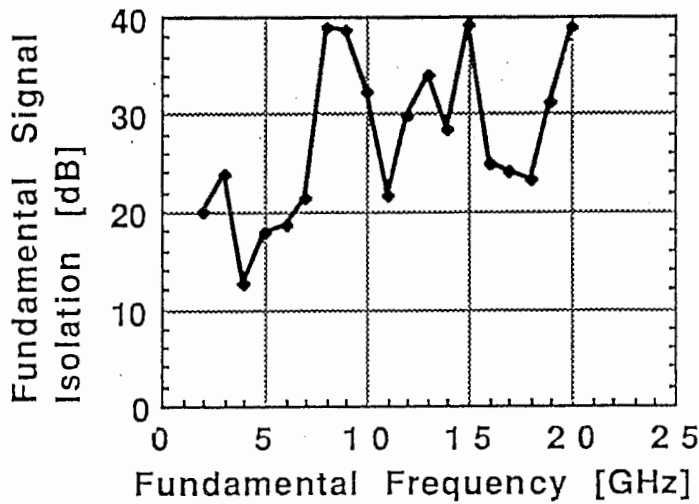


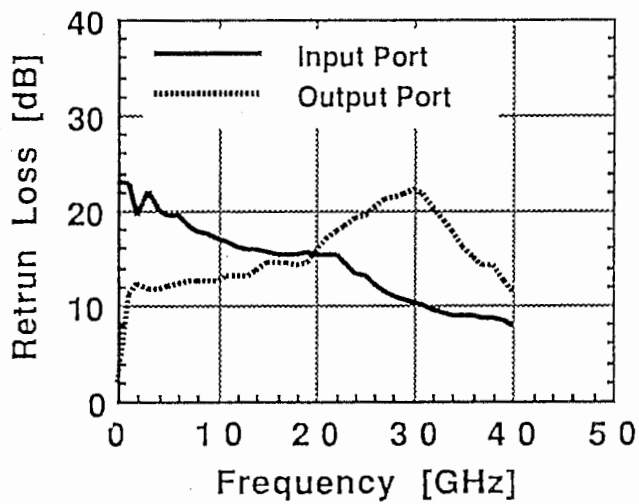
Fig. 2.39 Photograph of the fabricated MMIC balanced frequency doubler. The chip size is  $1.0\text{mm} \times 0.9\text{mm}$ .



(a)



(b)



(c)

Fig. 2.40 Measured performance of the proposed MMIC balanced frequency doubler at an input power of 6dBm. (a) Conversion loss frequency response. (b) Isolation frequency response. (c) Input and output return loss frequency response.

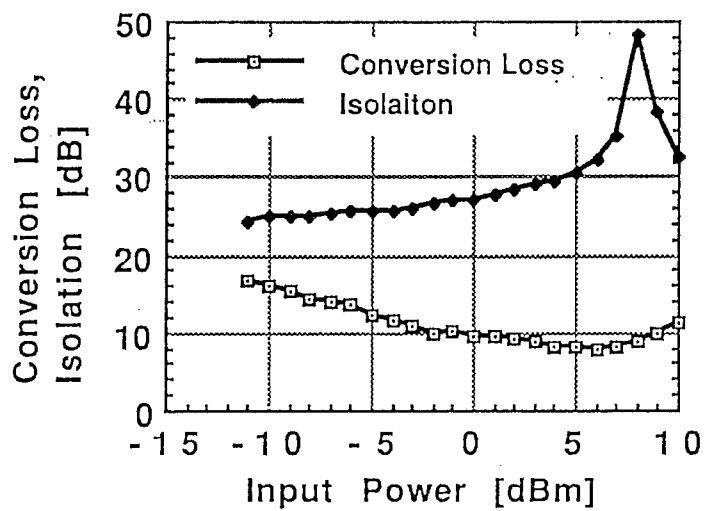


Fig. 24 | Measured conversion loss and isolation performance as a function of input power at 10GHz fundamental frequency.

付録A2.1

(2.1)式から(2.2)式の導出方法を以下に示す。

ソース接地FETのゲートより加わるローカル信号電圧 $v_{LO}'$ 、RF信号電圧 $v_{RF}'$ 、およびドレインの交流電流 $i_{ds}$ を(2.1)式に加味すると、

$$I_{ds} + i_{ds} = I_{dss} \left(1 - \frac{V_{gs} + v_{LO}' + v_{RF}'}{V_p}\right)^2 \left(1 + \frac{V_{ds}}{R_{d0} I_{dss}}\right) \quad (\text{a2.1})$$

となる。 $V_{gs} = V_p$ 、 $R_{d0} = \infty$ とし、さらに、 $v_{LO}'$ 、 $v_{RF}'$ 、を

$$v_{LO}' = |v_{LO}'| \sin \omega_{LO} t \quad (\text{a2.2})$$

$$v_{RF}' = |v_{RF}'| \sin \omega_{RF} t \quad (\text{a2.3})$$

として、(a2.1)式に代入、展開し、両辺のif成分を含む項のみ残すと、

$$i_{ds_{IF}} = \frac{I_{dss}}{V_p^2} \cdot |v_{LO}'| |v_{RF}'| \cos(\omega_{RF} - \omega_{LO}) t \quad (\text{a2.4})$$

となる。ゲートは、ピンチオフ電圧にバイアスされているため、(a2.4)式が成り立つのは、 $v_{LO}'$ が正の領域のみであり、IF端子に表れるIF信号成分の大きさは、(a2.4)式の半分となる。従って、IF信号電圧 $v_{IF}$ の大きさは、

$$|v_{IF}| = |i_{ds_{IF}}| \cdot Z_{I2}(\omega_{if}) = \frac{I_{dss}}{2V_p^2} \cdot |v_{LO}'| |v_{RF}'| \cdot Z_{I2}(\omega_{if}) \quad (\text{a2.5})$$

ここで、

$$v_{RF}' = v_{RF} g_{m1} Z_{I1}(\omega) \quad (\text{a2.6})$$

なので、(a2.5)式は、

$$|v_{IF}| = |v_{RF}'| g_{m1} Z_{I1}(\omega) \frac{I_{dss}}{2V_p^2} \cdot |v_{LO}'| \cdot Z_{I2}(\omega_{if}) \quad (\text{a2.7})$$

となる。従って、 $G_C(\omega)$ は、(a2.7)式より、次式で与えられる。

$$G_C(\omega) = \frac{|v_{IF}|}{|v_{RF}'|} = g_{m1} Z_{I1}(\omega) \cdot \frac{I_{dss}}{2V_p^2} |v_{LO}'| \cdot Z_{I2}(\omega_{if}) \quad (\text{a2.8})$$

### 3. 多層化MMIC

#### 3.1. 分布定数線路型増幅器[3.1]

##### 3.1.1. 概要

多層化MMICは、半導体基板上に誘電体薄膜を積み重ね、これらの層間、層上に金属配線や接地導体を配置し、さらに、半導体基板上に形成したFET等との接続を行うことにより回路機能を実現する超小型マイクロ波集積回路技術である[3.2], [3.3]。図3.1に、この多層化構造を用いた多層化マイクロストリップ線路の断面図を示す。一般的なMMICに用いられるマイクロストリップ線路は、接地金属導体を半導体基板裏面に配し、厚みが $100\sim 200\mu\text{m}$ である半導体基板そのものをマイクロストリップ線路基板として用いた。これに対し、多層化マイクロストリップ線路では、線路の基板として用いられる誘電体薄膜の厚み $H$ が数 $\mu\text{m}$ と非常に薄いため、線路幅 $W$ を非常に小さくできる。この線路を用いて分布定数線路型増幅器を構成した時の利点を以下に示す。

- (1) 多層化マイクロストリップ線路の電磁界の殆どは線路幅 $W$ を含め $3W$ の範囲内に集中することより、約 $2W(6\sim 20\mu\text{m})$ 間隔のメアング形状に線路を構成できる。これにより、分布型増幅器の大部分の面積を占める線路部の面積を効果的に小さくできる。
- (2) 線路幅が小さいことから、複数層の誘電体薄膜を用いれば、アイソレーション特性の優れた線路交差が容易に実現できる。これにより、回路構成の自由度が大幅に向上し、マトリクス分布定数型増幅器[3.4]のような高度な分布型増幅器のMMIC化・小型化が容易になる。
- (3) 接地面がFETと同じ基板上にあるので、従来のように厚いGaAs基板を貫通して接地する必要がない。これにより、高周波特性の向上とチップ面積の節約が期待できる。

##### 3.1.2. 構成

多層化マイクロストリップ線路のこれらの効用のうち、(1)と(3)の実現性を検討することを目的に、図3.2に示す基本的な構成のMMIC分布定数線路型増幅器を多層化マイクロストリップ線路を用いて設計・試作した。誘電体薄膜には、プラズマCVDで形成した $9\mu\text{m}$ 厚のSiON膜を用いた。多層化マイクロストリップ線路を用いる場合の制約条件は、①線路幅 $W$ の最小値が $5\mu\text{m}$ 程度であるため線路の高インピーダンス値が制約される、②線路幅 $W$ が小さいため線路損失が大きいことであ



る。ここでは、線路幅は $5\mu\text{m}$ として設計した。線路の損失はシート抵抗( $R_s$ )に対応させ、同条件( $W=5\mu\text{m}$ )で製作した線路の測定値より $0.028\Omega/\square$ とした。これらの条件下で、 $1\sim 16\text{GHz}$ で利得 $4.5\pm 0.5\text{dB}$ を得られるように設計をおこなった。図3.3に試作した分布型増幅器のチップ写真を示す。試作チップの面積は $0.8\text{mm}\times 1.3\text{mm}$ で、従来に比べ約 $1/4$ に小型化を実現している。

### 3.1.3. 特性

図3.4に周波数特性を示す。実線は測定結果、一点鎖線は計算結果である。 $1\sim 16\text{GHz}$ で利得が得られ $1\sim 12\text{GHz}$ において利得 $3\text{dB}$ 以上であった。 $1\sim 16\text{GHz}$ で反射損失は $13\text{dB}$ 以上、入出力アイソレーションは $18\text{dB}$ 以上が得られた。利得の計算値と測定値との差は、シート抵抗が設計時に用いた値( $0.028\Omega/\square$ )の約2倍(同条件の線路TEGの測定値: $0.06\Omega/\square$ )となったため導体損が設計時の倍となり、生じたものである。図3.4にシート抵抗を $0.06\Omega/\square$ とした時の計算結果を破線で示す。 $0.06\Omega/\square$ とした時の計算値と測定値は良く一致していることから、金属導体膜の製造プロセスを安定化することにより、多層化マイクロストリップ線路は分布型増幅器に十分適用できると考えられる。

## 3.2. 多層化スパイラルインダクタ [3.5]

### 3.2.1. 概要

MMICのインダクタには一般にスパイラルインダクタが用いられる。しかし、スパイラルインダクタは大面積を要し、MMICの小型化に大きな制約を与える。本項では、多層化MMICの技術を用い、従来の平面型スパイラルインダクタと同面積で3倍程度のインダクタンス値を持つ多層化スパイラルインダクタについて述べる。

### 3.2.2. 構成

図3.5(a)(b)に、MMIC多層化スパイラルインダクタのレイアウト、断面図をそれぞれ示す。GaAs基板上に第一層スパイラルインダクタを形成し、その上部に、P-CVDで積層した誘電体膜( $\text{SiON}$ )を介し第二層スパイラルインダクタを形成している。第一層と第二層のスパイラルインダクタの外側から内側への巻方向は互いに逆方向とし、両者をスパイラルの中心部でスルーホールにて接続している。図1の構成とすることにより、第一層、第二層のスパイラルインダクタ間に

生ずる相互インダクタンスがその自己インダクタンスに加わり、同面積でより大きなインダクタンス値を実現する。図3.5の等価回路を図3.6に示す。図3.6において、 $L_1$ 、 $L_2$ 、 $M$ は、それぞれ、第一層、第二層の各自己インダクタンス値、相互インダクタンス値、 $R$ は金属配線抵抗値、 $C$ はインダクタ内の金属パターンに起因する寄生容量を等価的に表した値である。この時、多層化スパイラルインダクタのインダクタンス値( $L_{total}$ )は、次式で表せる。

$$L_{total} = L_1 + L_2 + 2M \quad (3.1)$$

従って、インダクタンス値 $L$ のスパイラルインダクタを図3.5のように多層化すれば、 $2L + 2M$ のインダクタンス値が得られる。

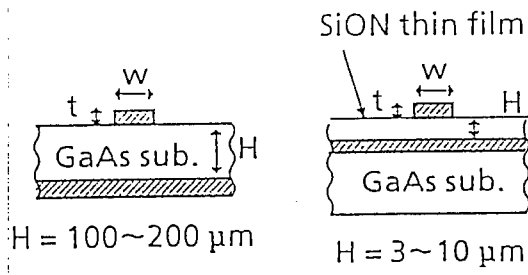
### 3.2.3. 特性

600 $\mu\text{m}$ 厚のGaAs基板の上に形成した、外形が縦、横共に300 $\mu\text{m}$ 正方形、線路幅(W)10 $\mu\text{m}$ 、線路間隔(S)20 $\mu\text{m}$ 、誘電体膜厚6 $\mu\text{m}$ 、第一層、第二層共4ターンの多層化スパイラルインダクタの $L_{total}$ 、 $R$ 、 $C$ と共振周波数を表1に示す。表3.1には第一層のみの平面型スパイラルインダクタの $L_{total}$ 、 $R$ 、 $C$ と共振周波数も示す。 $L_{total}$ 、 $R$ 、 $C$ は、測定Sパラメータを図3.6の等価回路で最適化した値(平面型は $L_2$ 、 $M$ なし)である。共振周波数は測定値である。多層化スパイラルインダクタは、第一層と第二層の線路配置が上から見て重なったもの(重合型)と第一層の線路間隔の中心に第二層の線路を配置したもの(非重合型)の2種類とした。表3.1より多層化スパイラルインダクタは平面型スパイラルインダクタに比べ、同サイズで約3倍のインダクタンス値を実現することがわかる。尚、多層化スパイラルインダクタでは、第一層と第二層間に寄生容量が生ずるため、共振周波数は、平面型で同じインダクタンス値を持つものに比べ、20~30%低くなる。

### 参考文献

- [3.1] 竹中、他“薄膜マイクロストリップ(TFMS)線路を用いた超小型MMIC分布型増幅器”、平成1年信学会秋季全国大会C-372、1989.
- [3.2] 田中、他“多層化MMICの構想”昭和63年信学会春季全国大会SC-8-2、pp.446-447
- [3.3] 徳満、他“薄膜マイクロストリップ(TFMS)線路を用いた超小型MMIC”、信学技報MW89-35、pp.65-72、1989.

- [3.4] K. B. Niclas, et al. "A 2-18GHz Low-Noise/High-Gain Amplifier Module"  
*IEEE Trans. on Microwave Theory Tech.*, vol.37 pp.198-207, 1989
- [3.5] 竹中、他、“MMIC多層化スパイラルインダクタ”、1992年信学会秋季全国大会、C-56、1990.



(a) 従来のMS線路の構成      (b) TFMS線路の基本構成

図3.1 従来のMS線路とTFMS線路の構成

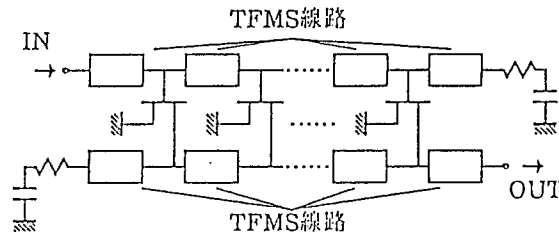


図3.2 TFMS線路を用いた基本的な構成のMMIC分布型増幅器

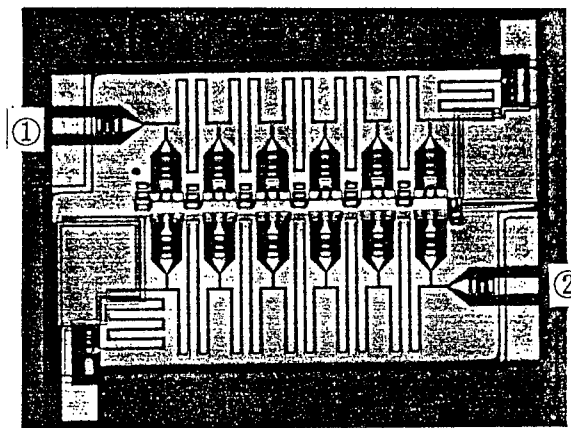


図3.3 チップ写真

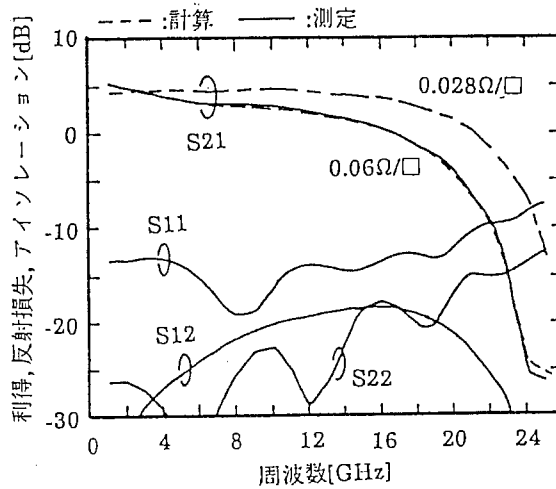
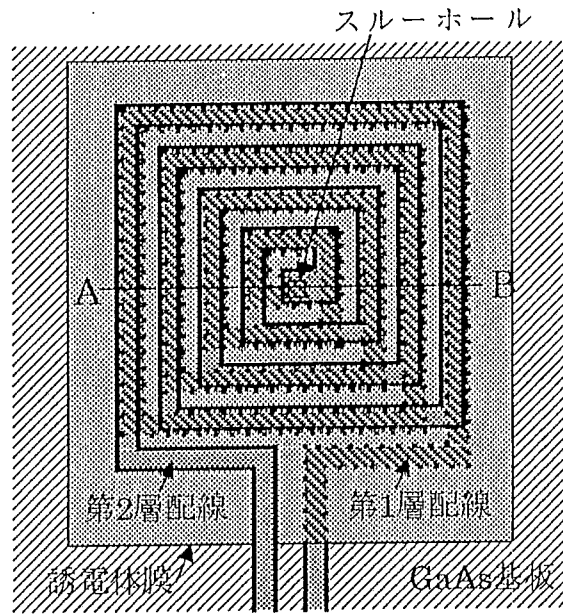
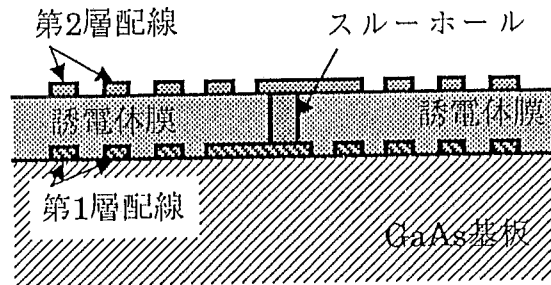


図3.4 周波数特性



(a) レイアウト



(b) 上図のA-B線における断面図

図35 多層化スパイラルインダクタの構成

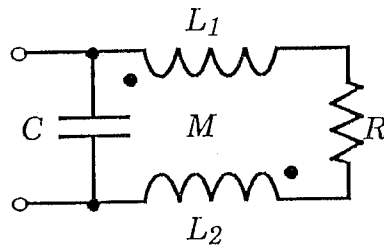


図36 多層化スパイラルインダクタの等価回路

表3. | 多層化スパイラルインダクタのSパラメータで最適化した値

	$L_{total}$ ( $=L_1+L_2+2M$ )	$R$	$C$	共振周波数
多層化スパイラルインダクタ(重合型)	15.7nH	26Ω	0.19pF	2.8GHz
多層化スパイラルインダクタ(非重合型)	13.4nH	22Ω	0.14pF	3.6GHz
平面型スパイラルインダクタ	4.8nH	10Ω	0.03pF	11.8GHz

## 4. 多層化LUFET MMIC

ここでは、2章、3章で述べたLUFET、多層化の技術を融合させ、さらに高機能化を目指した多層化LUFETMMICについて記述する。設計、試作を行ったMMICは、薄膜誘電体膜間に接地面を設けその両面でマイクロストリップ線路を形成し、同相分配/合成回路にLUFETを適用したイメージリジェクションミキサ、多層化マイクロストリップ線路の線路交差機能を利用した逆相分配/同相合成LUFETを用いたバランス型ミキサ、アップコンバータである。また、その設計は、FETのDC特性から導出した式に線形シミュレータの計算結果を代入する形で行う方法を提案、適用した。

### 4.1. イメージリジェクションミキサ[4.1]

#### 4.1.1. 概要

Some sets of  $90^\circ$  hybrids,  $180^\circ$  hybrids(baluns) and in-phase power combiner/dividers are required for micro/millimeter-wave circuits which perform spurious rejection or phase control by their phase-shift. An image rejection mixer utilizes these circuitries. The image rejection mixer composed of an LO  $90^\circ$  hybrid, an in-phase RF divider, two mixers and an IF  $90^\circ$  hybrid[4.2], performs well, however, the hybrids and combiner/dividers composed of quarter-wavelength transmission lines often occupy large areas of the MIC and MMIC chips.

To overcome the size-problem of the MMIC chips, we have proposed microstrip lines which use thin dielectric films as substrates[4.3]-[4.5](thin film microstrip lines, TFMS lines for short) and line-unified FET(LUFET) which perform circuit functions, e.g. in-phase/out-of-phase power combiners and dividers, only in FET configuration[4.5]-[4.7].

This paragraph proposes an MMIC image rejection mixer employing multilayer microstrip lines and line-unified HEMT modules. The advantage of the mixer is remarkable chip size reduction by the combination of the two technologies.

The multilayer microstrip line consists of stacked thin film microstrip lines and inverted microstrip lines. The multilayer line structure, in which microstrip lines are placed upon the inverted microstrip lines, is used for a  $90^\circ$  hybrid and two distributed lines to reduce the chip-area occupied with lines.

The line-unified HEMT module consists of HEMTs and coplanar lines unified in the HEMTs' electrodes. The module provides in-phase power

divider/combiners with active impedance matching and ports isolation only in the HEMT and unified coplanar lines configuration.

#### 4.1.2. 構成

Fig.4.1 shows the equivalent circuit diagram of the proposed MMIC image rejection mixer, excluding an IF 90° hybrid. The input LO signal is divided by the LO 90° hybrid and fed to source electrodes  $S_{LO}$  of the line-unified common gate HEMT module. The input RF signal is divided in-phase and combined with the LO signals. The combined signals are fed next to each common source HEMT biased in a non-linear state, and IF signals with a 90° phase difference are generated in each common source HEMT. By forcing the output signals from IF<sub>1</sub> and IF<sub>2</sub> ports to an external IF 90° hybrid, upper and lower sideband signals appear individually at two output ports of the IF 90° hybrid. The image signal side should be terminated. The microstrip lines  $L_1$ ,  $L_2$  are used for conjugate impedance matchings between the line-unified common gate HEMT and the common source HEMT.

To reduce the chip-area occupied by lines, the multilayer microstrip line structure is applied to the microstrip lines  $L_1$ ,  $L_2$  and the LO 90° hybrid. The microstrip lines  $L_1$ ,  $L_2$  are stacked upon the inverted microstrip lines constructing the LO 90° hybrid. Fig. 4.2 shows the configuration of the multilayer microstrip line structure. Since the ground plane metal formed between the thin dielectric films establishes complete isolation between two layers, a free allocation of the lines, e.g. crossover and meander-like configurations, is available. The polyimide( $\epsilon_r=3.3$ ) is used for the dielectric film material because it has several features which are suitable for multilayer microstrip line design and fabrication. Ref.[4.8]-[4.10] discuss the features and fabrication process of the polyimide film. The impedance and effective dielectric constant calculated with the finite-element method are used for the design. The calculation results of the finite-element method are shown in the Appendix 4.1.

Furthermore, the image rejection mixer employs a line-unified common gate HEMT module for size reduction. Fig. 4.3 shows the configuration of the line-unified common gate HEMT module, which consists of a four-gate HEMT with source( $S_{LO}$ )-gate( $G_{LO}$ )-drain(D)-gate( $G_{RF}$ )-source( $S_{RF}$ )-gate( $G_{RF}$ )-drain(D)-gate( $G_{LO}$ )-source( $S_{LO}$ ) electrode locations and coplanar lines unified in the electrode locations. The electrode relationships of the unified coplanar lines are established by the gate electrode strips used for common electrodes. An in-phase



divider with a coplanar waveguide(CPW) input port is formed by the D- $G_{RF}$ - $S_{RF}$ - $G_{RF}$ -D structure. In-phase combiners are formed by the  $S_{LO}$ - $G_{LO}$ -D- $G_{RF}$ - $S_{RF}$  structures and output port① or ② derived from drain electrodes through the microstrip line  $L_1$  or  $L_2$ . When the  $S_{LO}$ s and  $S_{RF}$  are used for the LO signals and the RF signal input ports, respectively, this common gate HEMT provides the following features only in four-gate HEMT configuration,

- (1) dividing the RF signal in-phase,
- (2) combining the LO and RF signals,
- (3) isolation between LO and RF input ports due to the HEMT's unilateral effect,
- (4) isolation from output ports to LO and RF input ports,
- (5) active impedance matchings at each input port by selecting biases which provide  $2g_{m_{RF}}Z_0=1$  and  $g_{m_{LO}}Z_0=1$ , where  $g_{m_{RF}}$  and  $g_{m_{LO}}$  are transconductances corresponding to D- $G_{RF}$ - $S_{RF}$  and D- $G_{LO}$ - $S_{LO}$  structures, respectively, and  $Z_0$  is a normalized impedance[4.11].

In Fig.1,  $R_1$  is an absorbent resistor of the LO 90° hybrid.  $R_2$  and  $R_3$  are load resistors of the line-unified common gate HEMT.  $R_6$  and  $R_7$  are load resistors of the common source HEMTs for the IF signals. The resistors  $R_4$ ,  $R_5$  and  $R_8$ ,  $R_9$  provide gate biases of the common source HEMTs and common drain HEMTs, respectively.

#### 4.1.3. 特性

A photomicrograph of the MMIC image rejection mixer is shown in Fig. 4.4. The chip size is only 1.6mm×1.0mm. This mixer has been fabricated using the n-AlGaAs/InGaAs HEMTs with a cutoff frequency( $f_T$ ) of approximately 40GHz at a gate width of 100 $\mu$ m. The gate length is 0.25 $\mu$ m.

The characteristics of the mixer have been confirmed through on-wafer measurements with an external IF 90° hybrid. Drain bias  $V_{dd}$ (6V) for the HEMTs is supplied through a DC pad. Source biases of the common gate HEMT and the common drain HEMTs are supplied through wideband bias-Ts and on-wafer-measurement probes attached at the RF, LO, IF<sub>1</sub> and IF<sub>2</sub> ports. The gate bias  $V_{gg}$  of the common source HEMTs is supplied through another DC pad. The typical current drawn is 40mA and power consumption is 240mW.

Fig. 4.5 shows the measured frequency response of the conversion loss, image rejection and isolations at the LO input power of 4dBm, the RF input power of -10dBm, and the IF frequency of 250MHz. In the LO frequency range of 29-32GHz, the conversion loss is between -2 and 5dB, image rejection is better than

16dB, LO to IF port- and LO to RF port isolations are better than 22dB and 18dB, respectively. Image rejection of better than 24dB is achieved in the LO frequency range of 30-31GHz. Fig.6 shows the measured frequency response of the return loss at the RF and IF ports. The RF and IF return loss is better than 12dB and 10dB, respectively, in the RF frequency range of 28-32GHz and IF frequency range up to 1GHz. Fig.7 shows the measured IF output power performance as a function of the 30.25GHz RF input power. The output power at the 1dB power compression point is  $-6\text{dBm}$ .

## 4.2. バランス型ミキサ[4.1]

### 4.2.1. 概要

A balanced mixer utilizes some sets of  $180^\circ$  hybrids(baluns) and in-phase power combiner[4.1] to suppress a LO signal leakage at IF port without filters. The mixer performs well, however, the hybrids and combiner/dividers composed of quarter-wavelength transmission lines often occupy large areas of the MIC and MMIC chips.

This paragraph proposes an MMIC balanced mixer employing multilayer microstrip lines and line-unified HEMT modules. The advantage of the mixers is remarkable chip size reduction by the combination of the two technologies. The flexibility of the circuit design is also established because of crossover structures of multilayer lines'. Furthermore, ultra-wideband characteristics due to the absence of quarter-wavelength transmission lines are achieved.

The multilayer microstrip line consists of stacked thin film microstrip lines and microstrip lines with overlaid dielectric film(overlay microstrip line). In the proposed MMIC balanced mixer, the crossover structure of multilayer lines is effectively used for deriving input/output ports from a line unified HEMT module.

The line-unified HEMT module consists of HEMTs and coplanar lines unified in the HEMTs' electrodes. The module provides out-of-phase power dividers and in-phase power combiners with active impedance matching and ports isolation only in the HEMT and unified coplanar lines configuration.

### 4.2.2. 構成

Fig. 4.8 shows the equivalent circuit diagram of the MMIC balanced mixer. The balanced mixer achieves LO to IF port- and RF to IF port isolations by the

balanced operation. The isolation between the LO and RF ports is achieved by the HEMT's unilateral effect. The balanced mixer employs a line unified common gate HEMT module shown in Fig. 4.9, because the module provide the all following features in an area of only  $0.6\text{mm} \times 0.8\text{mm}$ :

- (1) dividing the RF and LO signal out-of-phase by the unified slotline series T-junctions,
- (2) combining the divided RF and LO signals at each source( $S_{RF}$ )-gate( $G_{RF}$ )-drain(D)-gate( $G_{LO}$ )-source( $S_{LO}$ ) structure,
- (3) isolation between LO and RF input ports,
- (4) isolation from output ports to input ports,
- (5) active impedance matching at each input port by selecting biases which provide  $g_{mCGF}Z_0/2=1$ , where  $g_{mCGF}$  is a transconductance corresponding to D- $G_{RF}$ - $S_{RF}$  or D- $G_{LO}$ - $S_{LO}$  structures, respectively, and  $Z_0$  is a normalized impedance[4.11].

The line-unified common gate HEMT module performs the functions required for balanced mixers with ultra-wideband in small area. However, there is the problem that one input port is always enclosed by the ground metal and output signal lines. To overcome this, a multilayer microstrip line structure is needed for injecting an input signal crossing over the output signal lines. The microstrip line  $L_2$  crosses over the overlay microstrip lines used for LO signal input. The configuration of the cross-section is shown in Fig. 4.10.

The balanced, LO and RF signals derived from the line unified HEMT module are fed to gates of the common source HEMTs through the microstrip lines  $L_1, L_2$ . When the common source HEMTs are biased in non-linear states, in-phase IF signals are generated. By combining the output signals of the common source HEMTs in-phase at the common drain HEMTs, the IF signals are emphasized and the leaked LO and RF signals cancel each other. The common drain HEMT also performs an active output impedance matching by selecting a source bias which provides  $2g_{mCDF}Z_0=1$ , where  $g_{mCDF}$  is a transconductance corresponding to each D-G-S electrode structure. The load and bias resistors' configuration is almost the same as the image rejection mixer's.

Since the balanced mixer lacks any quarter-wavelength lines, a wideband characteristic can be realized with parallel feedback circuits of the common source HEMTs and optimization of the microstrip lines  $L_1, L_2$ . Assuming that the IF signal is generated by the non-linearity of the common source HEMTs' DC drain current  $I_{ds}$  versus gate-source voltage  $V_{gs}$  characteristics, the conversion gain  $G_C(\omega_{RF})$  of the mixer as a function of RF signal frequency  $\omega_{RF}$  can be estimated using Eq.(4.1). The details of the calculation of  $G_C(\omega_{RF})$  are explicitly

given in the Appendix 4.2.  $G_C(\omega_{RF})$  is given by

$$G_C(\omega_{RF}) = \left[ \frac{2|V_{LO}|I_{dss}}{3Z_0^2 g_{mCSF}^2 V_p^2} \left(1 + \frac{V_{ds}}{R_{do}I_{dss}}\right) Z_{CDFin}^*(\omega_{IF}) G_i(\omega_{RF}) \right]^2 \quad (4.1)$$

where  $I_{dss}$  is the saturation current of the common source HEMT,  $V_p$  is the gate-source pinch-off voltage,  $V_{ds}$  is the drain-source voltage of the common source HEMT,  $R_{do}$  is the output conductance of the common source HEMT,  $g_{mCSF}$  is a transconductance of the common source HEMT,  $Z_{CDFin}^*(\omega_{IF})$  is a conjugate impedance of the input impedance of the common drain HEMT,  $G_i(\omega_{RF})$  is the insertion gain from the input of the common gate HEMT to the output of the common source HEMT when the common source HEMTs are in the linear state and each drain of the common source HEMTs is terminated  $Z_0$ .

All parameters in the right side of Eq.(1), except for  $G_i(\omega_{RF})$ , are constants for RF signal frequency  $\omega_{RF}$ , therefore, a flat design of  $G_i(\omega_{RF})$  provides wideband mixer operation.  $G_i(\omega_{RF})$  can be calculated with linear state CAD software. Fig. 4.11 shows predicted conversion loss frequency response as a function of the length of the microstrip lines  $L_1, L_2$ . By shortening the  $L_1$  and  $L_2$ , the frequency bandwidth is improved but the conversion loss is increased.  $700\mu\text{m}$  is chosen as the length of the microstrip lines. The impedance and effective dielectric constant of the microstrip lines  $L_1, L_2$  are calculated with the finite-element method.

#### 4.2.3. 特性

A photomicrograph of the MMIC balanced mixer is shown in Fig. 4.12. The chip size is only  $1.8\text{mm} \times 1.2\text{mm}$ . The fabrication process is same as that for image rejection mixer. The microstrip lines  $L_1, L_2$  are fabricated over the RF bypath capacitors  $C_{11}, C_{12}$  contribute to the chip size reduction.

The characteristics of the mixer have been confirmed through on-wafer measurements. Drain bias  $V_{dd}(7.5\text{V})$  for the all HEMTs, gate bias of the common gate HEMTs  $V_{gg1}$  and gate bias of the common source HEMTs  $V_{gg2}$  are supplied through each DC pad. Source bias of the common drain HEMT is supplied through wideband bias-Ts and the on-wafer-measurement probe attached at the IF port. Probes attached at the RF and LO ports provide zero bias. The typical current drawn is 80mA and power consumption is 600mW.

Fig. 4.13 shows the measured, ultra-wideband frequency response of the conversion loss, LO to IF port- and LO to RF port isolations at an LO input power

of 5dBm, RF input power of  $-10$ dBm, and IF frequency of 1GHz. The conversion loss is better than 8dB, the LO to IF port- and LO to RF port isolations are better than 23dB and 9dB, respectively, in the RF frequency range of 3-28GHz. In the RF frequency of 3-24GHz, an LO to RF port isolation of better than 15dB is achieved. The predicted conversion loss at  $L_1, L_2=700\mu\text{m}$  is also shown in Fig. 4.13. The difference between the measured and the predicted performance in high frequency range is due to the neglect of the gate-source capacitor's non-linearity in the HEMT. Fig. 4.14 shows the measured frequency response of the return loss at the RF and IF ports. The RF and IF return loss is better than 10dB and 15dB, respectively, up to an RF frequency of 26.5GHz and an IF frequency up to 1GHz. Fig. 4.15 shows the measured IF output power performance as a function of 10GHz RF input power. The RF input power at the 1dB power compression point and the intercept point of the 3rd-order inter-modulation are 3dBm and 19dBm, respectively.

If an IF signal is input instead of the RF signal and the shorting capacitors  $C_3$  and  $C_4$  shown in Fig.8 are removed, the circuit will be operated as a wideband up-converter with good LO to RF isolation due to the balanced operation.

### 4.3. バランス型アップコンバータ [4.12]

#### 4.3.1. 概要

This paragraph proposes an MMIC balanced up-converter which achieves ultra-wideband performance and chip size reduction due to the absence of the quarter-wavelength couplers and stubs, as well as the balanced mixer. The up-converter employs a line-unified HEMT module and multilayer microstrip lines. The line-unified HEMT module and the multilayer microstrip line configuration are same as the balanced mixer.

In the design, we optimize circuit parameters by using an equation derived from HEMT's DC characteristic with a commercially available linear-state CAD software package (Touchstone).

#### 4.3.2. 構成

Fig. 4.16 shows an equivalent circuit diagram of the proposed up-converter. LO signal is divided out-of-phase in a slotline series T-junction unified the common gate HEMTs' electrode and combined with a balanced IF signal at drain

electrodes of the common gate HEMTs. The balanced IF signals can be simply obtained from an silicon IC. LO to IF port isolation is achieved by HEMTs' unilateral effect. By selecting proper gate width and bias of the common gate HEMTs, active impedance matchings up to the HEMT's cut-off frequency are achieved for LO and IF input ports. Combined LO/IF signals are fed to common source HEMTs biased in non-linear state. Since the signal is up-converted by the second order component of the non-linearities, in-phase RF signals are generated in each drain electrode of the common source HEMTs. The common drain HEMT combines RF signals in-phase with canceling LO leakages, and matches an output impedance. Thus, LO to RF port isolations are established by the balanced operation.

A configuration of the line unified HEMT module is same as that of the balanced mixer. LO and IF signals are input to the slotline ports, instead of RF and LO signals, individually. The module, which unifies a slotline series T-junction as an out-of-phase power divider and two active in-phase power combiners in the electrode structures, provides following features in only  $0.6\text{mm} \times 0.8\text{mm}$  area:

- (1)dividing the LO signal out-of-phase,
- (2)combining the divided LO and IF signals in-phase,
- (3)isolation between LO and IF input ports,
- (4)isolation from output ports to input ports,
- (5)active impedance matchings at each input ports.

Since the module doesn't use any quarter wavelength transmission line, an ultra-wideband operation is performed in so small area.

The multilayer microstrip lines are effectively used for the crossover between the input/output lines to/from the line unified HEMT module, and used as inductive lines  $L_1, L_2$ . Fig.4.17 shows a photomicrograph of the fabricated MMIC balanced up-converter. The chip-size is  $1.7\text{mm} \times 0.9\text{mm}$ .

#### 4.3.3. 設計

The design concept is same as that of the doubler and the balanced mixer, but an equation formula have some changes. The conversion gain  $G_C(\omega_{RF})$  frequency response is optimized by Eq.(4,2) derived from the common source HEMTs' DC drain current  $I_{ds}$  versus gate-source voltage  $V_{gs}$  characteristics and linear simulator.

$$G_C(\omega_{RF}) = \left[ \frac{|V_{LO}| I_{dss}}{Z_{0g}^2 m_{CSF} V_p^2} \left( 1 + \frac{V_{ds}}{R_{do} I_{dss}} \right) Z_{CGFout}(\omega_{IF}) \right]^2 G_i(\omega_{RF}) \quad (4.2)$$

where  $Z_{CGFout}(\omega_{IF})$  is an output impedance of the common gate HEMT at IF frequency.

All parameters in the right side of Eq.(4.2), except for  $G_i(\omega_{RF})$ , are constants for RF signal frequency  $\omega_{RF}$ , therefore, a flat design of  $G_i(\omega_{RF})$  provides wideband mixer operation.  $G_i(\omega_{RF})$  can be calculated with linear state CAD software. Fig.4.18 shows predicted conversion loss frequency response as a function of the length of the microstrip lines  $L_1, L_2$ . By shortening the  $L_1$  and  $L_2$ , the frequency bandwidth is improved but the conversion loss is increased.  $700\mu\text{m}$  is chosen as the length of the microstrip lines. The impedance and effective dielectric constant of the microstrip lines  $L_1, L_2$  are calculated with the finite-element method.

#### 4.3.4. 特性

The measured conversion loss and isolation is shown in Fig.4.19, where IF frequency is 1GHz. Conversion loss, LO to RF port- and LO to IF port isolation are better than 8dB, 18dB, and 12dB, respectively, in output RF frequency range of 3-31GHz. Fig.4.20 shows measured return losses at RF and IF ports. RF port retrun loss is better than 13dB between 3 and 31GHz. IF port retrun loss is better than 14dB between 1 and 10GHz.

#### 参考文献

- [4.1] T. Takenaka and H. Ogawa, "Miniaturized MMIC mixers; image rejection and balanced mixers using multilayer microstrip lines and line-unified HEMT modules" to be published in *IEICE Trans. on Electronics*, June 1992.
- [4.2] Y. Konishi, "Microwave integrated circuits", pp.378-399, *Marcel Dekker Inc.* (1991).
- [4.3] T. Hiraoka, T. Tokumitsu and M. Aikawa, "Very small wide-band MMIC magic T using microstrip line on a thin dielectric film", *IEEE Trans. Microwave Theory Tech.*, MTT-37, pp. 1569-1575 (Oct. 1989).

- [4.4] T. Tokumitsu, T. Hiraoka, H. Nakamoto and T. Takenaka, "Multilayer MMIC using a  $3\mu\text{m}\times 3$ -layer dielectric film structure", IEEE MTT-S Digest, pp. 831-834 (June 1990).
- [4.5] T. Tokumitsu and T. Takenaka : "Very small, monolithic balance mixer using line-unified FETs", 1990 Spring Natl. Conv. Rec., IEICE, C-84 (1990)
- [4.6] T. Tokumitsu, S. Hara, T. Takenaka and M. Aikawa, "Divider and combiner line-unified FET's as basic circuit function modules-part I", IEEE Trans. Microwave Theory Tech., MTT-38, pp. 1210-1217 (Sept. 1990).
- [4.7] Tokumitsu T., Hara S., Takenaka T. and Aikawa M. : "Divider and combiner line-unified FET's as basic circuit function modules-part II", IEEE Trans. Microwave Theory Tech., MTT-38, pp. 1218-1226 (Sept. 1990).
- [4.8] Harada Y., Matsumoto F. and Nakakado T. : "A novel polyimide film preparation and its preferential-like chemical etching for GaAs devices", J. Electrochem. Soc., 130, 1, pp.129-134 (1983).
- [4.9] Nakamoto H., Hiraoka T. and Tokumitsu T. : "Very small multilayer MMIC hybrids using polyimide films", Proc. 3rd Asia-Pacific Microwave Conf., pp. 1113-1116 (Sept. 1990).
- [4.10] Banba S., Hasegawa T. and Ogawa H. : "Multilayer MMIC branch-line hybrid using thin dielectric layers", IEEE Microwave and Guided Wave Lett., MGWL-1, 11, pp. 346-347 (Nov. 1991).
- [4.11] Niclas K. B. : "Active matching with common-gate MESFET's", IEEE Trans. Microwave Theory Tech., MTT-33, pp.492-499 (June 1985).
- [4.12] T. Takenaka and H. Ogawa, "A miniaturized, ultra-wideband MMIC balanced up-converter using a line unified HEMT module and multilayer microstrip lines" to be published in *the 1992 Asia Pacific Microwave Conf. Proc.* Aug. 1992.



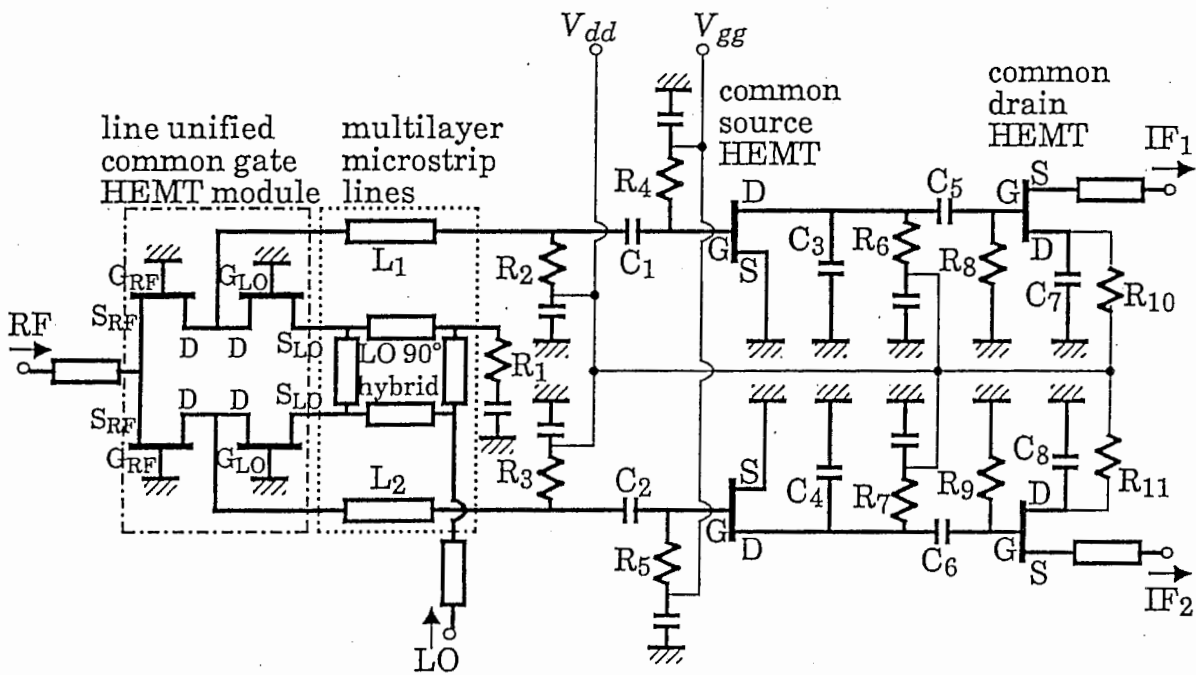


Fig.4.1 Equivalent circuit diagram of the MMIC image rejection mixer using multilayer microstrip lines and line unified HEMT module.

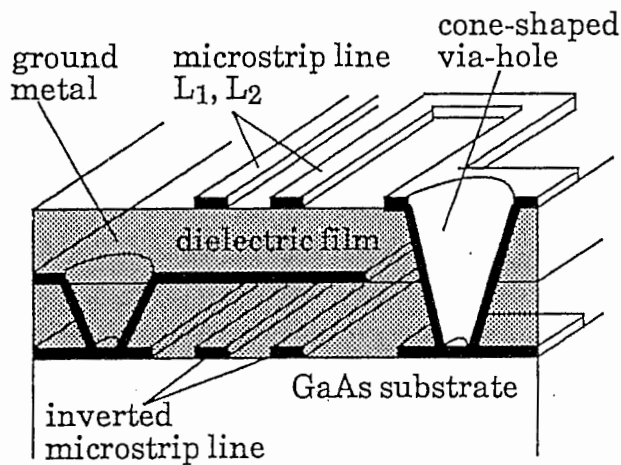


Fig.4.2 Configuration of multilayer microstrip lines. Microstrip lines are placed upon inverted microstrip lines.

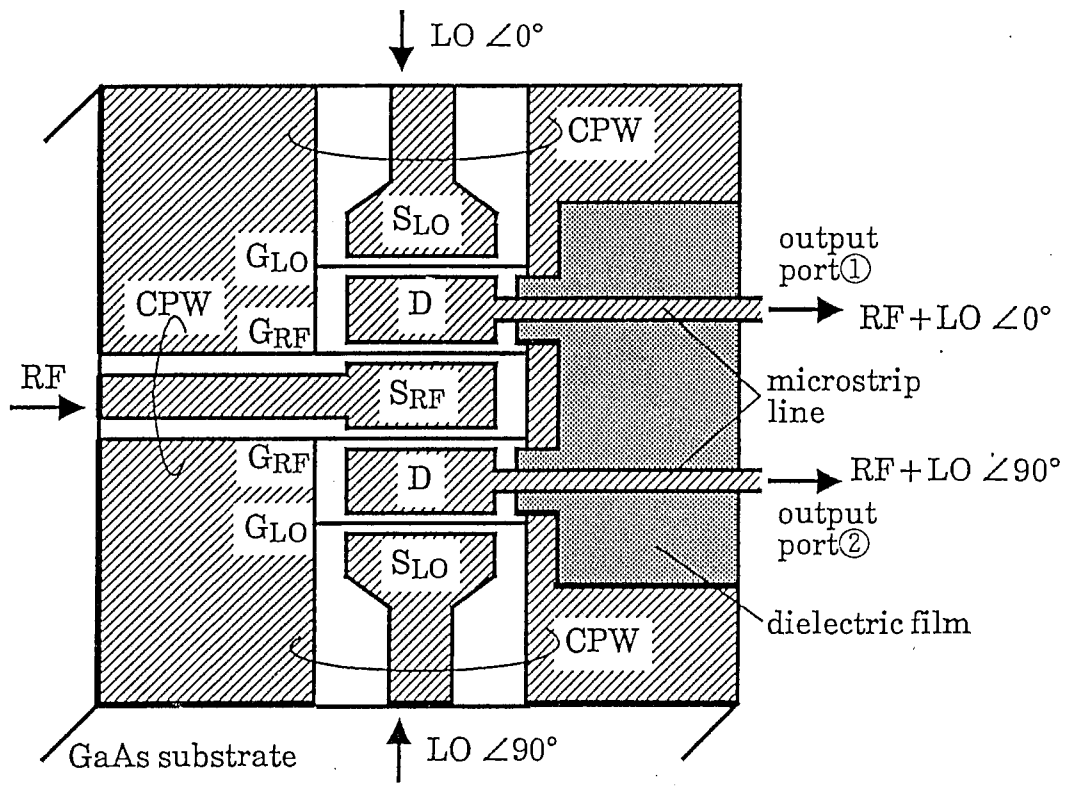


Fig.43 Configuration of the line unified common gate HEMT module which combines the functions of an in-phase power divider and two in-phase power combiners in 0.2mm × 0.3mm area.

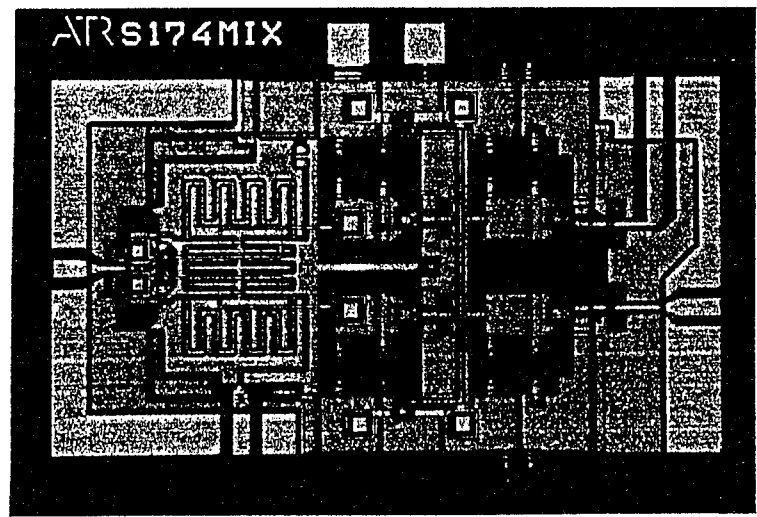
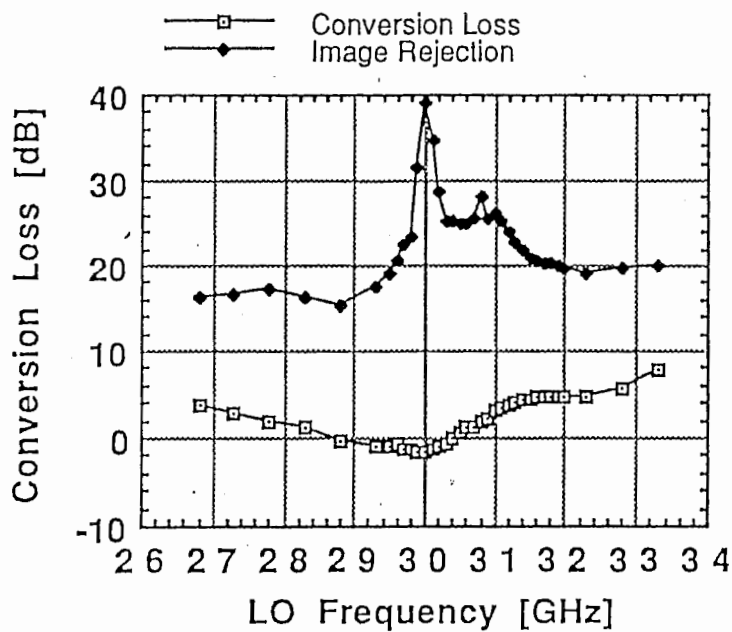
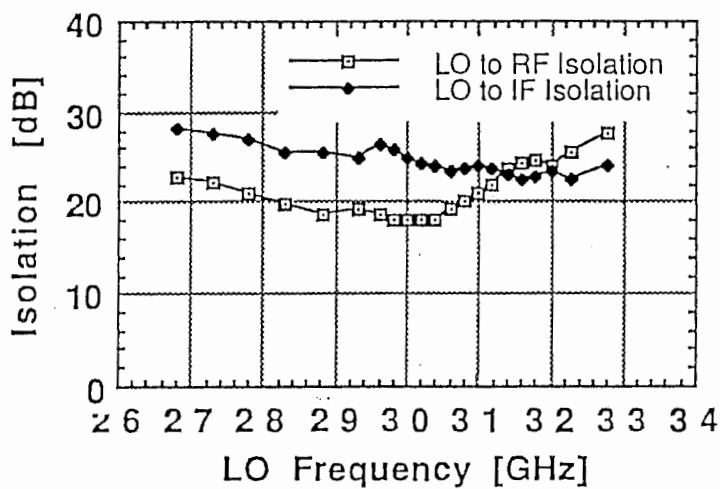


Fig.44 Photomicrograph of the fabricated MMIC image rejection mixer. The chip size is 1.6mm × 1.0mm.

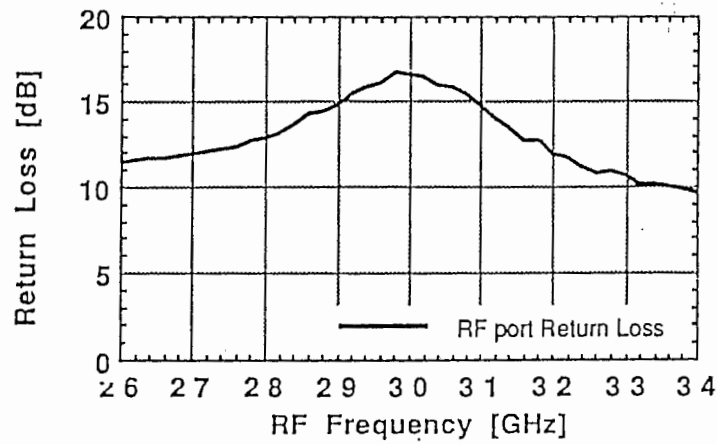


(a)

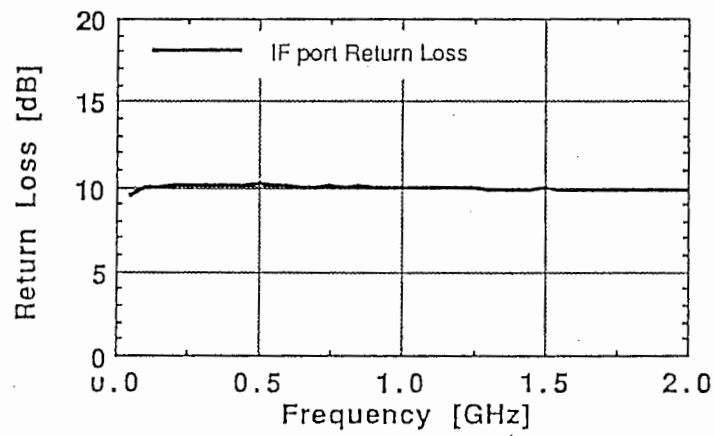


(b)

Fig.45 Measured frequency response of the MMIC image rejection mixer, at an LO input power of 4dBm, RF input power of  $-10$ dBm, and IF frequency of 250MHz. (a) is conversion loss and image rejection, (b) is LO to IF port- and LO to RF port isolations.



(a)



(b)

Fig 4.6 MMIC image rejection mixer's measured return loss at RF and IF ports. (a) is RF port return loss. (b) is IF port return loss.

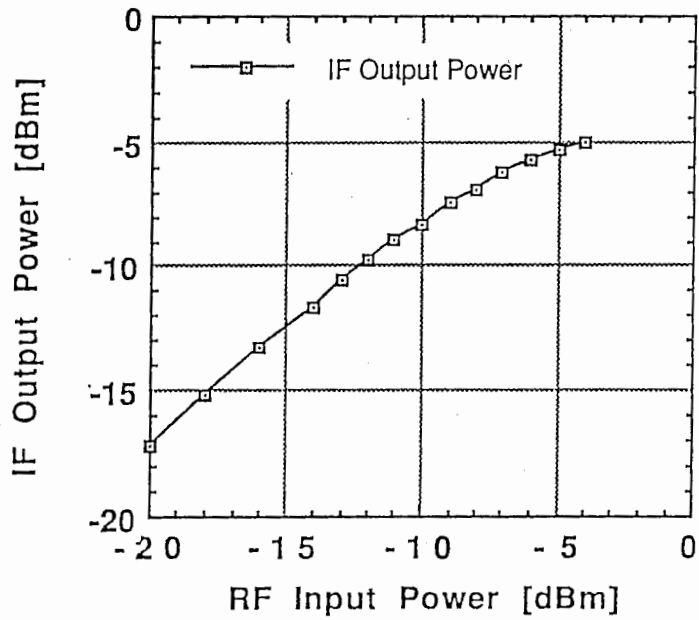


Fig.4] MMIC image rejection mixer's measured IF output power performance as a function of 30.25GHz RF input power.

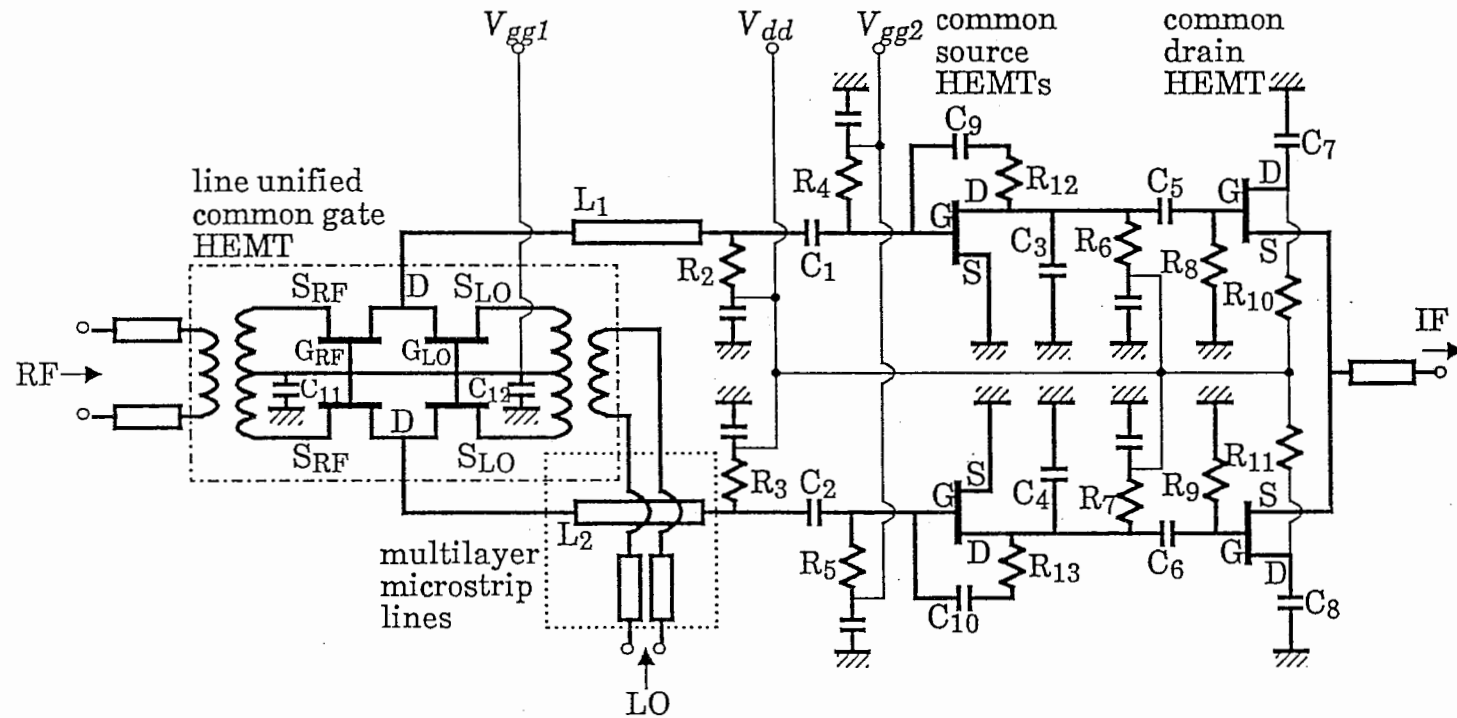


Fig 4.8 Equivalent circuit diagram of the MMIC balanced mixer using multilayer microstrip lines and the line unified HEMT module.

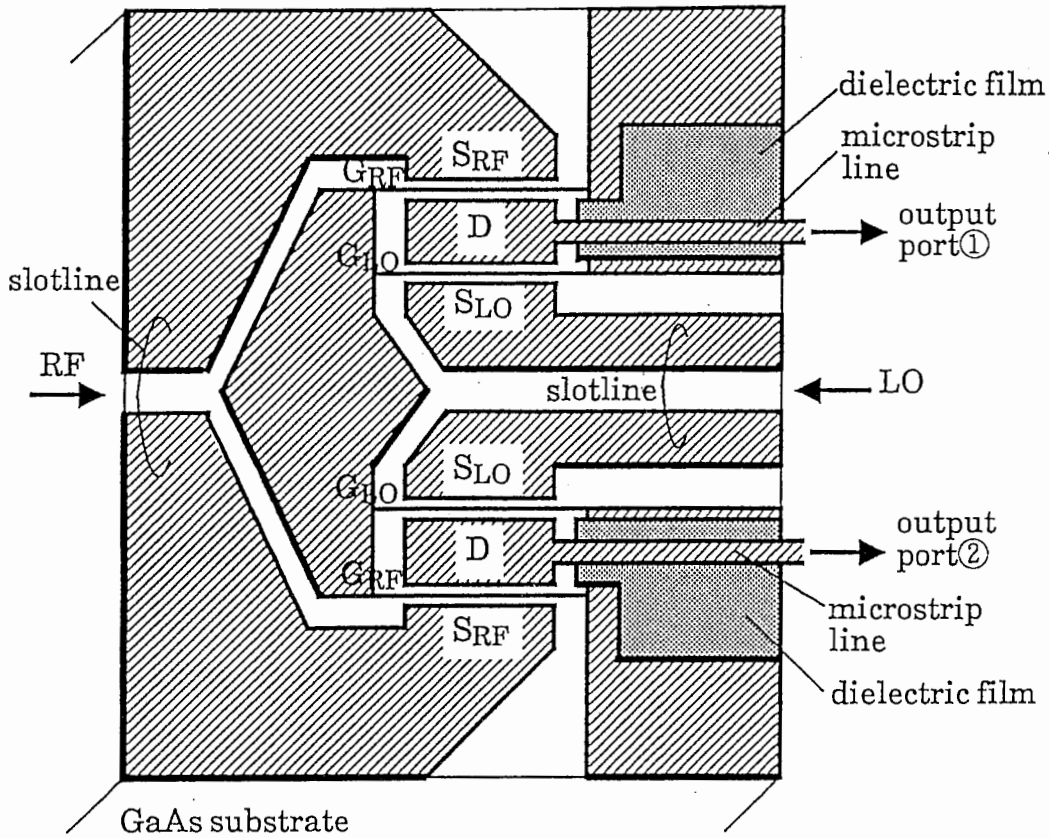


Fig.4.9 Configuration of the line unified common gate HEMT module which provides functions of two out-of-phase power dividers and two in-phase power combiners in an area of  $0.8\text{mm} \times 0.6\text{mm}$ .

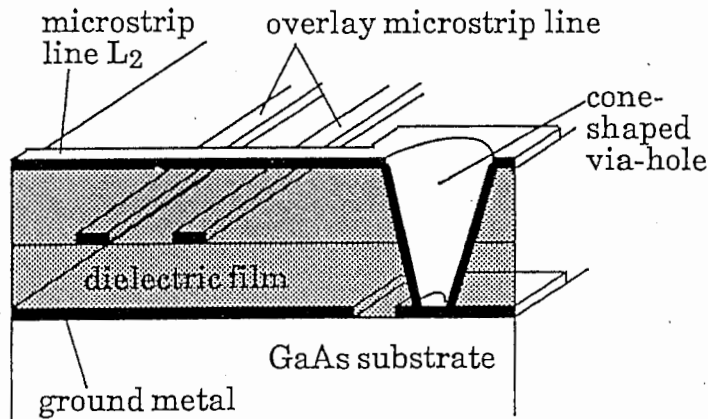


Fig.4.10 Configuration of the cross section of multilayer microstrip lines.

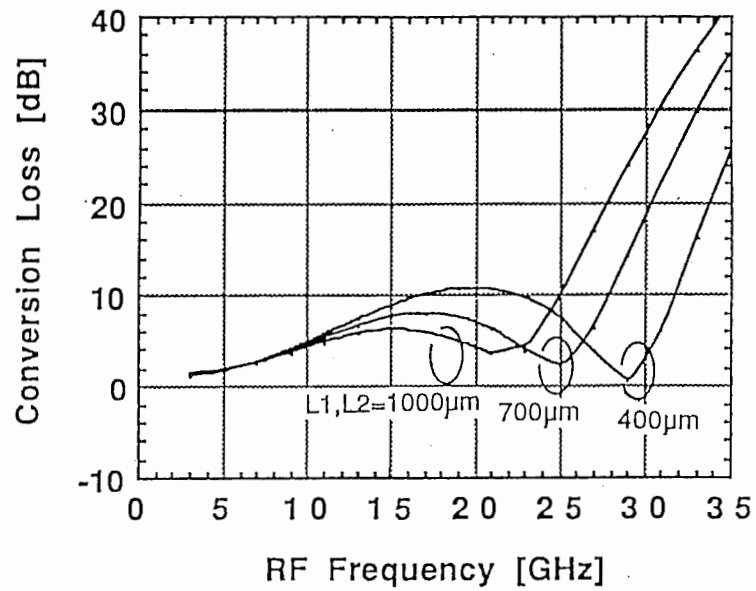


Fig.4.11 MMIC balanced mixer's predicted conversion loss frequency response as a function of length of microstrip lines  $L_1, L_2$ .

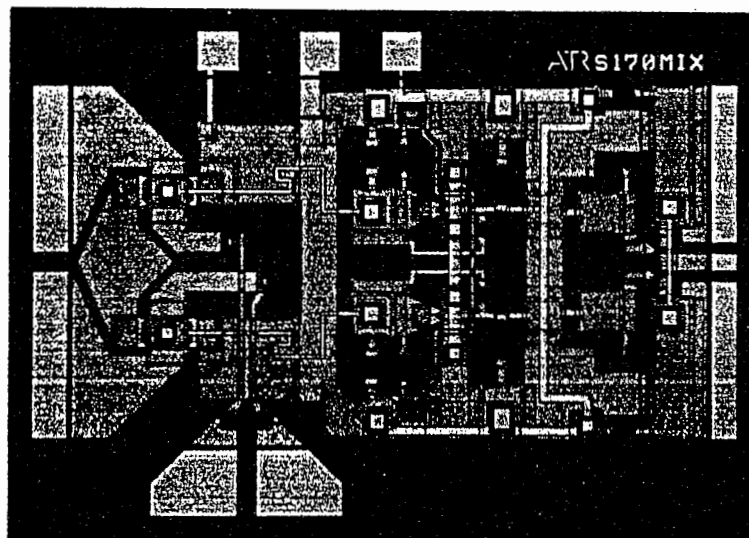


Fig.4.12 Photomicrograph of the fabricated MMIC balanced mixer. The chip size is  $1.8\text{mm} \times 1.2\text{mm}$ .



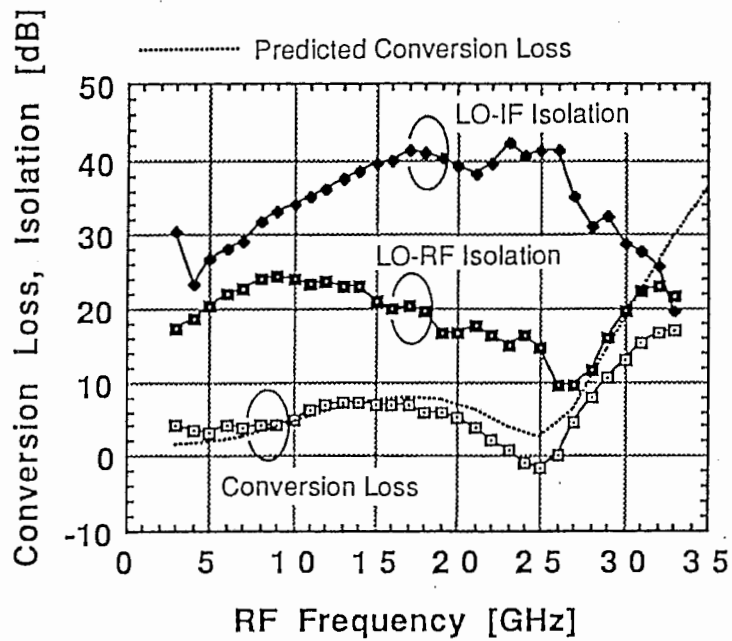


Fig.4.13 MMIC balanced mixer's measured conversion loss and isolation frequency response at an LO input power of 5dBm, RF input power of -10dBm, and IF frequency of 1GHz.

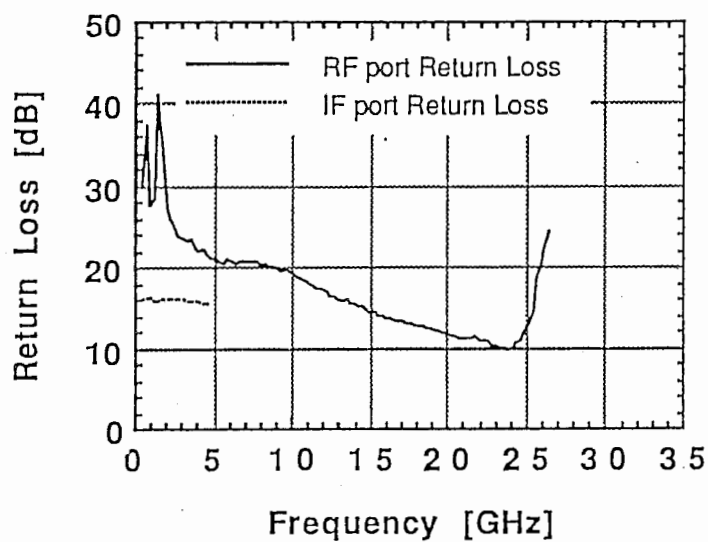


Fig.4.14 MMIC balanced mixer's measured return loss at RF and IF ports.

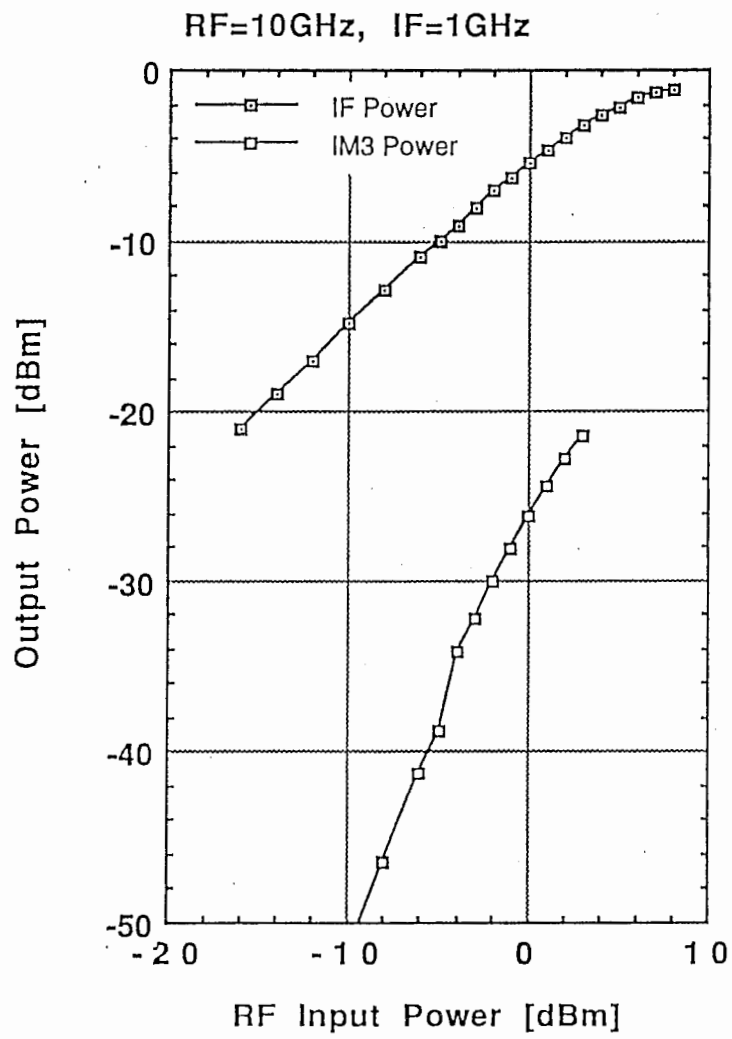


Fig.4.15 MMIC balanced mixer's measured IF output power performance as a function of 10GHz RF input power.

## Appendix 4.1

### Microstrip line's calculated impedances and effective dielectric constant

Since multilayer microstrip lines are isolated between layers, the parameters designed on a single layer are used for the multilayer microstrip line structure without changes. Figs. A4.1, A4.2 and A4.3 show each microstrip line's calculated impedances and effective dielectric constant response for the line-widths, when the thickness of substrate is  $5\mu\text{m}$ . The finite-element method is used for the calculations. The inverted and overlay microstrip line's impedances are lower and their effective dielectric constants are larger than the microstrip line's, due to effects of the GaAs( $\epsilon_r=12.9$ ) substrate and the overlaid dielectric film, respectively.

## Appendix 4.2

### Extraction of the Eq.(1)

The balanced mixer conversion gain,  $G_C(\omega_{RF})$ , formulated by (1) is derived from an equation which shows DC drain current  $I_{ds}$  versus gate-source voltage  $V_{gs}$  characteristics in the saturated current region. The equation is represented by

$$I_{ds} = I_{dss} \left(1 - \frac{V_{gs}}{V_p}\right)^2 \left(1 + \frac{V_{ds}}{R_{do} I_{dss}}\right) \quad \text{when } V_{gs} > V_p \quad (\text{A4.1})$$

$$I_{ds} = 0 \quad \text{when } V_{gs} \leq V_p$$

where  $I_{dss}$  is saturation current,  $V_p$  is gate-source pinch-off voltage and  $R_{do}$  is the output conductance[4.19]. When the input RF and LO signal voltages  $v_{RF}(\omega_{RF})$ ,  $v_{LO}(\omega_{LO})$  are given by (A4.2) and (A4.3), signal voltages across gate-source of each common source HEMT,  $v_{CSFin1}(\omega_{RF}, \omega_{LO})$ ,  $v_{CSFin2}(\omega_{RF}, \omega_{LO})$  are given by

$$v_{RF}(\omega_{RF}) = |V_{RF}| \cos \omega_{RF} t \quad (\text{A4.2})$$

$$v_{LO}(\omega_{LO}) = |V_{LO}| \cos \omega_{LO} t \quad (\text{A4.3})$$

$$v_{CSFin1}(\omega_{LO}, \omega_{RF}) = \frac{|V_{LO}|}{2} g_{mCGF} Z_{CGFout}(\omega_{LO}) \cos \omega_{LO} t + \frac{|V_{RF}|}{2} g_{mCGF} Z_{CGFout}(\omega_{RF}) \cos \omega_{RF} t \quad (\text{A4.4})$$

$$v_{CSFin2}(\omega_{LO}, \omega_{RF}) = -\frac{|V_{LO}|}{2} g_{mCGF} Z_{CGFout}(\omega_{LO}) \cos \omega_{LO} t - \frac{|V_{RF}|}{2} g_{mCGF} Z_{CGFout}(\omega_{RF}) \cos \omega_{RF} t \quad (\text{A4.5})$$

$$v_{CSFin2}(\omega_{LO}, \omega_{RF}) = -v_{CSFin1}(\omega_{LO}, \omega_{RF}) \quad (\text{A4.6})$$

where  $g_{mCGF}$  is a transconductance of the common gate HEMT, and  $Z_{CGFout}(\omega_{LO})$  and  $Z_{CGFout}(\omega_{RF})$  are load impedances of the line-unified common gate HEMT module. For (A1), signal voltages are considered and  $V_{gs}$  is selected to provide that  $V_{gs} + v_{CSFin1or2} > V_p$ , (A1) is rewritten as

$$I_{ds} + i_1(\omega_{LO}, \omega_{RF}) = I_{dss} \left(1 - \frac{V_{gs} + v_{CSFin1}(\omega_{LO}, \omega_{RF})}{V_p}\right)^2 \left(1 + \frac{V_{ds}}{R_{do} I_{dss}}\right) \quad (A4.7)$$

$$I_{ds} + i_2(\omega_{LO}, \omega_{RF}) = I_{dss} \left(1 - \frac{V_{gs} + v_{CSFin2}(\omega_{LO}, \omega_{RF})}{V_p}\right)^2 \left(1 + \frac{V_{ds}}{R_{do} I_{dss}}\right) \quad (A4.8)$$

where  $i_1$  or  $i_2(\omega_{LO}, \omega_{RF})$  is a drain signal current of the each common source HEMT. The signal voltages across the gate-drain of the common drain HEMT,  $v_{CDFin1}(\omega_{RF}, \omega_{LO})$ ,  $v_{CDFin2}(\omega_{RF}, \omega_{LO})$  are given by

$$v_{CDFin1}(\omega_{LO}, \omega_{RF}) = i_1(\omega_{LO}, \omega_{RF}) Z_{CSFout}(\omega_{LO}, \omega_{RF}) \quad (A4.9)$$

$$v_{CDFin2}(\omega_{LO}, \omega_{RF}) = i_2(\omega_{LO}, \omega_{RF}) Z_{CSFout}(\omega_{LO}, \omega_{RF}) \quad (A4.10)$$

where  $Z_{CSFout}(\omega_{LO}, \omega_{RF})$  are load impedance of the common source HEMT. From (A9) and (A4.10), the output signal voltage  $v_{out}(\omega_{LO}, \omega_{RF})$  across source and drain of the common drain HEMT, becomes

$$v_{out}(\omega_{LO}, \omega_{RF}) = \frac{g_{mCDF} Z_0}{1 + g_{mCDF} Z_0} Z_{CSFout}(\omega_{LO}, \omega_{RF}) \left[ i_1(\omega_{LO}, \omega_{RF}) + i_2(\omega_{LO}, \omega_{RF}) \right] \quad (A4.11)$$

where  $g_{mCDF}$  is a transconductance of the common drain HEMT. In (A4.11), LO and RF signal components cancel each other. When (A4.9) and (A4.10) are applied to (A4.11), (A4.11) is rewritten as

$$v_{out}(\omega_{LO}, \omega_{RF}) = \frac{2g_{mCDF} Z_0}{1 + g_{mCDF} Z_0} Z_{CSFout}(\omega_{LO}, \omega_{RF}) I_{dss} \left[ \left(1 - \frac{V_{gs}}{V_p}\right)^2 + \left(\frac{v_{CSFin1}(\omega_{LO}, \omega_{RF})}{V_p}\right)^2 \right] \left(1 + \frac{V_{ds}}{R_{do} I_{dss}}\right) \quad (A4.12)$$

Applying (A4.4) to (A4.12) and  $Z_{CGFout}(\omega_{LO}) \approx Z_{CGFout}(\omega_{RF})$ , the IF signal components of (A4.12) become

$$v_{out}(\omega_{IF}) = \frac{|V_{LO}| |V_{RF}| I_{dss} g_{mCDF} Z_0}{2V_p^2 (1 + g_{mCDF} Z_0)} \left(1 + \frac{V_{ds}}{R_{do} I_{dss}}\right) Z_{CSFout}(\omega_{LO}, \omega_{RF}) g_{mCGF}^2 Z_{CGFout}^2(\omega_{RF}) \cos \omega_{IF} t \quad (A4.13)$$

Therefore  $G_C(\omega_{RF})$  is given by

$$G_C(\omega_{RF}) = \left[ \frac{|V_{LO}| I_{dss} g_{mCDF} Z_0}{2V_p^2 (1 + g_{mCDF} Z_0)} \left(1 + \frac{V_{ds}}{R_{do} I_{dss}}\right) Z_{CSFout}(\omega_{LO}, \omega_{RF}) g_{mCGF}^2 Z_{CGFout}^2(\omega_{RF}) \right]^2 \quad (A4.14)$$

A theoretical load impedance condition of the common source HEMT for the best conversion gain is given by  $Z_{CSFout}(\omega_{LO}) = 0 \Omega$ ,  $Z_{CSFout}(\omega_{RF}) = 0 \Omega$ , and  $Z_{CSFout}(\omega_{IF}) = Z_{CDFin}^*(\omega_{IF})$ , where  $Z_{CDFin}^*(\omega_{IF})$  is a conjugate input impedance of the common drain HEMT. Therefore,  $Z_{CSFout}(\omega_{LO}, \omega_{RF})$  becomes a function of only  $\omega_{IF}$ ,  $Z_{CDFin}^*(\omega_{IF})$ , in the i.e., a flat design of  $Z_{CGFout}(\omega_{RF})$  provides wideband conversion gain characteristics.

On the other hand, when the common source HEMTs are in a linear state, and the drains of the common source HEMTs are terminated  $Z_0$ , the insertion gain  $G_i(\omega_{RF})$  from the input of the common gate HEMT to output of the common source HEMT is given by

$$G_i(\omega_{RF}) = \left[ \frac{1}{2} g_{mCSF} Z_0 g_{mCGF} Z_{CGFout}(\omega_{RF}) \right]^2 \quad (A4.15)$$

where  $g_{mCSF}$  is a transconductance of the common source HEMT. Applying (A4.15) and an active impedance matching condition of  $2g_{mCDF}Z_0 = 1$  to (A4.14), we obtain (4.1):

$$G_C(\omega_{RF}) = \left[ \frac{2|V_{LO}| I_{dss}}{3Z_0^2 g_{mCSF} V_p^2} \left(1 + \frac{V_{ds}}{R_{do} I_{dss}}\right) Z_{CDFin}^*(\omega_{IF}) G_i(\omega_{RF}) \right]^2 \quad (A4.16)$$

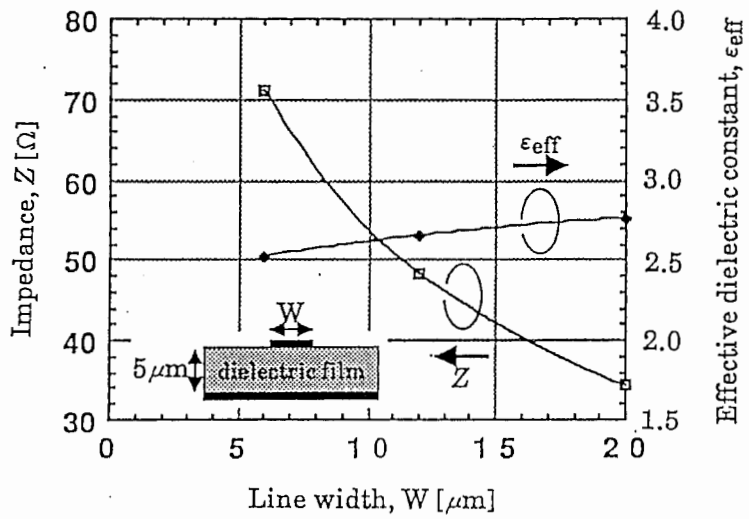


Fig. 4 | Microstrip line's calculated impedance and effective dielectric constant response for line width. The thickness of the dielectric film is  $5\mu\text{m}$ , and the relative dielectric constant ( $\epsilon_r$ ) is 3.3.

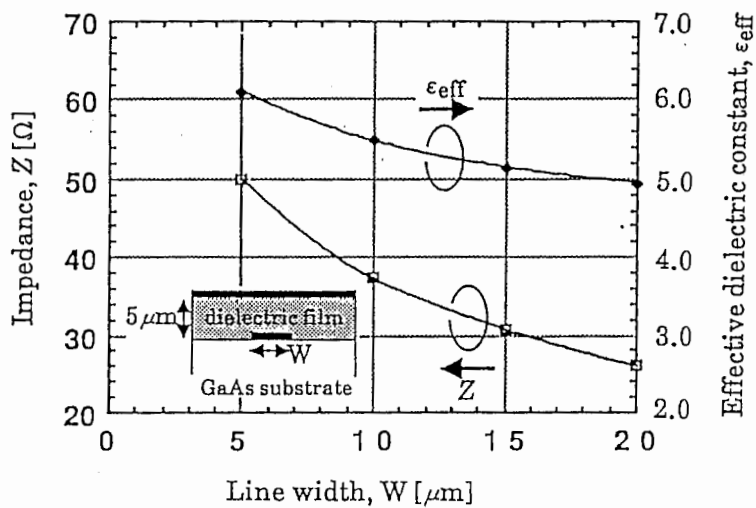


Fig. A4.2 Inverted microstrip line's calculated impedance and effective dielectric constant response for line width.

The thickness of the dielectric film is  $5\mu\text{m}$ , and the relative dielectric constant ( $\epsilon_r$ ) is 3.3.

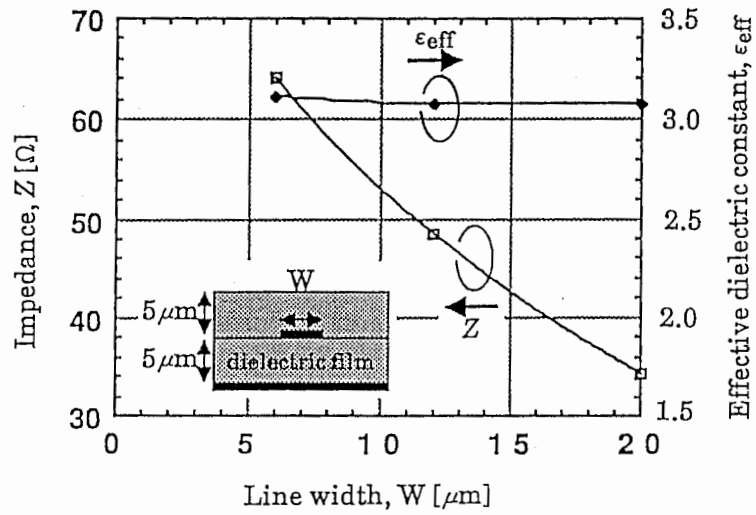


Fig. 4.7 Overlay microstrip line's calculated impedance and effective dielectric constant response for line width.

Each thickness of the dielectric film is  $5\ \mu\text{m}$ , and the relative dielectric constant ( $\epsilon_r$ ) is 3.3.



## Ⅶ.まとめ

本報告では、報告者がATR在任中に開発した①LUFET MMIC、②多層化MMICおよび③多層化LUFET MMICについて特徴、構成、設計、および特性について述べた。当初の技術マイルストーンでは、多層化LUFET MMICステップで従来MMICの10倍程度の集積化を目標としたのに対し、本報告の多層化LUFET MMICは、試作一回目にて品種により3倍-10倍程度の集積化を実現した。同時に、①③についてはLUFETの特徴を生かし、従来の広帯域設計されたものに比し約2倍の動作周波数帯域を確保した。LUFET及び多層化技術の有効性を十分に示すことができたものと自負する。

今後の課題としては、LUFET/多層化MMICの新たなアプリケーションへの展開、例えば、光検出回路、アンテナ回路等との融合、新構成新機能LUFETの考案が考えられる。又、他方、MMICの体系化を進め、サブシステムレベルの回路を1チップで構成し、LUFET、多層化技術の有効性を現実的にシステムレベルで示していくことも必要と感じる。

また、動作周波数帯域に関して今後新たな高 $f_T$ デバイスが適用できれば、50GHz程度までなら同回路構成でその拡張が可能になるであろう。それ以上の周波数では、パターンに起因する電磁界の影響を無視できなくなることが予想され、電磁界解析を電氣的回路シミュレーションに取り込む必要が発生する。これについても今後の大きな研究課題に成り得る。

## 特記事項

1992年、電子情報通信学会より平成3年度学術奨励賞を受賞。受賞論文は、1991年春季全国大会で発表を行なった、“L帯アクティブアレーアンテナ用MMIC低雑音増幅器・ダウンコンバータ”。

## 謝辞

本研究を進めるにあたり、直接ご指導を頂いた小川博世主幹研究員ならびに徳満恒雄主任研究員(現在NTT無線システム研究所主任研究員)に深謝します。また、本研究遂行にあたり、ご討論を通じて有益なるご教示を頂いた古濱社長、赤池室長、相川室長(現在NTT無線システム研究所グループリーダー)、原研究員(現在シャープ)、平岡研究員(現在NTT)をはじめとする無線通信第2研究室の皆さまに感謝いたします。

## 研究業績目録

### 誌上論文

- (1) T. Tokumitsu, S. Hara, T. Takenaka, and M. Aikawa, "Divider and combiner line-unified FET's as basic circuit function modules-part I," *IEEE Trans. Microwave Theory and Tech.*, vol. 38, pp. 1210-1217, Sep. 1990.
- (2) T. Tokumitsu, S. Hara, T. Takenaka, and M. Aikawa, "Divider and combiner line-unified FET's as basic circuit function modules-part II," *IEEE Trans. Microwave Theory and Tech.*, vol. 38, pp. 1218-1226, Sep. 1990.
- (3) T. Takenaka and H. Ogawa, "Miniaturized MMIC mixers; image rejection and balanced mixers using multilayer microstrip lines and line-unified HEMT modules" to be published in *IEICE Trans. on Electronics*, June 1992.
- (4) T. Takenaka and H. Ogawa, "An ultra-wideband MMIC balanced frequency doubler using line-unified HEMT's", to be published in *IEEE Trans. Microwave and Theory Tech.*, 1992.

### 学会報告(査読あり)

- (5) T. Takenaka, S. Hara and T. Tokumitsu, "A Miniaturized, Broadband MMIC Mixer", in *IEEE GaAs IC Symp. Dig.* pp.193-196, 1989.
- (6) T. Tokumitsu, T. Hiraoka, H. Nakamoto, and T. Takenaka, "Multilayer MMIC using a  $3\mu\text{m}\times 3$ -layer dielectric film structure", in *IEEE MTT-S International Microwave Symp. Dig.*, pp.831-834, 1990.
- (7) T. Takenaka and T. Tokumitsu, "A Miniaturized, Broadband MMIC Balanced Mixer Module", in *the 20th European Microwave Conf. Proc.*, pp.413-418, 1990.
- (8) T. Takenaka and T. Tokumitsu, "A novel, monolithic out-of-phase divider LUFET and applications to balanced multiplier and modulator modules," in *the 3rd Asia-Pacific Microwave Conf. Proc.*, pp. 861-864, 1990.

- (9) T. Takenaka and T. Tokumitsu, "A Miniaturized, Ultra-wideband MMIC Balanced Up-converter Using a Line-Unified HEMT Module and Multilayer Microstrip Lines", to be published in *the 1992 Asia-Pacific Microwave Conf. Proc.*, 1992.
- (10) H. Ogawa, S. Banba, H. Kamitsuna, D. Polifko and T. Takenaka, "Optical / Microwave Circuit Technologies for Microwave and Millimeter-Wave Fiber Optic Links", to be published in *the 1992 International Symp. on Antennas and Propagation Proc.*, 1992.

学会報告(査読なし)

- (11) 竹中、徳満、原、田中、「LUFET MMICによる広帯域ミキサの検討」、昭和62年電子情報通信学会半導体・材料部門全国大会講演論文集、No.223、1987.
- (12) 竹中、徳満、原、「信号合成LUFETを用いた広帯域ミキサの周波数特性」、昭和63年電子情報通信学会秋季全国大会講演論文集、No.C-348、1988.
- (13) 竹中、原、徳満、相川、「信号合成LUFETを用いた小型・広帯域ミキサ」、1989年電子情報通信学会春季全国大会講演論文集、No.C-685、1989.
- (14) 竹中、平岡、徳満、「薄膜マイクロストリップ(TFMS)線路を用いた超小型MMIC分布型増幅器」、1989年電子情報通信学会秋季全国大会講演論文集、No.C-371、1989.
- (15) 中本、平岡、竹中、徳満、「多層化MMICによる超小型ハイブリッド回路」、1989年電子情報通信学会秋季全国大会講演論文集、No.C-372、1989.
- (16) 徳満、竹中、中本、「多層化MMICによる高アイソレーション・超小型多端子ウィルキンソンディバイダ」、1989年電子情報通信学会秋季全国大会講演論文集、No.C-373、1989.
- (17) 徳満、竹中、「LUFETを用いた超小型MMICバランスミキサ」、1990年電子情報通信学会春季全国大会講演論文集、No.C-84、1990.

- (18) 竹中、小川、「MMIC多層化スパイラルインダクタ」、1990年電子情報通信学会秋季全国大会講演論文集、No.C-56、1990.
- (19) 小川、竹中、長谷川、馬場、上綱、「光ファイバリンクミリ波パーソナル通信システム」、1990年電子情報通信学会秋季全国大会講演論文集、No.B-736、1990.
- (20) 竹中、小川、「L帯アクティブアレーアンテナ用MMIC低雑音増幅器・ダウンコンバータ」、1991年電子情報通信学会春季全国大会講演論文集、No.C-40、1991.
- (21) 小川、D. Polifko、竹中、「無線通信用光ファイバリンクの検討」、1991年電子情報通信学会秋季全国大会講演論文集、No.B-274、1991.
- (22) 小川、馬場、長谷川、竹中、上綱、「多層化MMICおよびミリ波MMIC伝送線路」、平成3年電気・情報関連学会連合大会、No.S22-5、1991.
- (23) 竹中、小川、「小型・広帯域MMICバランス型アップコンバータ」、1992年電子情報通信学会春季大会講演論文集、No.C-77、1992.
- (24) 小川、馬場、上綱、竹中、「光マイクロ波集積回路の構成法」、1992年電子情報通信学会春季大会講演論文集、No.C-94、1992.
- (25) 中條、大滝、小西、上原、藤瀬、竹中、小川、「DBFとMMICを備えた移動体衛星通信用アクティブコンフォーマルアレーの試作」、1992年電子情報通信学会春季大会講演論文集、No.B-52、1992.

研究会報告(査読なし)

- (26) 徳満、平岡、中本、竹中、相川、「薄膜マイクロストリップ線路を用いた超小型マイクロ波回路」、電子情報通信学会技術研究報告、No.MW89-35、1989.
- (27) 竹中、原、徳満、「モジュール構成による超小型・広帯域MMICミキサ」、電子情報通信学会技術研究報告、No.ED89-158/MW89-139、1990.
- (28) 竹中、徳満、「LUFETを用いた超小型MMIC周波数逓倍器の検討」、電子情報通信学会技術研究報告、No.MW90-28、1990.

- (29) 竹中、「GaAs FETの電圧電流特性の解析」、電子情報通信学会技術研究報告、No.MW91-31、1991.

特許

- (30) 竹中、小川、「共平面アンテナ」、特願平02-319917、1990.
- (31) 竹中、小川、「モノリシックマイクロ波集積回路」、特願平03-221550、1991.
- (32) 竹中、小川、「マイクロ波周波数逡倍回路」、特願平03-344441、1991.