38 TR - 0 - 0043 MMICの超小型化・高機能化技術の研究 長谷川 隆生

# 1991. 10. 1.

# ATR光電波通信研究所

MMICの超小型化・高機能化技術の研究

## 長谷川 隆生

概要

本報告は、長谷川の出向期間中(1989.10-1991.9)の研究内容について抜粋しまとめたものである。本報告では多層化MMIC伝送線路、多層化MMIC受動回路、多層化MMIC能動回路、 能動化受動素子の応用回路、LUFET応用回路について述べる。 目次

1		+	ż	が	き
Т	•	4	~	13-	C

2.	. 多層化MMIC伝送線路	2
	2.1 構造	2
	2.2 特性計算例	3
	(1) V溝マイクロストリップ線路	3
	(2) スリット付V溝マイクロストリップ線路	4
	2.3 試作評価結果	5
	(1) 挿入損失の測定結果	5
	(2) 挿入損失の測定値と計算値の比較	10
	(3)特性インピーダンス	11
	(4) 実効比誘電率	12
з.	多層化MMIC受動回路	15
	3.1 スタブ	15
	3.2 ラットレースハイブリッド	16
	3.3 結合線路を用いたラットレースハイブリッド	17
	3.4 V溝線路を用いたブランチラインハイブリッド	17
	3.5 電力分配器	23
4.	多層化MMIC能動回路	28
	4.1 注入同期発振器	28
	4.2 自己発振ミキサ	29
5.	能動インダクタ応用回路	30
	5.1 能動インダクタを用いた広帯域電圧制御発振器	30
	5.2 能動インダクタを用いた注入同期発振器	33
6.	LUFETを用いた回路	34
7.	まとめ	35

1 まえがき

モノリシックマイクロ波集積回路(MMIC)は、小型、軽量、高信頼性という特徴に加え、量産効果 による低価格化が期待でき、移動体通信、衛星通信、マイクロ波・ミリ波通信等の各種無線通信機 器への応用を目的として各研究機関で研究開発が盛んに進められている。ATR光電波通信研究所で は、常に持ち歩けるサイズ、即ち腕時計サイズの超小型移動体通信機器を実現することを目的に高 周波回路の超小型化・高機能化の技術の研究を行っている。

MMICは従来、GaAs等の半絶縁性基板の片面に回路が形成されもう片面を接地に利用しているため、 設計自由度の制約、接地インダクタンス等の問題があった。さらに、回路パターン配置法はトラン ジスタ、伝送線路を各々個別の部品として組み合わせるというMICの手法の延長であり高集積化に 限界があった。この問題を克服する技術として我々は:(1)マイクロ波伝送線路をFETの電極と一体 化した線路一体化FET(LUFET)を用いた共平面MMIC、(2)GaAs基板上に積層した誘電体の層間層上に 金属を配置してマイクロ波伝送線路を構成した多層化MMIC、さらに将来的には能動素子をも積層す る立体化MMICへの発展、(3)受動素子を能動素子で実現することにより大きな回路面積を占める受 動素子の小型化及び能動素子の制御機能を用いることによる新規回路機能の実現、以上3つの技術 を掲げ高周波回路の30倍以上の集積度向上を目指している。

本報告では、多層化MMIC伝送線路、多層化MMIC受動回路、多層化MMIC能動回路、能動化受動素子の応用回路、LUFET応用回路について述べる。

2 多層化MMIC伝送線路

本章では、多層化MMICの多層構造を活用したマイクロ波伝送線路について構造、測定結果について述べる。

2.1 構造

図1に多層構造を活用した伝送線路の断面構造を示す。誘電体層はポリイミドである。



図1 多層化MMIC伝送線路

図1(a)マイクロストリップ線路:多層化MMICにおいて基本伝送線路として用いている。GaAs基板 上のポリイミド層内に接地金属及びストリップ導体を配置する構成である。

図1(b)逆マイクロストリップ線路:マイクロストリップ線路とは接地金属及び線路導体が逆の配置となる。

図1(c)トリプレートストリップ線路:ストリップ導体の上下に接地金属を配置する。

図1(d)V溝マイクロストリップ線路:ポリイミド膜の化学エッチングの性質を利用して作製したV 字状溝に線路導体を蒸着して作製する。マイクロストリップ線路では線路導体端部への電流集中が 起こるが、本線路では導体の端部及びV字頂点の3点に分散され、さらにマイクロ波特性の上で有効 な線路幅Wに対しストリップ導体幅W'を増大させることができる。従ってストリップ導体幅すなわ ち回路面積を増大させることなく挿入損失の低減を図ることができる。

図1(e)スリット付V溝マイクロストリップ線路:V字状線路導体下の接地金属にスリットを開けた

構造である。特性インピーダンスを決定する要素としてスリット幅が加わり線路構成の自由度が増 す。

図l(f)台形マイクロストリップ線路:ポリイミド膜をエッチングして線路導体側部のポリイミド 膜を除去した構造である。マイクロストリップ線路に比べ実効比誘電率が増し線路幅を広げる効果 及び導体端部への電流集中の緩和による効果により挿入損失の低減を図る。

2.2 特性計算例

伝送線路の特性解析はATR光電波通信研究所の角田研究員が作成した「有限要素法を用いた導波路の電磁界解析プログラム(以下,femc)」、「有限要素法による損失のある2次元導波路の特性解析プロ グラム(以下,fem)」及び「有限要素法を用いた2次元静電場解析プログラム(以下,femcap)」を用いて 行った。

(1) V溝マイクロストリップ線路

特性インピーダンスのV溝のテーパー角θに対する変化を図2に、θ=35°の場合の線路幅Wとスト リップ導体下のポリイミドの最小膜厚Hの比W/Hに対する変化を図3に示す。図3には比較としてマイ クロストリップ線路の特性を破線で示す。



特性インピーダンスはテーパー角にはあまり影響は受けず、W/Hによりほぼ決まると言える。また、 マイクロストリップ線路と同じ特性インピーダンスを実現するにはほぼ同じW/Hでよいことがわか る。

ポリイミド膜厚10 $\mu$ mのマイクロストリップ線路を基準とした挿入損失の比loss'の線路幅W/Hに対する変化を図4に示す( $\theta$ =35°)。



図4 挿入損失

同じポリイミド総厚(マイクロストリップ線路のポリイミド厚H=V溝マイクロストリップ線路のV溝 の端部の下のポリイミド厚H')なら同じW/Hにおいてマイクロストリップ線路の方が挿入損失は小さ い。これは挿入損失低減効果は線路幅が広くなることの方がV溝による効果より大きいからである。 即ち占有面積増大と挿入損失低減が相反するという従来通りの結果である。ところが、同一のH、W において挿入損失は10-25%低減されている。図3と考え合わせると挿入損失の低減がマイクロスト リップ線路と同じ線路幅で即ち占有面積の増大をすることなく行えることがわかる。

(2) スリット付V溝マイクロストリップ線路

本線路は図1(e)に示した様にコプレーナ線路において接地金属と線路導体を作製する層を違えさらに線路導体をV字状にした疑似コプレーナ線路であると言える。図5に特性インピーダンスZoの線路幅Wに対する変化をスリット幅Sをパラメータとして示す。



ここでV溝下のポリイミドの最小膜厚H=5μm、V溝テーパー角θ=35°である。ある着目した特性イン

ピーダンスを実現する線路幅をスリット幅を変えることにより調整することができる。この特徴を 利用して回路構成に用いる種々の特性インピーダンスをもつ伝送線路の線路幅をそろえ導体損失を そろえることができる。また、V溝マイクロストリップ線路と同様に挿入損失の低減効果も持つ。

2.3 試作評価結果

試作した伝送線路の特性の測定・検討結果を以下に示す。測定に使用した伝送線路は主に1991年 三洋試作である。

(1) 挿入損失の測定結果

① 昭和62年三洋試作によるV溝マイクロストリップ線路(S007)とマイクロストリップ線路(S001, S 030)の比較を次に述べる。

Abstract—A valley microstrip line fabricated by using multilayer MMIC technologies is proposed and its performance is investigated experimentally. Insertion loss of the valley microstrip line is smaller than that of conventional microstrip lines having the same width of strip conductor.

#### I. INTRODUCTION

ERY small multilayer MMIC's have being developed in ATR. Microstrip lines, coplanar waveguides, and slot lines are utilized for a fundamental transmission lines. These transmission lines are used together and make up a circuit. The coplanar waveguides or the slot lines are fabricated on a GaAs substrate. The microstrip lines with the narrow width strip conductor are fabricated on a thin dielectric film prepared on a GaAs substrate. For ground plane of these microstrip lines, that of uniplanar transmission lines such as coplanar waveguides are untilized. These microstrip lines can be crossed easily if the thickness of dielectric film of each microstrip line is different. Although multilayer MMIC's can reduce the overall circuit size, these narrowwidth microstrip lines have larger insertion loss than microstrip lines in conventional MMIC's . To reduce this insertion loss, this paper proposes new valley microstrip line structures for use in multilayer MMIC's.

#### II. CONFIGURATION

 $\square 6$  shows the cross section of transmission lines for use in multilayer MMICs.  $\square 6$  (a) is a microstrip line with dielectric overlay. This microstrip line is fabricated by using thick dielectric films of several- $\mu$ m on a GaAs substrate. Reducing the insertion loss is normally accomplished by increasing the width of the strip conductor, but as a result, circuit size becomes very large. Conversely, narrowing the width of the strip conductor to miniaturize circuit size, increases the insertion loss.

The valley microstrip line is shown in  $\square 6$  (b). This new structure can eliminate the current concentration at both edges of the strip conductor. Since the distance between the ground plane and the center of the valley microstrip conduc-





tor is smaller than between the ground plane and the edge of the conductor, the concentration of current is dispersed between the three points, i.e., the center and both edges of the valley microstrip conductor. Also, the length, W', along the valley microstrip conductor is wider than the conductor width W. Therefore, the dispersion degree of current in the valley microstrip conductor becomes higher than in the microstrip conductor if the width of the valley microstrip conductor nearly equal to the width of the microstrip conductor for the same characteristic impedances. These two effects reduce the conduction loss of the valley microstrip line.



 $\square \eta$ . Microphotograph showing a cross section of the valley microstrip line.

#### III. FABRICATION

Polyimide film is utilized for the dielectric layers and is fabricated by using multilayer MMIC technologies. The polyimide film is prepared by spincoating and heat-treatments. The total dielectric film consists of four 2.5  $\mu$ m-thick layers. Polyimide possesses low film stress and allows fabrication of a thick dielectric layer of several  $\mu$ m. Furthermore, polyimide film can be processed in a valley-shape by using chemical etching. The relative dielectric constant of the polyimide film is 3.3. The strip conductor of 1- $\mu$ m thickness is fabricated by standard lift-off technique.

 $\square \neg$  shows the microphotography of the valley microstrip line. The depth of valley is 7  $\mu$ m and the width, W, of the strip conductor is 6  $\mu$ m. The valley taper angle,  $\theta$ , is 35 degrees.

#### **IV. EXPERIMENT RESULTS**

Each transmission line was measured by using on-wafer probers and a HP8510 network analyzer. Four microstrip lines with dielectric overlay, whose polyimide layer thickness/strip conductor width is 2.5  $\mu$ m/5  $\mu$ m, 5  $\mu$ m/10  $\mu$ m, 7.5  $\mu$ m/16  $\mu$ m and 10  $\mu$ m/22  $\mu$ m were measured. Characteristic impedances of each line is 50  $\Omega$ . For the valley microstrip line, the polyimide layer thickness underneath varies from 3-10  $\mu$ m. With a strip conductor width of 6  $\mu$ m, the characteristic impedance is 50  $\Omega$ .

B? shows the insertion loss of the microstrip lines with dielectric overlay as a function of frequency. When the strip conductor width is narrowed in order to miniaturize circuit size, insertion loss increases. So shows the comparison of insertion loss between the valley microstrip line and the microstrip line with dielectric overlay as a function of frequency. This microstrip line which is compared has the same conductor width as the valley microstrip conductor, with 50  $\Omega$  characteristic impedance. Insertion loss of this microstrip line is estimated from four lines in SP ? The insertion loss of the valley microstrip line with the same conductor width.



 $\square P$ . Insertion loss of microstrip lines with dielectric overlay as a function of frequency.



B 9. Comparison of insertion loss as a function of frequency between the valley microstrip line and the microstrip line with dielectric overlay having the same conductor width.

#### V. CONCLUSION

The valley microstrip line utilizing the characteristics of polyimide is newly developed for multilayer MMIC's and has been experimentally investigated. The insertion loss of the valley microstrip line is approximatery 20% less than microstrip lines with the same conductor width. Therefore, use of the valley microstrip line can reduce increase of insertion loss even when the strip conductor width is reduced. Experimental investigation of characteristics of the valley microstrip lines varing the polyimide layer thickness and of the multilayer MMIC's fabricated by utilizing the valley microstrip lines, which are still required.

② 1991年試作の主要伝送線路の挿入損失の測定結果を図10から図17に示す。ただし長さの異なる 同種のスルー線路の挿入損失を差し引いて測定端子部の影響を除いた伝送線路部のみの1mm当たり 挿入損失を算出し、さらに見易くするため±0.8GHzを平均化している







## 図10から図17の50Ω線路について20GHzでの値をまとめて図18に示す。

台:台形マイクロストリップ線路、

ル:マイクロストリップ線路、



,

tri:トリブレートマイクロストリップ線路



台形マイクロストリップ線路:同一ポリイミド厚では線路幅がマイクロストリップ線路より広いので1mmあたりの挿入損失は小さいが、実効比誘電率が小さいため1波長の長さで比較するとほぼ同等あるいはやや大きくなってる。そのため本線路を用いても回路のロスの低減は望めないと考えられる。

V溝マイクロストリップ線路:昭和62年試作では50Ω線路の線路幅は6μmであり同じ線路幅のマイ クロストリップ線路より挿入損失の低減がなされた。しかし1991年試作では50Ω線路の線路幅を14 μmにしたが、挿入損失の低減がなされていない。V溝マイクロストリップ線路は線路幅が細い方が 挿入損失の低減に有利かどうか、種々の線路幅の50Ω線路により確認する必要がある。

逆マイクロストリップ線路: 1mmあたりの挿入損失では同じ線路幅のマイクロストリップ線路と ほぼ同程度だが、1波長の長さあたりでは同じポリイミド膜厚のマイクロストリップ線路と同程度 である(特に10µm厚で)。これは逆マイクロストリップ線路の構造上、電磁界がGaAs基板側に漏れる ので実効比誘電率がマイクロストリップ線路より大きくなり1波長のあたりの物理長が短くなるか らである。従って挿入損失を増加させることなく線路幅を細くでき、かつ1波長あたりの物理長も 短いので占有面積の縮小に有利である。一方線路幅が細くなるので実現可能な高インピーダンス線 路の作製限界が低下する点は不利となる。

## (2)挿入損失の測定値と計算値の比較

femc及びfemの計算結果と測定値の比較を50Ωマイクロストリップ線路を図19(a)、V溝マイクロ ストリップ線路を図19(b)に示す。



(a) 50Ωマイクロストリップ線路
(b) V溝マイクロストリップ線路
図19 挿入損失の測定値と計算値の比較

図19(b)では非50Ω線路の測定値は不整合によるロスを含むので次式

 $|S2| = 2/\sqrt{(4\cos^2 \theta + (z+1/z)^2 \sin^2 \theta)}$ 

(1)

に従って不整合ロスを差し引いた値を破線で示す。(1)式は損失のない伝送線路のSパラメータの伝送特性の絶対値である。ここでzは伝送線路の規格化インピーダンス、 $\theta$ は伝送線路の位相角である。femcは測定値に遠くない値を示す。femは測定値の1/2程度でありfemcよりW依存性は測定値に近い。また(K.C.Gupta, Ramesh Garg and I.J.Bahl, "MICROSTRIP LINES AND SLOTLINES", ARTECH, 1979.等の)一般的な教科書に記載されているマイクロストリップ線路のロスのグラフの値とはfemが一致する。femとfemcの不一致の理由の詳細はわからないが、色々な構造の伝送線路でロスを比較する場合はfem及びfemcを使い分けて用いればその傾向は解析できると考えられる。

(3)特性インピーダンス

1991年試作の主要伝送線路の特性インピーダンスについてスルー線路の測定解析結果(回路解析 ソフトlibraによるfitting)と計算値(femcap使用)の比較を図20から図24に示す。





図23 V溝マイクロストリップ線路



コプレーナ線路、マイクロストリップ線路、トリプレートストリップ線路、逆マイクロストリップ 線路は計算値と測定値はよく一致している。従って特性インピーダンスの計算の正当性が示された。 V溝マイクロストリップ線路は、V溝下の最小ポリイミド厚を5μmと設計している。この場合、計 算値と測定値は7Ω程度の違いが生じている。しかし3.5μmとした場合の計算値とはよく一致し実際

は3.5μm程度に作製されたものと考えられる。

スリット付V溝マイクロストリップ線路は、設計ではV溝下の最小ポリイミド厚5μm、V溝開口幅12 +数μm、スリット幅24μmである。計算値と測定値は6Ω程度の違いが生じている。各々3.5μm、24μm、 22μmとした場合の計算値とはよく一致し実際の作製サイズはこの値になったものと考えられる。

V溝マイクロストリップ線路及びスリット付V溝マイクロストリップ線路はその作製精度も鑑みて 6-7Ω程度の設計値からのずれを見込み回路設計を行う必要がある。

(4)実効比誘電率

1991年試作の主要伝送線路の実効比誘電率について測定解析結果と計算値(femcap使用)の比較を 図25から図27に示す。測定解析はスルー線路及びオープンスタブ(マイクロストリップ線路,Sl02,

直線,形状・測定値等は3.1項参照)の2種で行った。スルー線路の測定解析はlibraを用いて測定値を fittingした結果を示す。fitting結果は2本の長さの違う同種のスルー線路の位相差から得た伝送 線路部のみの1mmあたりの位相を求め

実効比誘電率={(光速×位相)/(周波数×物理長)}<sup>2</sup> に従って算出した値と同程度である。



図26 伝送線路その1

## 図27 伝送線路その2

スルー線路の測定解析結果によると、コプレーナ線路では計算値とよく一致しているが、他の伝 送線路は一致していない。コプレーナ線路が一致していることから計算の正当性は信頼してよいと 考えられる。なぜなら、他の伝送線路には測定端子への線路変換等の不定要素があるが、コプレー ナ線路にはないからである。計算値が測定値と一致しない理由は、(a)ポリイミドの比誘電率が設 計に用いた値3.3と違い4から4.5である、(b)不定要素の影響、が挙げられる。

一方、マイクロストリップ線路オープンスタブの解析結果は計算値より9%大きいだけである。こ の値はポリイミドの比誘電率を3.5程度と考えれば一致する。オープンスタブ解析は共振周波数か

ら実効比誘電率を求めるので不定要素がなく、スルー線路解析より信頼性が高いと考えれる。 以上よりポリイミド比誘電率を3.5程度と考えて計算した伝送線路の特性を回路設計に用いてよ

ĩ

いと言える。なお他の伝送線路もスタブを用いて評価すべきと考えられる。

3 多層化MMIC受動回路

本章では、多層MMIC受動回路について述べる。

3.1 スタブ

1991年三洋試作で作製したマイクロストリップ線路の3種(直線、スパイラル、メアンダ)のオー プンスタブ(S102)の評価結果を述べる。評価したスタブの形状は図28に示す様に2ポートであり、 曲がり部はコーナーとした。サイズは線路幅22μm、ポリイミド膜厚10μmの50Ω線路、スパイラル及 びメアンダ形状では線路間隔44μmである。図29に伝送特性の測定結果を示す。表1に評価結果を示 す。



図28 オープンスタブの形状(3種)



	コーナー数	線路長(μm)		実効比誘電率	特性インピーダンス
		設計	fitting		(Ω)
直線	2	2810	2810	2.87	48.4
スパイラル	11	3007	3010	2.87	52.4
メアンダ	11	3007	2890	2.87	50.9

表] オープンスタブ評価結果

評価はlibraを用いてfittingにより行った。その際、直線スタブの線路長を設計値に固定、特性 インピーダンス及び線路長以外は3種の線路で共通として行った。

スパイラル形状:設計と測定(fitting)の線路長が等しいので、設計通りの線路長で動作すると 考えてよいことがわかる。

メアンダ形状:設計と測定(fitting)の線路長を比較すると設計の96%の長さで機能していること がわかる。共振周波数では設計より4.2%高くなる。

コーナーの影響:3種のスタブの設計と測定の線路長を比較すると、本構造(線路幅、コーナー数等)ではその影響はないと考えられる。

以上より、回路設計で多用するメアンダ形状マイクロストリップ線路では実際の動作長は設計長 より96%程度短くなることを念頭において設計する必要がある。また線路間隔を変えた場合、他の 構造の伝送線路の場合、についても検討する必要がある。

3.2 ラットレースハイブリッド

1991年三洋試作のラットレースハイブリッド(S107)の評価結果を以下に述べる。図30にラットレ ースハイブリッドの構成を示す。



図30 ラットレースハイブリッドの構成

GaAs基板上のポリイミド膜の中間層に接地金属を配し、その上下に逆マイクロストリップ線路及び マイクロストリップ線路を作製した形状を用い、1/4波長線路にマイクロストリップ線路、3/4波長 線路に逆マイクロストリップ線路を用いた。この配置とすることにより回路面積は1.1×1.1μm、回 路部のみで0.42×0.42μmとなり、マイクロストリップ線路のみで構成されたものに比べ1/2(面積比1 /4)に縮小された。但し、3/4波長逆マイクロストリップ線路については、回路特性上要求される特 性インピーダンス70.7Ωを実現することは作製限界を越えている。従って、シュミレーションを行 いバランスの点でも問題のないことを確認し、前記サイズの50Ω線路を用いた。

図31にロス及びアイソレーションの測定値、図32にリターンロスの測定値を示す。



ロスは5.9±0.9dB、アイソレーションは中心周波数で30dB以上、リターンロスは中心周波数で16dB が得られた。以前試作したSiONを誘電体に用いた同一周波数帯域のラットレースハイブリッドのロ スは6±1dBであったので特性の悪化をおこすことなく回路面積を縮小できた。

3.3 結合線路を用いたラットレースハイブリッド

1991年三洋試作の結合線路を用いたラットレースハイブリッド(S109)の評価結果を以下に述べる。 図33に構成を示す。



図33 構成

1/4波長線路はマイクロストリップ線路、3/4波長線路のかわりとなる位相反転1/4波長線路に結合 コプレーナ線路を用いた。本回路は位相反転1/4波長線路を用いることにより通常の3/4波長線路を 用いるものより広帯域化をめざしたものである。

図34から図36にロス、アイソレーション、リターンロスの測定値を示す。



ロスは2から8dBと変化しバランスが良くない。リターンロスは特にポート4が悪い。

一方、別に作製したマイクロストリップ結合線路(S105,S106)では4つのポートの内いずれかのポ ートがショートしていると考えられるものがほとんどであった。この理由は不明であるが、本回路 においても、特にポート4のリターンロスが悪いことから考え、同様に結合コプレーナ線路のポー トがショートし、特性が悪化したものと考えられる。

3.4 V溝線路を用いたブランチラインハイブリッド

1991年三洋試作のV溝マイクロストリップ線路及びスリット付V溝マイクロストリップ線路を組み 合わせたブランチラインハイブリッド(S090)の検討結果を以下に述べる。

#### ABSTRACT

The branchline hybrid is investigated as an application of valley microstrip lines to a circuit that consists of valley microstrip lines both with and without a slit. It is shown that valley microstrip lines can be utilized for configuring a circuit in accordance with theory.

#### INTRODUCTION

Very small multilayer MMICs have being developed in ATR. Microstrip lines are utilized for fundamental transmission lines. These microstorip lines consist of narrow metal strips on a thin dielectric film prepared on a GaAs substrate and the ground metal on a GaAs substrate. Furthermore, valley microstrip lines have been proposed to reduce the insertion loss over that of microstrip lines. It remains to be seen whether the circuits perform in accordance with the predicted value if they are fabricated using meandering valley microstrip lines to minimize the circuit area, i.e., whether the valley microstrip line impedance and effective dielectric constant, are as predicted and whether the meander configuration has no significant effect on circuit peformance and fabrication. This paper investigates these points by testing a branchline hybrid using both valley microstrip lines and the newly proposed valley microstrip lines with slits.

## CONFIGURATION OF VALLEY MICROSTRIP LINES WITH SLITS

The configuration of the valley microstrip line with slit is shown in  $\mathbb{P}3^{n}$ . There is a ground metal slit just under the valley strip metal. The current concentration is dispersed at three points, i.e., the center and the 2 edges of the valley strip metal. The dispersion characteristics vary according to the slit width. Therefore, the average of electromagnetic intensity in the dielectric film under the valley strip metal, consequently, the strip width for the same characteristic impedance, can be adjusted by altering the slit width.

Moreover, since the slit leaks an electromagnetic field into the GaAs substrate, the effective dielectric constant increase as the slit is widened. Therefore, this line is advantageous in the insertion loss per unit electrical length.

## DESIGN OF THE BRANCHLINE HYBRID

Polyimide( $\varepsilon r=3.3$ ) is utilized for the dielectric film. The calculated value of the characteristic impedance of a valley microstrip line with slit as a fanction of the strip widths is shown in  $\bigcirc 3?$  when the slit width is 0, 12 or 24µm. Where the dielectric film thickness, H, is 10µm, the valley taper,  $\theta$ , is 35° and the valley depth is 5µm. The finite element method is utilized for the

calculation. If the slit is widened, a strip having the same characteristic impedance is widened. The slit is adjusted so that  $50\Omega$  and  $35\Omega$  1/4 wavelength transmission lines have nearly equal strip widths, i.e., nearly equal conductor loss. The strip/slit widths are  $24\mu m/24\mu m$  for the  $50\Omega$  line and  $30\mu m/0\mu m$  for the  $35\Omega$  line, the effective dielectric constant 3.1 for the former, 2.8 for the latter.

### PERFORMANCE

The experimental results of only the valley microstrip lines without and with slits are evaluated. Transmission lines with  $50\Omega$  and  $35\Omega$  characteristic impedances (to be used in the fabrication of the branchline hybrid) are fabricated and tested. The measured impedances/effective dielectric constants are  $45\Omega/3.4$  and  $33\Omega/2.8$  respectively. These values conform to the design values. Minor differences arise because the valley depth is greater than expected.

The photomicrograph and the circuit configuration of the branchline hybrid are shown in  $\mathbb{B}3^{\circ}(a)$  and (b). The size of the intrinsic area after subtracting the input/output lines is  $1.1 \times 1.0$ mm. Both the valley microstrip lines with and without a slit are arranged in meander configuration to minimize the circuit area. There was concern that the meander configuration, paticularly in corners, would cause problems in fabrication. However, no problems arose.

The branchline hybrid is measured by using on-wafer probe and an HP8510 network analyzer. The measured values of the coupling frequency characteristics are shown in  $\textcircled{B}_{+}^{+}0$ , more with the calculated values. Smilarly, the return loss and isolation are shown in  $\textcircled{B}_{+}^{+}|$ , where the perfomance includes the influence of the input/output lines for on-wafer measurement. In the calculation, the evaluated results of only the valley microstrip lines are used. Coupling of 5±0.5dB in the frequency range of 18-23GHz, return loss of 13dB at the center frequency and isolation of more than 30dB at the center frequency, are obtained. The calculated value well represents the measured value. The meander-like arrangement does not influence of the valley microstrip line performance.

## CONCLUSION

A branchline hybrid is fabricated and investigated as an application of valley microstrip lines to a circuit. Here, the valley microstrip lines and the newly proposed valley microstrip lines with a slit are properly used and are arranged in a meander configuration. Valley microstrip lines can be utilized to configure a circuit that is in good agreement with the design. The meander-like arrangement for minimizing the circuit is not defficult to fabricate and does not adversely affect high frequency performance.



37 Cross section of the valley mirostrip line with slit.





(2)

239 (a) Photomicrograph showing the branchline hybrid using a valley microstrip line with and without slit. (b) Circuit configuration of the branchline hybrid.









## 3.5 電力分配器

1991年三洋試作のウィルキンソン形多分岐電力分配器の検討結果を以下に述べる。2分配器(S140) 入力変成器付2分配器(S141)、入力変成器付4分配器(S143)、入力変成器付8分配器(S144)について 述べる。

ATR Optical and Radio Communications Research Laboratories

多層化MMICは設計自由度が極めて高く、超小型化・高機能化に あらまし 商している。本構成を活用することにより、従来の平面構成のMICやM MICでは作製するのが困難であった、多分岐ウィルキンソン形電力分配 器を容易に構成することができる。本報告では、多層構成を活用した入力 1/4波長変成器付多分岐ウィルキンソン形電力分配器の構成及び特徴を 述べ、2、4、8分配器について試作した結果を報告する。

#### 1.はじめに

モノリシックマイクロ波集積回路(MMIC)は、 小型、軽量、高信頼性という特徴に加え、量産効果に よる低価格化が期待でき、移動体通信、衛星通信、マ イクロ波・ミリ波通信等の各種無線通信機器への応用 を目的として研究開発が進められている。MMICは 従来、GaAs等の半絶縁性基板の片面に回路が形成 されもう片面を接地に利用しているため、設計自由度 の制約、接地インダクタンス等の問題があった。この 問題を克服する技術として最近、ユニプレーナMMI C の提案、線路一体化FET(LUFET)を用 の提案がなされている。我 いた共平面MMIC 々は、さらに設計自由度を向上し、小型化・高機能化 に有利な多層化MMICの提案を行っている

ウィルキンソン形電力分配器は、一端を共有した複 数の吸収抵抗を分岐端子に接続した対象構造を有して いる。そのため分配特性の均一性、優秀な分岐端子間 アイソレーションを示す。しかし従来の平面構成のM ICやMMICでは、複数の吸収抵抗と分岐端子を接 続する際に線路交差が生じ、また吸収抵抗を一点に接 即ち、GaAs基板上に接地導体を作製し、その上に 続しなければならないため分岐端子数が多くなった場 積層した薄膜誘電体の層上あるいは層間にストリップ 合、線路の引き回しが必要となり実現が困難であった。導体を作製する。電力分配器では、複数の吸収抵抗を

ることにより解決した 。さらに、分岐端子数が多 くなると入出力整合をとるために分岐線路に要求され る特性インピーダンスが大きくなるため、多層化MM ICで用いているマイクロストリップ線路幅が狭くな り製造困難さの増大、損失の増大等の問題が生じてく る。この問題は分岐端子と共通端子の間に1/4波長イ ンピーダンス変成器を設けることによって解決するこ とができる 。本報告では、これらの方法を利用し、 2、4、8分岐電力分配器を作製し良好な特性を得た ので、以上についてまとめ、検討した結果を報告する。

#### 2. 電力分配器の基本的構造

多層化MMICの構造を活用したウィルキンソン形 電力分配器の基本構造を図42に示す。ここでは基本伝 送線路として、薄膜マイクロストリップ線路 を 用いているため超小型化を図ることができる。薄膜マ イクロストリップ線路は次のようにして形成される。 我々は、これらの問題点を多層化MMICを利用す GaAs基板表面に集中して作製し、その真上に吸取

抵抗と同数の分岐線路を多層構造を利用して配置し、 これらをスルーホールで接続する。分岐端子への出力 はストリップ導体の層を分岐線路と変えて作製したマ イクロストリップ線路を利用することにより取り出さ れる。このような構造にすることにより、複数の吸収 抵抗を一点に集め、それらと複数の分岐線路を等距離 かつ最短距離で接続することができ、さらに、出力の 取り出しは、層を変えて作製した線路を利用すること により容易に行うことができる。また、本構造は分岐 端子数が増加しても問題なく作製することができる。

## 3. 電力分配器の設計

電力分配器の基本的回路構成を図43に示す。複数の 1/4波長分岐線路と入力端子の間に1/4波長インビーダ ンス変成器を設けた構成をしている。本構成は分岐点 から入力側をみたインビーダンス2cを自由に選ぶこ とができるので、分岐線路及び変成器の線路の線路幅 を自由に設定することができる。この場合、分岐数を n、分岐線路及び変成器の特性インピーダンスをおの おの2div、Zinとすると入出力整合をとるためには 次の関係を満たせばよい。

Zdiv=√nZcZo	(la)
$Z in = \sqrt{Z c Z o}$	(lb)

即ち、

$$Z \operatorname{div} / Z \operatorname{in} = \sqrt{n}$$
 (2)

入力変成器がない場合、2c=Zoなので、分岐数が 増すとZdが増大し、薄膜マイクロストリップ線路の 線路幅が狭くなり線路損失の増大、作製困難さの増大 を招く。例えば、薄膜誘電体に10µm厚のポリイミド(比 誘電率3.3)を用いた場合、分岐数が2、4、8なら 各々線路幅は12µm、5µm、1.4µmとなり、損失の増大だ けでなく作製精度の限界を越えた線路幅になる。しか し、ZcをZoより十分低く設定することにより分岐 線路の特性インビーダンスを下げ線路幅を広げて損失 の低減、作製の困難さの解消を図ることができる。

図44に周波数20GHzでのマイクロストリップ線路の 規格化した挿入損失(特性インピーダンス50Ωが基準) 及び特性インピーダンスの計算値を示す。ここで、前 述と同様に薄膜誘電体はポリイミドを想定し、比誘電 率3.3、膜厚10μmとしている。計算は有限要素法を用 いて行った。線路幅が10μm程度以下では損失は急激に 増大するが、10μm以上では損失はほぼ一定となり線路



図 44 薄膜マイクロストリップ線路の 挿入損失の線路幅依存性 幅を広げても損失低減効果はないことがわかる。図45 に4分岐及び8分岐の電力分配器を構成した場合の分 岐線路の線路幅Wdivに対する変成器の線路幅Winの 計算値を示す。分配数及び分岐線路幅が増すと急激に 変成器の線路幅が増し回路面積の増大を招く。以上よ り、線路幅は10μmから15μmであれば分配損失、回路面 積から考えて妥当であるといえる。

#### 4. 試作結果

上記の解析に基づき多層化MMICで構成した2分 岐電力分配器、入力変成器付2分岐電力分配器、入力 変成器付4分岐電力分配器、入力変成器付8分岐電力 分配器の試作を行ったのでその結果を以下に述べる。

#### 4.1 2分岐電力分配器

2分配器は入力変成器がない場合、分岐線路の特性 インピーダンスが70 $\Omega$ で実現される。70 $\Omega$ 線路は、ボ リイミド膜厚10 $\mu$ m、線路幅12 $\mu$ mで実現することができ るので線路損失の大幅な増大はなく、また出力線路と 分岐線路の交差の問題もない。線路長は2.3mmとした。 回路面積は860×800 $\mu$ m<sup>2</sup>、測定のための入出力部分を 除くと600×600 $\mu$ m<sup>2</sup>である。また、線路損失のため入 出力整合の中心周波数が若干ずれることが予想される ので、この比較として入力変成器付2分配器も作製し た。分岐線路及び変成器のポリイミド膜厚/線路幅/ 線路長は各々、10 $\mu$ m/10 $\mu$ m/2.5mm、5 $\mu$ m/8 $\mu$ m/1.2 mmである。回路面積は960×830 $\mu$ m<sup>2</sup>、測定パッドを除 くと730×620 $\mu$ m<sup>2</sup>である。

図44に入力変成器がない2分配器の分配損失、入出 カリターンロス及び分岐端子間アイソレーションの周 波数特性を示す。挿入損失は20GHzで0.94dBが得られ 平坦性は良好である。入出力リターンロス及び分岐端 子間アイソレーションは各々中心周波数において、21 dB(26GHz)、40dB(16GHz)及び25dB(20GHz)が得 られた。入力リターンロスの周波数特性が鋭くないの でめだたないが中心周波数はかなりずれている。

図判に入力変成器付の2分配器の特性を同様に示す。 挿入損失は1.8dBが得られた。分岐線路の線路幅が変 成器がないものに比べ狭く、変成器の線路長が加わる ので損失が悪化し、平坦性はやや悪化している。損失 変動0.5dB帯域は26GHzまでである。一方、入出力リタ ーンロス及び分岐端子間アイソレーションの中心周波 数は各々18.5GHz、16GHz及び18.5GHzであり30dBから3 7dBが得られ、変成器の効果により中心周波数の一致



図45 変成器の線路幅の分岐線路幅依存性



図 47 変成器付2分配器の特性

性が改善されている。

#### 4.2 4分岐電力分配器

4 分岐で変成器がない場合、分岐線路に100Ωの特 性インピーダンスが必要であるため、ポリイミド膜厚 10μmでは線路幅は5μmとなり線路損失が増大が激しく なってくる。このため変成器を設けた。分岐線路及び 変成器のボリイミド瞑厚/線路幅/線路長は各々、10 μm/10μm(特性インピーダンス70Ω)/2.2mm、5μm /18μm(特性インピダーンス35Ω)/1.8mmとした。 図48にチップ写真を示す。分岐端子のうち1端子は測 定の都合上50Ωで終端している。吸収抵抗を集中配置 し、これにスルーホールにより最短距離で分岐線路を 接続する。出力端子へは層を変えた線路を利用してい る。多層構成により効果的に配置することができてい る。回路面積は1300×1150μm<sup>2</sup>、測定端子を除くと100 0×800μm<sup>2</sup>である。

図Hに周波数特性を示す。挿入損失は2.0dB、分配 損失変動0.5dB帯域は24GHzまで、入出力リターンロス 及び分岐端子間アイソレーションは各々中心周波数で 40dB以上(18GHz)、21dB(18GHz)及び38dB(22GHz) という良好な特性が得られた。

8分岐では変成器がない場合、分岐線路の特性イン ピーダンスは141Ωが必要であるため、ポリイミド瞑 厚10μmでは線路幅は1.4μmであり線路損失が大幅に増 大し、また作製限界を越えてしまう。変成器を設ける ことにより、分岐線路はポリイミド膜厚10µm、線路幅 10µm、線路長2.2mmとした。変成器は分岐数が多いの で低い特性インピーダンスが要求され、線路幅が広く なるので回路面積の増大が懸念される。従って同じ形 状の線路を2本並列配置することで線路幅を狭め回路 面積の縮小を図った。ポリイミド膜厚5µm、線路幅8 μm、線路長1.9mmとした。チップ写真を図50に示す。 回路面積は1400×1500µm<sup>2</sup>、測定端子を除くと1000×1 200µm<sup>2</sup>と超小型である。分岐端子が増しても多層構成 の活用により吸収抵抗の集中配置、分岐線路との最短 接続、出力端子への引き出しを効果的に行うことがで きている。

図 5(に周波数特性を示す。挿入損失2.8dB、分配 損失0.5dB変動帯域13から26GHz、入出力リターンロス 及び分岐端子間アイソレーションは各々中心周波数で



4.3 8分岐電力分配器



図 48 4分配器のチップ写真





40dB以上(18GHz)、22dB(18GHz)及び34dB(22GHz)の良好な特性が得られた。

## <u>5.まとめ</u>

多層構成を活用することにより従来の平面構成のM ICやMMICでは作製が困難であった多分岐ウィル キンソン形電力分配器を作製し、入力変成器を設ける ことによる挿入損失の低減効果及び入出力整合に与え る影響について示すと共に、2、4、8分岐の試作結 果を示した。その結果、挿入損失が0.94から2.8dB、 入出力リターンロス及び分岐端子間リターンロスは20 から40dBの特性が得られた。

本報告の多分岐ウィルキンソン形電力分配器は多層 構成を活用しているため集中配置した複数の吸収抵抗 にスルーホールを利用することにより最短距離で分岐 線路を接続することができ、分岐線路と交差すること になる出力端子への引き出し線路も何ら問題なく配置 することができる。 4 多層化MMIC能動回路

1991年三洋及び三菱試作では能動素子としてHEMTを用いている。しかし三洋試作ではHEMTの特性 把握も目的の1つなので、HEMTを用いた回路の設計に際しHEMTの正確な特性は把握できていない。

4.1 注入同期発振器

1991年三洋試作において2種の発振器を作製した。1種は能動インダクタの応用回路であり5.2項 で述べる。もう1種の発振器(S147)の回路図を図52に示す。





ソース接地FETにドレイン接地FETによる帰還をかけた回路である。portlから同期信号を注入し、p ort2から発振出力をとりだす。注入同期発振器では周波数の安定性は注入信号の安定度できまり発 振出力は発振器の回路できまる。

図のA、B点で負荷側及びFET側をみて、アドミタンス及び反射係数が次の発振条件を各々満たす ように設計した。

Re(Y<sub>L</sub>+Y<sub>F</sub>)<0 Im(Y<sub>L</sub>+Y<sub>F</sub>)=0  $|\Gamma_L \cdot \Gamma_F| > | 2\Gamma_L + 2\Gamma_F = 0$ ここで、 添字Lは負荷側をみた特性、 添字FはFET側をみた特性である。 Reは実数部を、 Imは 虚数部 をとるという意味である。 測定した発振出力を図53に示す。





同期信号はHP社製信号発生器を用い13.496GHz、-33dBmを注入した。同期信号を注入しない場合は 出力の周波数安定性が非常に悪かったが、同期信号を注入することにより安定し図のようにC/N比 も向上することが確認できた。発振出力は5dBmが得られた。しかし、同期信号の周波数が前述の値 より0.001GHzずれると側波帯発振が現れ同期状態が悪化し同期範囲は狭かった。

4.2 自己発振ミキサ

1991年三洋試作において自己発振ミキサを3種作製した。自己発振ミキサはミキシングのためのL 0信号として自励発振信号を用いるものである。

S147:前述の注入同期発振器において同期信号のかわりにRF信号を入力する。

S148: 図54。S147のIF出力端にRF、LO(自励発振信号)信号カット用オープンスタブを設けた。

S149: 図55。本回路はイメージ抑圧自己発振ミキサである。RF入力はマイクロストリップ線路と 逆マイクロストリップ線路を組み合わせたブランチラインハイブリッドを用いて90度位相の異なる 2信号に変換する。この2信号を2つの自己発振ミキサ(S147と同回路)に入力する。得られた2つのIF 出力を再び90度ハイブリッドで合成する(この部分は外付け回路、または計算で行う)。



図54 S148自己発振ミキサ

図55 S149イメージ抑圧自己発振ミキサ

設計方針は能動回路部(図53のA-B間)の伝送特性がIFからRF周波数帯域で数dBのロス、総合した 回路の出力リターンロスがIF周波数で良好になることとした。RF周波数での入力反射係数はLO(自 励発振)周波数に近いので1をこえている。

S147を自己発振ミキサとして動作させた場合、

入力RF: 12.494GHz、-21.9dBm / 自励LO: 13.495GHz、4.3dBm / 出力IF: 0.996GHz、-25dBm の特性が得られ、動作の確認ができた。

5.1 能動インダクタを用いた広帯域電圧制御発振器

昭和62年三菱試作のM303負性抵抗保有能動インダクタの特性の測定結果を用いてシミュレーションにより予測した特性を以下に示す。

## ABSTRACT

A broad-band microwave voltage-controlled oscillator (VCO) is proposed and its operating frequency range is discussed. This VCO consists of only an active inductor and an output common-drain FET. The active inductor is composed of a common-source cascode FET and a feedback FET, and operates in a wide frequency range with voltage controllable nagative conductance. Through simulation, a very wide operating frequency range of 4-10GHz and very small chip size of less than 0.5 mm<sup>2</sup> is predicted.

## INTRODUCTION

Conventional voltage-controlled oscillators use a quarter-wavelength transmision line, spiral inductor and a varactor, where the varactor is voltage-controlled to change the oscillator frequency. However, it is the inductor which is mainly determined chip size and operating frequency range by that.

The microwave active inductor which we recentry proposed is composed of a common-source cascode FET and a common-gate feedback FET, and offers a negative conductance along with a parallel inductance and capacitance. When a cascode FET is used for the feedback FET, the inductor value can be controlled by the second gate dc bias voltage. The proposed VCO using the active inductor eliminates the additional quarter-wavelength transmission lines and inductors, thereby drastically reducing the MMIC chip size as well as broadening the VCO's operating frequency range. Through simulation, a 4-10GHz VCO with an area less than 0.5mm<sup>2</sup> is successfully predicted.

## CONFIGURATION

The schematic of the newly proposed VCO using an active inductor is shown in  $\mathbb{P}_{56}^{+}$ , and the equivalent circuit diagram of the active inductor is shown in  $\mathbb{P}_{57}^{+}$ . The VCO consists of an active inductor and an output common-drain FET (CDF) connected to the active inductor through a capacitor. The equivalent circuit of the active inductor is represented by a parallel connection of negative conductance -G, fixed conductance bGmf, essential inductance L, and parastic capacitance C. Therefore, the admittance Yin of the active inductance viewed from A is given by the following equation;

(1)

 $Yin = bGmf - G + (j\omega C - 1/\omega L)$ where -G = -abGmf(CgsfGm/GmfCgs+1) C = Cgsf(1 + ab - b) L = Cgs/GmGmf/ab  $a = \{1 + (\omega Cgs/Gm)^2\} - 1$  $b = \{1 + (\omega Cgsf/Gmf)^2\} - 1$ 

Gm and Cgs are the transconductance of each FET and the gate-source capacitance, respectively. Subscript f corresponds to the feedback FET. The common drain FET is used as an output circuit to provide a high impedance load for the active inductance, high isolation from the output port to the active inductor, and an output impedance matching.

## DESIGN

The oscillator is designed so that oscillation conditions from (2a) to (2c) are satisfied at the desired oscillation frequency.

(2a) (2b)

(2c)

$ \Gamma in  > 1/ \Gamma c $			
$\angle \Gamma in = - \angle \Gamma c$			

∂Im(Yin)/∂f>0

where  $\Gamma$  in is the reflection coefficient of the active inductor and  $\Gamma$ c is that of the output circuit when viewed from A. The reflection coefficient phase of the active inductor can easily be changed by the control volatge Vc shown in Bst, resulting in a wide oscillation frequency variation.

The measured small signal reflection coefficients of the active inductor, | $\Gamma$ inl and  $\angle \Gamma$ in dependent on control voltage Vc, are shown in  $\square 5?$  .  $\square 5?$  indicates that negative resistance is obtained between 2GHz and 15GHz and that the phase curve shifts to the right side of the figure as Vc is increased. The small signal reflection coefficients of the output circuit at A, | $\Gamma$ cl and  $\angle \Gamma$ c, are also shown in  $\square 5?$  . According to equations (2a)-(2c) above, the oscillation frequency is given by the frequency at which the phase lines of the active inductor and the output circuit cross, and the magnitude of reflection coefficients  $\Gamma$ in is greater than that of 1/ $\Gamma$ c. Therefore, it is predicted that the VCO shown in  $\square 56$  oscillates between 4GHz and 10GHz when the control voltage Vc is adjusted. An output power-frequency characteristics calculated through simulation and a pattern layout will be presented in the digest version. The size of this VCO MMIC is estimated to be less than 0.5mm<sup>2</sup> because the active inductor is located in a 400µm × 400µm area on a GaAs subtrate, and the output circuit requires only an FET and capacitors.

## CONCLUSIONS

A very small, MMIC VCO using an FET-feedback active inductor is proposed. An operating frequency range as wide as 4-10GHz is predicted from the measured negative conductance-frequency characteristics of the active inductor. The size of the VCO in monolithic form is estimated to be less than 0.5mm<sup>2</sup> due to the absence of quarter-wavelength transmission lines and spiral inductors. This innovation should prove valuable for 1-chip recever MMICs and other multifunction MMICs.

Active inductor



図56 Oscillator Circuit configuration



(a) Photomicrograph of the chip









SFP Frequency dependence of reflection coefficients

1991年三菱試作で作製した能動インダクタ及び電圧制御発振器はバイアス回路のパターンミスにより動作しなかった。

5.2 能動インダクタを用いた注入同期発振器

能動インダクタ発振器を2端子回路で発振器動作するように設計した。図59に回路図を示す。



図59 能動インダクタ注入同期発振器

設計方針、動作方法は4.1項と同じである。

1991年三洋試作において2種(S145、S146)作製した。2種は想定動作電流が異なりバイアス抵抗値 等が異なる。測定の結果わずかな発振が観測されたのみである。これは前述のようにHEMTのSパラ メータを把握して設計できなかったためである。 6 LUFETを用いた回路

1991年三菱試作においてLUFETのミリ波への高周波を図るため能動素子にHEMTを用い各種TEG、分配器、合成器等をMMICグループで設計の担当を分けて作製した。筆者は同相分配器を担当したので その設計について述べる。図60に回路構成を示す。



出力段

	入力段			
	なし	(a)	(b)	(c)
出(α)	M334	M353	M431	M411
力( <b>β</b> )	м388,430	м432,390		M433,415
段(7)	M389			M391 ·

(Vgo:出力段のゲートバイアス、s:EFTのsource)

総合回路(M000は回路番号)

図60 LUFETを用いた電力同相分配器の回路構成

入力段は広帯域性を受け持たせ、出力段は電力分配を担当し、分配比は可変できるようにした。 た。各々3種作製し、入力段出力段を組み合わせ分配比可変同相分配器、広帯域同相分配器の回路、 TEGを作製した。各回路の特徴を以下に述べる。

入力回路

a: ソース接地並列帰還FETである。

- b: ゲート接地FETにより入力整合をとり、カスケード接続したソース接地並列帰還FETにより 出力段との段間整合をとる。
- c: ゲート接地FETにより入力整合をとり、 π型回路で段間整合をとる。スタブの直列抵抗は広 帯域性をもたせるためである。

出力回路

α: 通常のソース接地LUFETである。

 $\beta$ : ソース接地LUFET及び出力整合用のドレイン接地FETを用いる。

γ: ドレイン接地のデュアルゲートFETと等価な回路を分配に用いた。

いずれの回路も出力回路のバイアス電圧を調整することにより分配比を可変にする。

7 まとめ

本報告では、多層化MMIC伝送線路、多層化MMIC受動回路、多層化MMIC能動回路、能動化受動素子の応用回路、LUFET回路について長谷川が担当した研究内容について抜粋し示した。

謝辞

本研究を進めるにあたり、ご指導いただいた葉原会長、古濱社長、赤池室長に深謝します。

参考文献

●多層化MMIC

[1] 田中利憲, 徳満恒雄, 相川正義, "多層化MMICの構想,"電子情報通信学会春季全国大会, SC-8-2, 昭和63年.

[2] 徳満恒雄, 竹中勉, 中本博之, "多層化MMICによる高アイソレーション・超小型多端子ウィ ルキンソンディバイダ,"電子情報通信学会秋季全国大会, C-373, 1989.

[3] 竹中勉, 平岡孝啓, 徳満恒雄, "薄膜マイクロストリップ(TFMS)線路を用いた超小型MMIC 分布型増幅器,"電子情報通信学会秋季全国大会, C-361, 1989.

[4] 徳満恒雄, 平岡孝啓, 中本博之, 竹中勉, 相川正義, "薄膜マイクロストリップ(TFMS) 線路を用いた超小型MMIC,"電子情報通信学会技術研究報告, MW89-35, pp.65-72, 1989.

[5] 中本博之, 平岡孝啓, 徳満恒雄, "ポリイミドを用いた多層化MMICによる超小型ハイブリッド回路,"電子情報通信学会技術研究報告, MW89-141, pp.59-66, 1989.

[6] 長谷川隆生,徳満恒雄,"多層化MMICによる完全整合型・高アイソレーション多端子ウィルキンソンディバイダ,"電子情報通信学会春季全国大会, C-121, 1990.

[7] 中本博之,広岡孝啓,徳満恒雄, "ポリイミドを用いた多層化MMIC伝送線路の構成と特性, "電子情報通信学会技術研究報告, MW90-21 pp.13-20, 1990.

[8] 長谷川隆生,角田紀久夫,小川博世,"多層化MMIC V溝マイクロストリップ線路の特性, "電子情報通信学会秋季全国大会,C-55,1990.

[9]小川博世,馬場清一,長谷川隆生,竹中勉,上綱秀樹,"多層化MMIC及びミリ波MMIC 伝送線路,"電気・情報関連学会連合大会,S22-5,平成3年.

[10] 馬場清一,長谷川隆生,小川博世,中本博之,"多層化MMIC伝送線路,"電子情報通信学 会春季全国大会,SC-2-9,1991.

[11] 長谷川隆生,馬場清一,小川博世,"V溝MMIC伝送線路を用いたブランチラインハイブリッド, "電子情報通信学会秋季全国大会,C-100,1991.

[12] 馬場清一,長谷川隆生,小川博世,"多層化MMIC伝送線路を用いた超小型ハイブリッド回路," 電子情報通信学会秋季全国大会,C-101,1991.

[13] 長谷川隆生,馬場清一,小川博世,"多層化MMICを用いた多分岐電力分配器,"電子情報通信 学会技術研究報告, MW91-81 pp.25-29, 1991.

[14] T. Hiraoka, T. Tokumitsu, and M. Akaike, "Very small wide-band MMIC magic-T's using microstrip lines on a thin dielectric film," IEEE Trans. Microwave Theory Tech., vol.MT T-10, pp.1569-1575, Oct. 1989.

[15] H. Nakamoto, T. Tokumitsu, and M. Akaike, "A monolithic, port-interchanged rat-race hybrid using a thin film microstrip line crossover," The 19th European Microwave Conder ence, pp.311-316, 1989.

[16] T. Tokumitsu, T. Hiraoka, H. Nakamoto, and T. Takenaka, "Multilayer MMIC using a  $3\mu$  mx3-layer dielectric film structure," IEEE MTT-S Int. Microwave Symp. Dig., pp.831-834, 1990.

[17] H. Nakamoto, T. Hiraoka, and T. Tokumitsu, "Very small multilayer MMIC hybrids usin g polyimide films," The 3rd Asia-Pacific Microwave Conference Proceedings, pp.1113-1116,

#### 1990.

· · ·

[18] H. Ogawa, T. hasegawa, S. Banba, and H. Nakamoto, "MMIC Transmission Lines for Mult i-Layered MMICs," IEEE MTT-S Int. Microwave Symp. Dig., pp. 1067-1070, 1991.

[19] T. Hasegawa, S. Banba, H. Ogawa, and H. Nakamoto, "Characteristics of Valley Micros trip Lines for use in Multilayer MMIC's," IEEE Microwave and Guided Wave Letters, vol.1, no.10, oct. 1991.

[20] T. Hasegawa, S. Banba, and H. Ogawa, "A Branchline Hybrid using Valley MIcrostrip L ines," IEEE Microwave and Guided Wave Letters, vol.2, no.2, feb. 1992.

### ●LUFET MMIC

[21] 徳満恒雄,原信二,田中利憲,相川正義,"線路一体化FET(LUFET)の提案およびM MIC小型化への応用,"電子情報通信学会半導体・材料部門全国大会,S10-1,昭和62年.

[22] T. Tokumitsu, S. Hara, T. Takenaka, and M. Aikawa, "Divider and Combiner Line-Unified FET's as Basic Circuit Function Modules - Part I," IEEE Trans. Microwave Theory Tech., vol. MTT-38, pp.1210-1217, Sep. 1990.

[23] T. Tokumitsu, et al., "Divider and Combiner Line-Unified FET's as Basic Circuit Fun ction Modules - Part I," IEEE Trans. Microwave Theory Tech., vol. MTT-38, pp.1218-1226, Sep. 1990.

## ●導波路解析

[24] 角田紀久夫,豊田一彦,相川正義,"有限要素法を用いた導波路の電磁界解析プログラムマニュアル,"ATRテクニカルレポート,TR-o-0008.

[25] 角田紀久夫,"有限要素法を用いた2次元静電場解析プログラムマヌアル,"ATRテクニカルレポート,TR-o-0028.

[26] 角田紀久夫,豊田一彦,"有限要素法による損失のある2次元導波路の特性解析プログラムおよびその解析法を用いたMMIC用低損失線路の検討,"ATRテクニカルレポート,TR-o-0030.

## ●その他

[27] Y. Harada, F. Matsumoto, and T. Nakakado, "A novel polyimide film preparation and i ts preferential-like chemical etching for GaAs devices," J. Electrochem. Soc. vol.130, n o.1, pp.129-134, 1983

[28] T. Hirota, et al., "Uniplanar MMIC Hybrid-A Proposed New MMIC Structure," IEEE Tran s. Microwave Theory Tech., vol. MTT-35, pp.576, June 1987.

[29] 大橋英征, 浅尾英喜, 石田修己, "VHF带小形電力多分配器," 電子情報通信学会秋季全国大会, C-96, 1991.