TR-O-0006

GaAs FETのAC小信号モデルパラメータのバイアス依存性評価

竹中　勉　　徳満　恒雄　　相川　正義

39

1988. 12. 7.

ATR光電波通信研究所

概　要　(Abstract)

ATR光電波通信研究所では、適応制御型アンテナ及び移動機の小型化・高機能化に向け、モノリシックマイクロ波IC(MMIC)の高集積化の研究を行っている。本報告は、MMIC高集積化のため必要な近似精度の高いGaAs FET高周波非線形特性近似モデルの開発を目指し、FETを線形素子で等価回路化、各線形素子のバイアス依存性を評価したものである。さらに、評価結果と従来の一般的な近似モデルによる計算結果との比較を行い、今後改善すべき重点項目を明確にする。また、被測定デバイスを製造プロセスの異なる二種のFETとし、製造プロセスの違いが各線形素子のバイアス依存性に与える影響についても評価する。

発行時　配付先　(Initial Distribution Specifications)

葉原会長

古濱社長

安川室長

藤本室長

高橋企画課長

無線通信第2研究室員

備考　(Notes)

GaAs FETのAC小信号モデルパラメータのバイアス依存性評価

竹中　勉　　徳満　恒雄　　相川　正義

目次　　ページ

1. まえがき　1
2. 市販のFET非線形特性近似モデルの現状と本報告でのアプローチ　1
3. AC小信号モデルパラメータの抽出方法　2
4. AC小信号モデルパラメータのバイアス依存性抽出結果　3
　4.1 相互コンダクタンスg_m　3
　4.2 ドレインコンダクタンスR_{ds}　4
　4.3 遅延時間τ.　4
　4.4 空乏層容量C_{gs}、C_{dg}　4
　4.5 チャネル下部容量C_{ds}　5
　4.6 空間電荷容量C_{dc}　5
　4.7 ゲート金属抵抗R_g　5
　4.8 オーミック部抵抗R_d、R_s　5
　4.9 ゲートチャネル抵抗R_i　5
　4.10電極部分の寄生項L_g、L_s、L_d、C_{gss}、C_{dss}　5
5. 市販ソフトウェアに用いられる近似モデルの問題点　6
　5.1 g_mの不一致　7
　5.2 C_{gs}の不一致　7
　5.3 R_{ds}の不一致　8
　5.4 他の基本項の扱い　8
　5.5 省略項　8
6. プロセスの違いによる影響　8
7. まとめ　12
(参考文献)　13
(付録)
　①プログラムリスト　14
図面集

1. まえがき

ATR光電波通信研究所では、移動機の超小型化･高機能化に向けモノリシックマイクロ波IC(MMIC)の高集積化･超小型化の研究を行っている。MMICの構成要素のなかでFETは、増幅･周波数変換等の機能を持ちMMICの基本特性を決定する重要な素子であり、大信号入力時またはバイアス変化時に入出力の関係が非線形となる特徴を持つ。この特徴を使った周波数変換等の高集積･高機能MMIC開発には、CADソフトウェア上でFETの非線形効果を精度良くシミュレートできるFET非線形特性近似モデルが不可欠である。

筆者らは、本報告に先立ち、市販の非線形高周波回路CADソフトウェアに用いられるGaAs FET非線形特性近似モデルを試作GaAs FETに適用し、上記モデルの近似精度が 高集積化MMICの設計･解析に十分に対応してないことを明らかにした(1)。本報告では、一定バイアス下のFETを線形素子の組み合せによる等価回路でモデル化(以下、AC小信号モデルとする)し、各線形素子のバイアス依存性を評価することで市販ソフトウェアに用いられているFET非線形特性近似モデルの問題点の要因解明を図り、今後のFET非線形特性近似モデルの研究において基礎資料となるようこれをまとめる。AC小信号モデルでは、非線形要素を考慮したモデルより格段に精度の高いFET高周波特性シミュレーションが可能であるため、AC小信号モデルによりバイアス依存性を評価する手法を用いた。さらに、被測定デバイスをプロセスの異なる二種類のFET(チャネル部分がエピタキシャル成長とイオン注入の二種)とし、プロセスの違いが各線形素子のバイアス依存性に与える影響についても評価する。

2. 市販のFET非線形特性近似モデルの現状と本報告でのアプローチ

市販の高周波領域でのGaAs MES FET非線形特性近似モデルは、FETをダイオード、電流源、キャパシタや抵抗で等価回路化し、数式でドレイン電流、ゲート･ソース間/ゲート･ドレイン間容量、ゲート･ソース間順方向電流の非線形効果を近似(それぞれ、Curticeのモデル、Schottky-Barrier-Diodeの容量モデル、Schottky-Barrier-Diodeの順方向電流モデルを使用)している。これらの近似式はFETの構造を単純化し比較的単純な式で表現しており、市販のモデルパラメータ抽出ソフトウェア(HP社製“TECAP”)や非線形高周波回路CADソフトウェア(eesof社製“mwSPICE”等)で用いられている(2)。しかし、ドレイン電流の非線形特性近似モデル式はFET内の物理的現象に関連する項や定数を持たない。つまり、測定値に対する合わせ込みを基本とするものであり、FET内の物理的現象やキャリアプロファイル等のプロセスまで立ち戻った解析はできない。また、ゲート部の容量近似モデル式や順方向電流近似モデル式は構造が単純なSchottky-Barrier-Diodeの近似モデル式を転用しており、チャネル層が薄いサブミクロン領域のFETや構造が複雑なFETにこれらのモデルを適用した場合には、十分な近似精度を得ることは難しい。特に、ゲートバイアスが浅い領域やピンチオフ電圧以下の深い領域での高周波特性のシミュレーション値と実測値の間に顕著な差を生ずる。図2.1にFETのTECAPでの高周波特性のシミュレーション結果と実測値の例を示す。

本報告では、AC小信号モデルの各モデルパラメータのバイアス依存性を評価し、FET内の物理現象に関連付ける。同時に、市販のFET非線形特性近似モデル

において、この物理現象が考慮されないためにどのような問題が生ずるかを明らかにする。

3. AC小信号モデルパラメータの抽出方法

図3.1に示す系を用いて、ゲート電圧(以下V_{gs}とする)・ドレイン電圧(以下V_{ds}とする)をパラメータとし、その各バイアスでソース接地GaAs FET(以下、CSF:Common Source FETとする)のSパラメータを測定、その結果をパソコン(IBM社製 PC/AT)にとりこみ、AC小信号解析ソフトウェア(eesof社製"Touchstone"、以下Touchstoneとする)にてAC小信号モデルパラメータを抽出した。抽出方法は、図3.2に示すGaAs FETの等価回路の全てのパラメータに対し、1GHzから26GHzまでのSパラメータの測定値と計算値が一致するよう最適化を行うものとした。

最適化の手順は、最初、V_{ds}=3V、V_{gs}=-0.6Vのバイアスで測定されたSパラメータに対し、一般的な値を等価回路の各パラメータの初期値として最適化を行い、以降、各バイアスで測定されたSパラメータに対し、既に最適化を行ったバイアス条件の近い各パラメータ値を初期値として順次、最適化を行った。最適化を行った各バイアスは、ドレイン電圧3V,1V,0.2V、ゲート電圧-1.6V～0V (0.2V step) の組み合わせとした。ドレイン電圧はドレイン電流の飽和と非飽和領域の変化を評価できるように、ゲート電圧はピンチオフ状態からの空乏層の変化が評価できるように選んだ。

図3.2の等価回路において、FET構造と密接に関係し、かつFETの基本的な特性を決定するモデルパラメータ(以下、基本項とする)は、相互コンダクタンスg_m、遅延時間τ、ドレインコンダクタンスR_{ds}、空乏層容量C_{gs}、C_{dg}、空間電荷容量C_{dc}、ゲートチャネル抵抗R_i、チャネル下部容量C_{ds}である。同図において、FETの電極形状に寄生するモデルパラメータ(以下、寄生項とする)は、電極取り出し部の線路インダクタンスL_g、L_d、L_s、外部寄生容量C_{gss}、C_{dss}、ゲート金属抵抗R_g、オーミック接合抵抗R_d、R_sである。R_g、R_d、R_sは、基本項と外部端子との間に介在するモデルパラメータで、FET構造にも依存する。図3.3にFETの形状と各パラメータの関係を示す。抽出されたモデルパラメータ、それより計算されるSパラメータと測定値の一例を図3.4に示す。計算値と測定値が非常によく一致していることが確認できる。ここで、S12については差が大きく見えるのはスケールがS11、S22に対して3倍、S21に対して9倍拡大されているためで、実際の差は他のSパラメータと同様である。付録①にこの時用いたTouchstoneのプログラムを示す。

被測定デバイスは製造プロセスの異なる二種類の入出力線路付きCSFとした。一方のCSFの製造プロセスは、三菱LSI研が担当し、活性層はエピタキシャル成長で作られたもの(以下、M004CSFとする)で、ゲート幅75μm×2である。その形状を図3.5(a)に示す。他方のCSFの製造プロセスは、NTTエレクトロニクステクノロジーが担当し、活性層はイオン注入で作られたもの(以下、N004CSFとする)で、ゲート幅150μm×1である。その形状を図3.5(b)に示す。尚、線路部分の電気長の補正は、長さの異なる同質の線路より求めた波長短縮率を用い行った(波

長短縮率:0.375)[1]。次章では、M004CSFの抽出結果のみとし、N004CSFの抽出結果については、製造プロセスの違いを考慮し、6章にまとめた。

4. AC小信号モデルパラメータのバイアス依存性抽出結果

本章では、前章で示した各モデルパラメータのバイアス依存性を定量的に明らかにする。同時に、FET内の状況についても考察する。バイアス依存性のグラフ化をモデルパラメータ別に行い、ゲート電圧(V_{gs})を横軸に、パラメータ値を縦軸とし、ドレイン電圧(V_{ds})ごとにプロットした。これは、実用面でドレイン電圧を固定し、ゲート電圧を可変する使用が多いためである。抽出結果の全体的傾向としては、ピンチオフ電圧(V_p)付近で各基本項が急峻な変化を示している。また、g_m、C_{gs}、R_{ds}のようにFETの特性を左右するintrisicなモデルパラメータは明確な傾向を示し、L_g、L_d、L_s、C_{gss}やC_{dss}のようにFETの特性に大きな影響を与えていないモデルパラメータは少しばらつく傾向を示した。図4.1から4.16においてピンチオフ電圧(V_p)を破線で示す。V_pは4.1項により、決めた。

4.1相互コンダクタンスg_m

相互コンダクタンスg_m(以下g_mとする)は、主にゲート･ドレイン間の高周波伝送特性の大きさを決定するパラメータである。このg_mのバイアス依存性を図4.1に示す。図4.1にはDC測定で得られるg_mも併せて示す。V_{ds}が飽和領域であれば、両者は良く一致しており、DC測定で得られるg_mが高周波領域でのg_mとして使用できることが確認できる。図4.1より$V_{ds}=3V$時はg_mがほぼ0mSとなる$V_{gs}=-1.2V$でピンチオフしていると考えられる。$|V_{gs}|$が小さくに成るにつれ、g_mが飽和または減少する傾向を示すのは、活性層表面付近のキャリア濃度減少(従来、エピタキシャル成長で作られた活性層のキャリア濃度は一様とされいた。)とドレイン電流に対し直列抵抗となる4.8項のR_sの影響の二点が原因と考えられる。活性層表面付近でのキャリア濃度減少は、活性層表面付近では準位密度が高くキャリアがトラップされるためと考えられている[3]。一般にこれを表面空乏層と呼び、空乏層としての大きさは表面電位に換算して0.6~0.7V(表面ポテンシャル、以下V_sとする。)に相当するとされている[4]。従って、ビルトイン電圧をV_{bi}とすれば、$V_{gs}-V_{bi}>-V_s$で上記の傾向が現れることとなる。活性層表面付近での準位が存在しない場合とする場合のキャリアプロファイルとエネルギー準位の模式図を図4.17に示す。表面準位の発生原因は表面原子配列の非周期性あるいは製造プロセスに発生する表面の結晶欠陥等が考えられている[5]が、明確には解明されていない。

R_sの影響を除いた相互コンダクタンスをg_m'とすると、g_m'は、$g_m'=g_m/(1-R_s \cdot g_m)$で示される[6]。$g_m'$とDC測定値の$g_m$を図4.2に示す。図が示すように$R_s$の影響を除くことで$g_m$の飽和傾向は若干緩和する。

また、図4.1で$V_{ds}=0.2V$のg_mが$V_{ds}=1$または3Vのg_mと比べ小さい値を示す。これは、ドレイン電流の非飽和領域ではキャリアの走行速度がドレイン電圧による電界に依存し、ドレイン電圧が小さくなると共に走行速度が減少するためである。ドレイン電流の飽和領域(図4.1では$V_{ds}=1$または3Vの場合)ではキャリアの走行速度は、ドレイン電圧による電界に依存せず、飽和電子走行速度(v_s)の一定値となり、g_mはほぼ一定となる。

4.2 ドレインコンダクタンスR_{ds}

ドレインコンダクタンスR_{ds}(以下R_{ds}とする)は、ドレイン端の低周波部分での反射特性の大きさを主に決定するパラメータである。R_{ds}はチャネルでのドレイン電圧変化対するドレイン電流の変化($=\partial v_{ds}/\partial i_{ds}|_{Vg}$)として表される。$R_{ds}$の発生メカニズムとして半絶縁性のGaAs基板への電流注入モデル(7)と活性層と基板との界面の負電荷の影響とするモデル(8)が報告されている。前者はドレイン電圧に比例して基板に電流が流れるというものであり、後者は基板と活性層との界面の基板側にトラップなどが原因で負電荷層が生じ、これに対応して界面の活性層側に正電荷の層を生じる。ドレイン電圧を増すにつれその電界の影響を受け、この正電荷の層は薄くなり結果的にチャネル厚が増し、ドレイン電流が増えるというものである。

R_{ds}のバイアス依存性を図4.3に示す。R_{ds}は10kΩ以上では、反射特性はスミスチャート上では右端にあり、コンピュータの複素表現上差がなくなり誤差が大きくなる。R_{ds}はゲートバイアスが深いほどチャネルが狭くなり、大きい値となり、ピンチオフ電圧以下ではチャネルは存在せず、非常に大きな値になる。ゲート電圧−0.6V~0Vの間では、ドレイン電圧が非飽和領域より飽和領域にある方がR_{ds}は大きい値となる。これは、飽和領域においては、ドレイン電圧による電界のため、空乏層がドレイン側で大きくなり、チャネルを狭めることが一因と考えられる(9)。

また、一般に直流で求めたR_{ds}値は高周波で求めたものより大きくなる。この原因については明確にされていないが、キャリアがチャネル通過時に高周波成分により集群効果を受け、直流でのR_{ds}が実数であるのに対し、高周波では複素数となるためという報告がある(10)。

4.3 遅延時間τ.

遅延時間τ(以下τとする)はチャネル内での電子の走行時間により生じる伝送特性の遅延を示しており、ゲート･ドレイン間の伝送特性の位相角度を主に決定するパラメータである。τのバイアス依存性を図4.4に示す。

ゲート電圧がピンチオフ電圧以下では、チャネルは存在せず、τはソース･ドレイン間のリーク電流の遅延時間となりチャネルが存在する時より大きい値を示す。ドレイン電圧が大きくなるにつれ、τが大きな値になるのは、空乏層がドレイン側に広がり、チャネルが長くなるためと考えられる(9)。

4.4 空乏層容量C_{gs}、C_{dg}

空乏層容量C_{gs}、C_{dg}(以下C_{gs}、C_{dg}とする)は主にゲート端の反射特性の位相角度を決定するパラメータである。FETの空乏層によってできるゲート側とチャネル側を等価的に電極とした容量分を示す。このC_{gs}、C_{dg}のバイアス依存性を図4.5に示す。C_{gs}はゲート･ソース間の電荷の変化分をゲート電圧の変化分で微分したものであり、C_{dg}はドレイン･ゲート間の電荷の変化分をドレイン電圧の変化分で微分したものである。

C_{gs}はゲートバイアスを深くすれば、空乏層の領域が拡大し容量分は減少する。また、ドレイン電圧が大きくなるにつれ、$V_{gs}>V_p$でC_{gs}は大きな値を示す。原因としてはドレイン･ゲート間の電界が高まることで電極間に蓄積する電荷量が増し、V_{gs}の変化分に対する電荷の変化分を大きくしているためと考えられる。C_{dg}はV_{ds}を飽和領域で一定とした時、ゲートバイアスを深くすればの電荷量が増え、等価的に大きな値をとることになる。V_{ds}が0Vに近づくと空乏層が

対称形に近づきC_{dg}はC_{gs}とほぼ同一の値を示す。C_{gs}、C_{dg}共、$|V_{gs}|$が小さくに成るにつれ飽和傾向を示す原因は、4.1項で述べた活性層表面付近でのキャリア濃度の減少と考えられる(11)。

4.5チャネル下部容量C_{ds}

チャネル下部容量C_{ds}(以下C_{ds}とする)はドレイン端の反射特性の位相角度を主に決定するパラメータである。C_{ds}はFETのチャネル層下部のバッファ層やSemi－Insulator層に派生する容量分を示している。

C_{ds}のバイアス依存性を図4.6に示す。C_{ds}は空乏層の領域が拡大するにつれ、等価的に電極間隔が広がるので減少する。

4.6空間電荷容量C_{dc}

GaAs内での電界とキャリアの走行速度の関係が図4.18に示すように凸部分を持つため、飽和領域において電界集中点ではその両端の部分より走行速度が小となる。したがって電流連続の関係よりこの部分でキャリア密度の差を生ずる。空間電荷容量C_{dc}(以下C_{dc}とする)は、この部分のキャリア密度の差によって生じる容量分を示している。

C_{dc}のバイアス依存性を図4.7に示す。C_{dc}も同様空乏層が拡大するにつれキャリア密度の差が減少するので減少する。理論的には$V_{sg}<V_p$でI_{ds}は0となり、C_{dc}も0となる。

4.7ゲート金属抵抗R_g

ゲート金属抵抗R_g(以下R_gとする)はゲート端の反射特性の大きさを主に決定するパラメータである。FETの形状的には非常に幅の狭い金属で構成されるゲートの金属抵抗を示す。従って図4.8に示すようにRgはバイアスに依らずほぼ一定値を示す。被測定デバイスのゲート幅は0.5μm、材質はAu/Ti/Mo/Ti、膜厚は5000Åである。

4.8オーミック部抵抗R_d、R_s

オーミック部抵抗R_d、R_s(以下R_d、R_sとする)はそれぞれドレイン電極、ソース電極と半導体部(N層)との接合部分で生じるオーミック抵抗とチャネル部までの抵抗との直列抵抗を示す。従って、図4.9、4.10に示すようにR_d、R_sはバイアスに依らずほぼ一定値を示す。$V_{ds}=1V$、$V_{gs}=1.0\sim-0.6V$付近のR_sカーブのうねりは$V_{ds}=0.2V$では特に現れておらず最適化の誤差と考えられる。
また被測定デバイスはゲート電極を中心にドレイン電極、ソース電極が対称構造でありR_d、R_sが近い値となっている。

4.9ゲートチャネル抵抗R_i

ゲートチャネル抵抗R_i(以下R_iとする)は、ゲート端子から入力されたAC信号のチャネル部分での抵抗分を示す。従って空乏層が拡大するにつれチャネル領域が小さくなるのでRiは小さくなる。図4.11にR_iのバイアス依存性を示す。

4.10　電極部分の寄生項L_g、L_s、L_d、C_{gss}、C_{dss}

L_g、L_s、L_dはそれぞれゲート、ソース、ドレイン電極取り出し部分の寄生インダクタンス、C_{gss}、C_{dss}はそれぞれゲート･ソース間、ドレイン･ソース間の電極取り出し部分の寄生容量を示す。従って形状的に決定される値なので理論的に

は一定値となる。しかし、図4.12~16に示すL_g、L_s、L_d、C_{gss}、C_{dss}のバイアス依存性において値がバラついたのは上記等価回路素子は特性に対し大きな影響力を持たないために最適化誤差の影響が大きくなったためと思われる。

5 市販ソフトウェアに用いられる近似モデルの問題点

各モデルパラメータのバイアス依存性の有無を前章の抽出結果と市販ソフトウェアの場合について表5.1にまとめる。市販ソフトウェアではg_m、C_{gs}、C_{dg}についてのみバイアス依存性をもつモデル近似式(gmについてはCurticeのモデル式、C_{gs}、C_{dg}についてはSchottky Barrier Diodeの容量モデル式)が用いられている(2)。図5.1、5.2、5.3にそれぞれV_{ds}=3Vの時のg_m、C_{gs}、R_{ds}の3章での最適結果と市販ソフトウェアで用いられるモデル近似式での計算結果の比較を示す(gmについてはCurticeのCubicモデルを使用)。図5.1、5.2、5.3より、両者の差が大きいことがよくわかる。この差が市販ソフトウェアでの大信号入力時またはバイアス可変時の誤差を引き起こす主因となる。

表5.1 各モデルパラメータのゲートバイアス依存性の有無

	市販ソフトウェアの近似式	V_{gs}依存性(4章の結果より)
g_m	V_{gs}の1または2次式	有
R_{ds}	一定値	有
τ	一定値	有
C_{gs}	$(1-V_{gs})^{-1/2}$に比例	有
C_{dg}	$(1-V_{dg})^{-1/2}$に比例	有
C_{ds}	一定値	有
C_{dc}	省略項	有
R_g	一定値	無
R_s,R_d	一定値	無
R_i	一定値	有
L_g,L_s,L_d	省略項	無
C_{gss},C_{dss}	省略項	無

以下、今回の解析で明らかにした市販ソフトウェアのモデル近似式の問題点について述べる。

5.1 g_mの不一致

DC特性で観測されたgmや4.1項で抽出されたg_mは、$|V_{gs}|=0V$付近で飽和傾向を示す。これは、4.1項で述べたようにR_sによる影響や活性層表面付近でのキャリア濃度低下の影響であると考えられる。ところが、Curticeのモデル近似式において、飽和領域のg_mは表5.2に示すようにV_{gs}に対しCubicモデルで2次関数、Quadraticモデルで1次関数となり、$|V_{gs}|=0V$付近の飽和傾向を近似できるものではない。さらに、QuadraticモデルではV_{gs}の1次関数なので$V_{gs}=V_p$付近でのg_mの滑らかな立ち上がりも近似できない。

表5.2 TECAPに使用されているモデル式(Curticeのモデル式)(12)(13)

Cubic モデル	$I_{ds}=(A_0+A_1*V+A_2*V^2+A_3*V^3)*\tanh(\gamma*V_{out})$ $V=V_{in}*(1+\beta*(V_{out}-V_{out^0}))$ V_{out^0}: A_0~A_3を決定した際のV_{out}値 β:Coefficient for pinch off charge with V_{ds} A_0:Coefficient for cubic polynominal A_1:Coefficient for cubic polynominal A_2:Coefficient for cubic polynominal A_3:Coefficient for cubic polynominal γ:Hyperbolic tangent function parameter $V_{out}=V_{out^0}$かつ飽和領域においては $g_m=A_1+2*A_2*V_{in}+3*A_3*V_{in}^2$
Quadratic モデル	$I_{ds}=\beta*(V_{in}-V_{th})^2*(1+\lambda*V_{out})*\tanh(\alpha*V_{out})$ β:Transconductance parameter Vth:Threshold voltage($V_{th}=V_p+V_{bi}$) λ:Channel length modulation parameter α:Hyperbolic tangent function parameter 飽和領域において $g_m=\beta*2*(V_{in}-V_{th})*(1+\lambda*V_{out})$
	$V_{in}=V_{gs}-I_{ds}*R_s$ $V_{out}=V_{ds}-I_{ds}*(R_s+R_d)$

5.2 C_{gs}の不一致

4.4項で抽出されたC_{gs}は$V_{gs}=0V$付近で変化は飽和しており、ピンチオフ電圧付近で変化が最も急峻となっている。飽和傾向は4.4項で述べたように活性層表面付近でのキャリア濃度低下との影響であると考えられる。Schottky Barrier Diodeの容量モデル式は表5.3に示すようにV_{gs}の逆数の平方根に比例した式で表現される。この式では$V_{gs}=0V$付近で最も急峻な変化となり飽和傾向を近似できない。またピンチオフ電圧付近での変化も近似できない。

表5.3 TECAPのCgsモデル式(2)

$C_{gs}=C_{gso}(1-V_{in}/V_{bi})^{-1/2}$
C_{gso}: $V_{in}=0V$のときのC_{gs}
$V_{in}=V_{gs}-R_s*I_{ds}$

5.3 R_{ds}の不一致

市販ソフトウェアではR_{ds}を一定値として扱っている。4.2項で抽出されたR_{ds}は大きなゲートバイアス依存性を持つ。R_{ds}はドレイン･ソース間の特性に大きく影響し、これを定数化することはドレイン･ソース間の非線形シミュレーションで誤差を招く。

5.4他の基本項の扱い

市販ソフトウェアでは基本項中、ドレイン電流(g_m)、C_{gs}、C_{dg}のみにバイアス依存性を持たせ、R_{ds}の他、τ、C_{ds}やR_iも一定値として扱っている。これらのパラメータはFETの高周波特性に対し大きな影響は与えないが、バイアス依存性を考慮することでより正確な近似が望める。

5.5省略項

市販ソフトウェアに用いられる等価回路(対称モデル)は図3.2よりC_{dc}、L_d、L_s、L_g、C_{gss}、C_{dss}を省いたものである。省略したことによる誤差の定量的な解析は行っていないが、AC小信号モデルでこれらの項を考慮した方がより正確な近似が望めることより、高周波領域の非線形シミュレーションにおいても、これらの項を考慮したモデルが望まれる。

6. プロセスの違いによる影響

本章では、活性層がエピタキシャル成長で作られたM004CSFとイオン注入で作られたN004CSFを比較することでプロセス･FET構造の違いが各モデルパラメータに与える影響について考察する。N004CSFのバイアス依存性の抽出、結果をグラフ化したものを図6.1~15に示す。今回の評価ではN004CSFの測定Sパラメータが図6.16に示すように滑らかでない特性(特に$V_{gs}=-1.2$~$-0.8V$で顕著)と

なった。このため、寄生項などのパラメータは初期値から変化しない、一定の傾向を示さないなどの現象が起き、目的とする最適化が十分出来なかった。従って、ここではFETの特性を大きく決め、抽出結果にも明確な傾向を示すg_m、τ、R_{ds}、C_{gs}、C_{dg}についてのみ比較を行い、表6.1に比較結果をまとめ、表6.2にM004CSFに対するN004CSFの特徴とその要因をFET構造上によるものとプロセスの違いに分けて記す。両者のいずれのモデルパラメータも全体的な傾向は似たものが得られた。C_{dg}については数値的にもほぼ同一になったため表6.2からは省いた。尚、両者のFET構造の違いを図6.17に示す。g_m、C_{gs}、C_{dg}共、M004CSFと同様に$|V_{gs}|$が小さいところで飽和傾向をしめした。これは、N004CSFの活性層がイオン注入で作成されキャリアプロファイルが正規分布に近い分布となり、活性層表面付近でキャリア濃度が低下しているためと考えられる。また、これはM004CSFの活性層表面付近でのキャリア濃度が低下していることを裏付ける。

表6.2より、プロセスの違いによるキャリアプロファイルの違い、FETの構造の違いはモデルパラメータのバイアス依存性に影響を与えることが確認できる。しかし、今回の評価では両者の活性層中のキャリアプロファイルの詳細が不明なことと両者の物理的形状が異なることのため、バイアス依存性の違いについて原因を絞り込めない等の問題があった。

表6.1　プロセスの違いによる各パラメータの違い

比較項目	M004CSF	N004CSF	条件
プロセス	エピタキシャル成長	イオン注入	
ピンチオフ電圧 (V_p)	-1.2V	-1.4V	V_{ds}=3V
g_m	31.1mS (I_{ds}=12.3mA)	33.3mS (I_{ds}=14.8mA)	V_{ds}=3V V_{gs}=-0.4V
ΔV_{gs}によるΔg_m	26.4mS*1	24.6mS*2	V_{ds}=3V ΔV_{gs}=0.6V
ΔV_{ds}によるΔg_m	5.5mS*3	8.5mS*4	V_{ds}=1→3V
τ	2.8pS	2.2pS	V_{ds}=3V V_{gs}=-0.4V
ΔV_{gs}による$\Delta\tau$	1.7pS*1	1.2pS*2	V_{ds}=3V ΔV_{gs}=0.6V
ΔV_{ds}による$\Delta\tau$	0.7pS*3	0.0pS*4	V_{ds}=1→3V
R_{ds}	373Ω	249Ω	V_{ds}=3V V_{gs}=-0.4V
ΔV_{gs}によるΔR_{ds}	2.3kΩ*1	2.3kΩ*2	V_{ds}=3V ΔV_{gs}=0.6V
ΔV_{ds}によるΔR_{ds}	430Ω*3	633Ω*4	V_{ds}=1→3V
C_{gs}	155fF	151fF	V_{ds}=3V V_{gs}=-0.4V
ΔV_{gs}によるΔC_{gs}	90fF*1	67fF*2	V_{ds}=3V ΔV_{gs}=0.6V
ΔV_{ds}によるΔC_{gs}	22fF*3	20fF*4	V_{ds}=1→3V
C_{gd}	18fF	19fF	V_{ds}=3V V_{gs}=-0.4V
ΔV_{gs}によるΔC_{dg}	8fF*1	8fF*2	V_{ds}=3V ΔV_{gs}=0.6V
ΔV_{ds}によるΔC_{dg}	7fF*3	6fF*4	V_{ds}=1→3V

*1:V_{gs}=-1.0→-0.4V、*2:V_{gs}=-1.2→-0.6V
*3:V_{gs}=-0.8V、*4:V_{gs}=-1.0V、*1～*4:V_pの違いを考慮して選んだ。

表6.2N004CSFの特徴とその要因

モデルパラメータ	M004CSFに比べたN004CSFの特徴	考えられる左記特徴の要因	
		FET構造の違い*1	プロセスの違い
g_m	V_{gs}がより小さい値より飽和傾向が始まる		キャリアの深さ方向の分布が正規分布。(表面付近は空乏層)
	V_{gs}変化分に対しg_mの変化が小さい。 $\|V_p\|$が大。		キャリア濃度の深さ方向の変化がなだらか。
τ	値が全体的に小さい。	キャリアの走行距離小。(短ゲート長)	
	V_{ds}変化分に対しτの変化が小さい。	キャリアの走行距離小。(短ゲート長)	
R_{ds}	値が全体的に小さい。	ドレイン側のn+層とソース側のn+層が近接しているため。	
C_{gs}	V_{ds}変化分に対しC_{gs}の変化が小さい。	ゲート電極とドレイン側のn+層が離れているため。	
	$V_{gs}<V_p$で大きい値を示す。	ゲート電極とソース側のn+層が近接しているため。	
	$V_{gs}>V_p$かつ飽和領域では両者はよく一致。		

*1一般に短ゲート長のFETは短ゲート効果で基板漏れ電流が大となる。N004CSFでは活性層下にp層を埋め込み、これを減じている。ピンチオフ時($V_{ds}=3V$, $V_{gs}=-1.6V$)の基板漏れ電流:M004CSF＝1.3μA、N004CSF＝1.7μA。

7. まとめ

MMICに用いるサブミクロンゲート長を持つGaAs MES FETのAC小信号モデルの各パラメータについてバイアス依存性を調査することで市販の非線形解析ソフトウェアに用いられているGaAs MES FETデバイスモデル式の定性的な問題点を解析した。以下にそれらをまとめる。

① g_mのV_{gs}依存性について市販ソフトウェアに用いられるCurticeのモデル式では表面空乏層とソース抵抗により生じると考えられる$|V_{gs}|=0V$付近での飽和傾向を近似出来ない。具体的にはソース接地FETのゲート･ドレイン間の伝達特性等の近似に誤差をきたす。

② FETの基本特性に対し、ドレイン電圧の変化による空乏層形状変化等の影響は無視できない。しかし、従来の近似モデル式ではドレイン電圧を変えた場合のV_p、g_m、C_{gs}の変化などは考慮されていない。

③ ドレイン･ソース間のインピーダンスに大きな影響力を持つR_{ds}についてのV_{gs}、V_{ds}依存性は理論的に定量化されてなく、市販のFETの非線形特性近似ソフトウェアでは一定値として扱われる。したがって、ドレイン･ソース間のインピーダンスの近似に誤差をきたす。

④ C_{gs}、C_{dg}について、市販のFETの非線形特性近似ソフトウェアではSchottky Barrier DiodeのC－V特性の近似式を用いるが、この近似式では$|V_{gs}|=0V$付近での表面付近のキャリア濃度の低下により生じると考えられる飽和傾向とピンチオフ電圧付近での変化を近似出来ない。したがって、各端子間のインピーダンス、過渡特性の近似に誤差をきたす。

さらに、プロセスの違いが各パラメータのバイアス依存性に与える影響についても評価を行い、FETの非線形性を近似するモデル式においてキャリアプロファイルやFETの形状を考慮した項が必要であることを確認した。今後は、本報告に基づき、各パラメータのバイアス依存に依る変化をFETの現象論(空乏層や電子流の変化)として定量的に把握すると共に、より正確にFETの非線形性を近似できるモデル式の検討を進め、既に試作したミキサ等の解析にこのモデル式を適用し、その妥当性を評価する予定である。

(参考文献)

(1): 平岡　他;昭和61年度試作MMICの能動素子特性評価:ATRテクニカルレポート:TR-o-0001　1987.9

(2): TECAP GaAs Model Manual (HP社)

(3): 水田　他;ゲート・ドレイン間表面空乏層似よるGaAs FETの長ゲート効果:信学技報SSD86-128

(4): R.Wroblewski et al;Theorrtical Analysis of the DC Avalanche Breakdown in GaAs MESFET's:IEEE Trans. ED ED-30 No.2 Feb. 1983

(5): 水田　他;GaAs MESFETゲート・ドレイン間なだれ降伏の理論解析:信学技報ED86-4

(6): H.Fukui;Determination of the Basic Device Parameters of a GaAs MESFET:ATT Bell System Technical Journal vol.58 No.3 Mar.1979

(7): Eastman,L.F. et al;Substrate Current in GaAs MESFETs:IEEE Trans. ED ED-26 pp1359 1979

(8): Bonjour,P et al;Saturation Mechanism in I-μm Gate GaAs FET with Channel-Substrate Interfacial Barrier:IEEE Trans. ED ED-23 pp388 1976

(9): 赤池　他:GaAs MESFETの高周波における等価回路定数の解析:信学技報MW86-133 pp65

(10): 赤池　他:GaAs MESFETの能動層における空乏層と高周波での小信号アドミッタンス:信学技報MW87-3 pp13

(11): T.J.Brazil et al;Modeling the Gate Capacitance Nonlinerity in GaAs MESFET's:18th European Microwave Conference Proceedings pp237 1988

(12): Walter R. Curtice et al; A Nonlinear GaAs FET Model for Use in the Design of Output Circuits for Power Amprifiers : IEEE Trans. MTT-33 No.22 pp1383 Dec. 1985

(13): Walter R. Curtice ; A MESFET Model for Use in the Design of GaAs Integrated Circuits: IEEE Trans. MTT-28 No.5 pp448 May. 1980

付録①

```
Touchstone (TM) - Configuration( 100 1600 100 17372 3605 1000 1 3294 )
             M2F2_7A.CKT    Mon Dec 05 15:47:55 1988

! FETMODEL circuit file  Oct.24 1986
! Circuit model of a GaAs FET by Epitaxial
! Last version
DIM
  FREQ GHZ
  RES OH
  IND NH
  CAP PF
VAR
  G#0.010 0.02382 0.05
  T#0.1 3.00337 10
  F=0
  C1#0.001 0.12970 .5                    !Cgs
  G1=0                                   !Ggs
  R1#0.1 2.12879 10                      !Ri
  C2#0.001 0.02033 0.1                   !Cdg
  C3#0.001 0.00344 0.1                   !Cdc
  C4#0.001 0.01250 0.1                   !Cds
  R4#100 437.71893 5000                  !Rds
  RS#0.5 3.07589 10                      !Rs
CKT
  FET2 2 3 5 G^G T^T F^F CGS^C1 GGS^G1 RI^R1 CDG^C2 CDC^C3 CDS^C4 RDS^R4 RS^R
  RES 1 2 R#0.5 5.49945 10               !Rg  initial value=10
  RES 3 4 R#0.5 3.36143 10               !Rd initial value=4
  CAP 1 5 C#0.001 0.00874 0.1            !CGSS initail value=0.02
  CAP 4 5 C#0.001 0.01967 0.1            !CDSS initial value=0.02
  DEF3P 1 4 5 FFF                        !W=150um FET Model Difinition
 !TOTAL FET
  FFF 10 20 30
  IND 10 11 L#0.001 0.00552 0.1          !Lg  initial value=.008
  IND 20 21 L#0.001 0.00489 0.1          !Ld
  IND 30 0 L#0.001 0.00807 0.1           !Ls
  DEF2P 11 21 CAL                        !Total FET Model difinition
!
  S2PA 1 2 0  M2F2_7                     !EPI. FET S_para DATA
  DEF2P 1 2 MES
!
FREQ
  SWEEP 1 26 1
OUT
  CAL S11 SC2
  MES S11 SC2
! CAL S12 SC1
! MES S12 SC1
! CAL S21 SC3
! MES S21 SC3
  CAL S22 SC2
  MES S22 SC2
OPT
  RANGE 1 26 1
  CAL MODEL MES
```

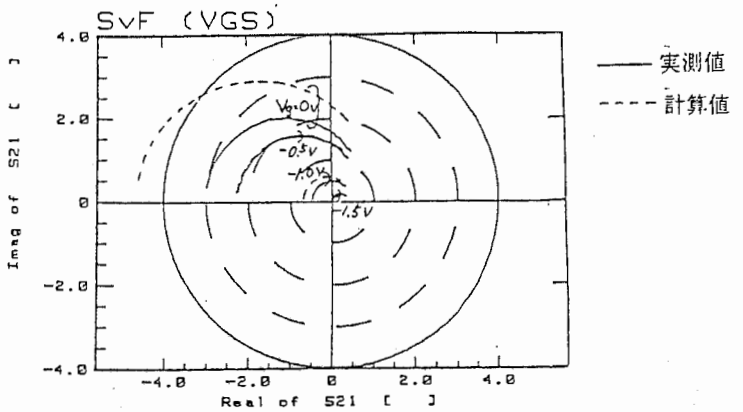


図2.1　ソース接地MES FETの伝送特性(実測値と計算値)

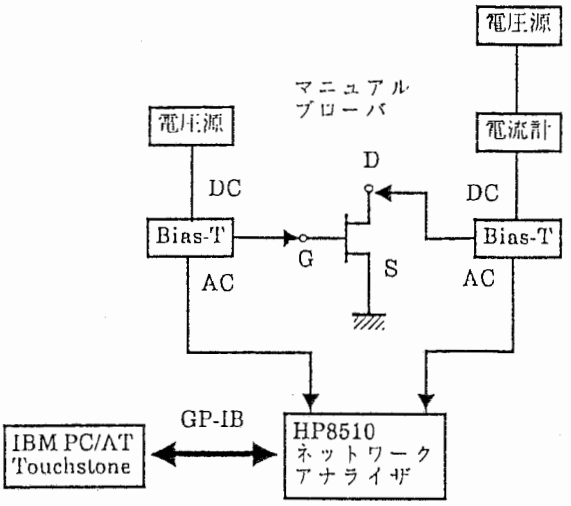


図3.1　AC小信号解析のためのSパラメータ測定系

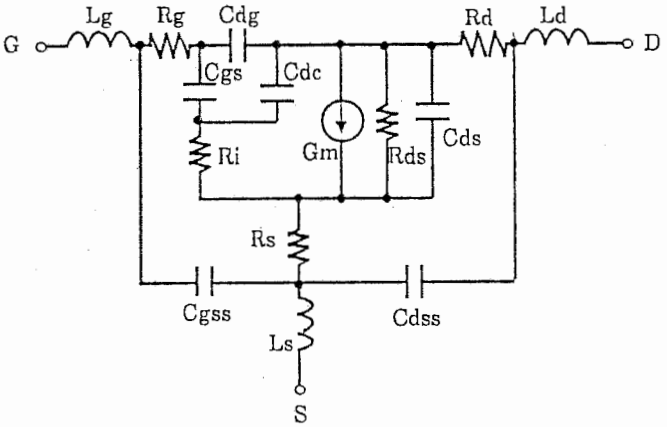


図3.2　GaAs FETのAC小信号モデル等価回路

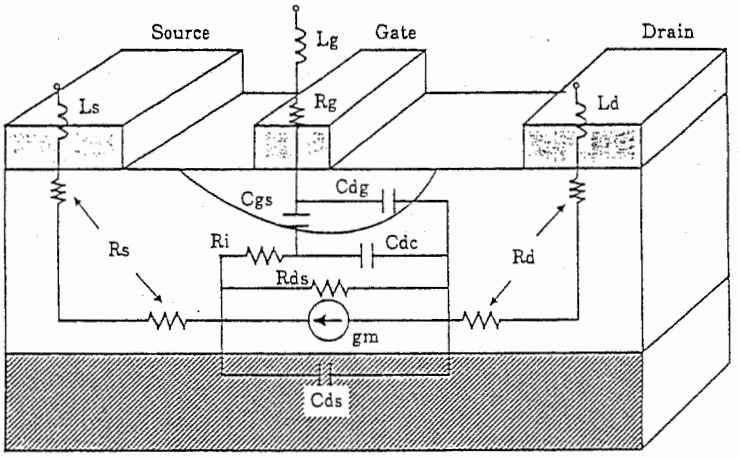
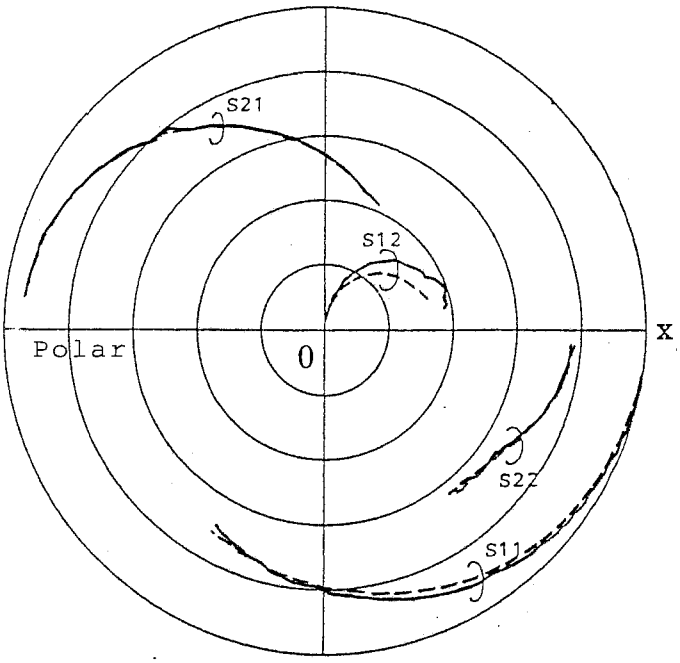


図3.3　FET形状と等価回路の関係

Sパラメータ(ソース接地、ゲート:port1、ドレイン:port2)



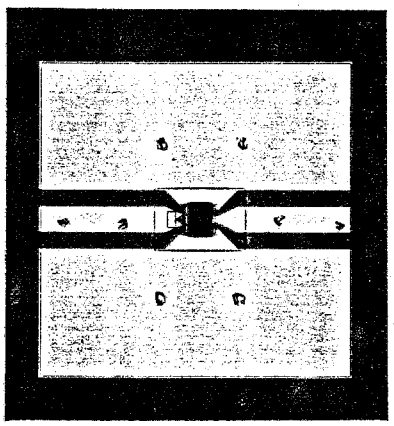
—:測定
---:計算

サンプル:	M004CSF
周波数:	1~26GHz
スケール:	S11: x=1
	S21: x=3
	S12: x=0.33
	S22: x=1
DC	Vd: 3V
バイアス	Vg: -0.2V

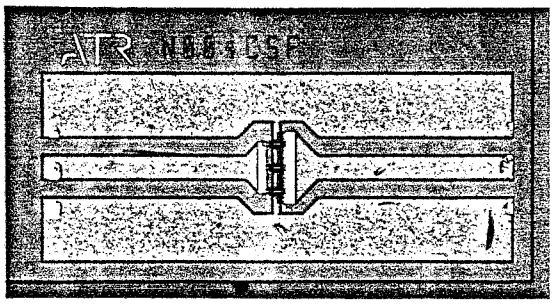
AC小信号モデルパラメータ:

gm:	35.03mS	Rs:	2.538Ω
τ:	2.715pS	Rd:	3.427Ω
Rds:	366.57Ω	Rg:	6.181Ω
Cgs:	0.168pF	Cgss:	0.0077pF
Cdg:	0.0167pF	Cdss:	0.0228pF
Cds:	0.0129pF	Ls:	0.0014nH
Cdc:	0.0031pF	Ld:	0.0037nH
Ri:	2.127Ω	Lg:	0.0133nH

図3.4　抽出下モデルパラメータとそれを用いたSパラメータ計算値



(a)M004CSF



(b)N004CSF

図3.5　チップ写真

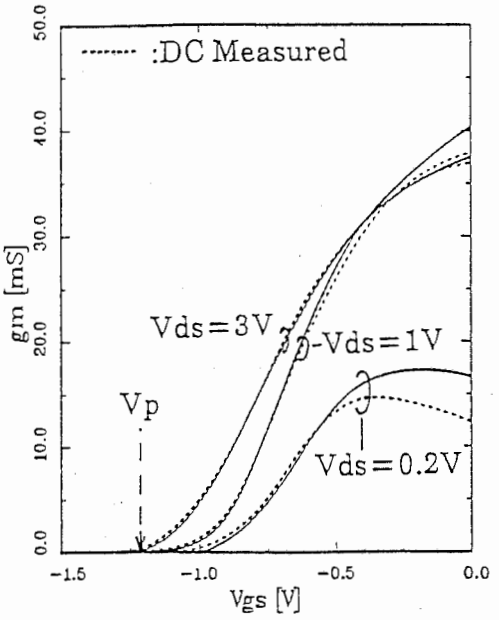


図4.1　抽出gmのバイアス依存性と実測gm(DC)

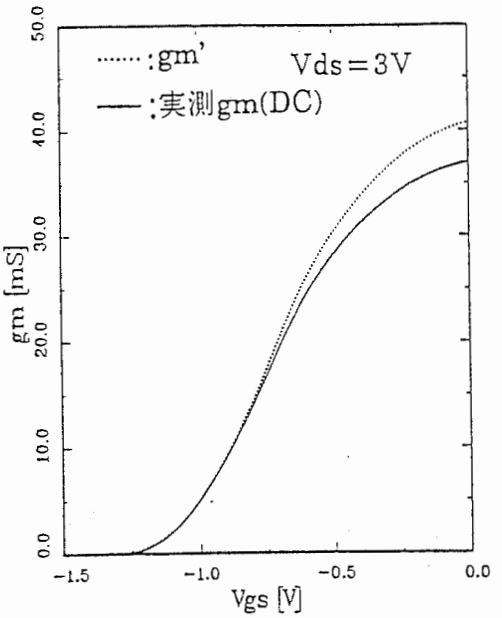


図4.2　Rsの影響を除いた相互コンダクタンス(gm')と実測gm(DC)

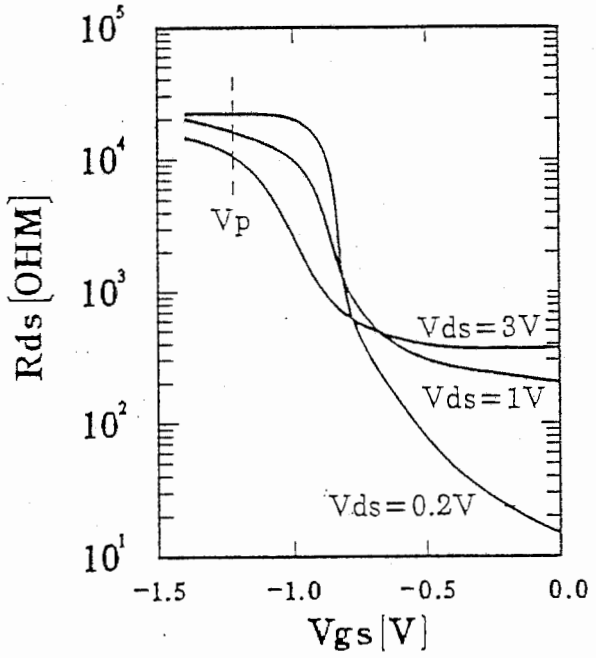


図4.3　抽出Rdsのバイアス依存性

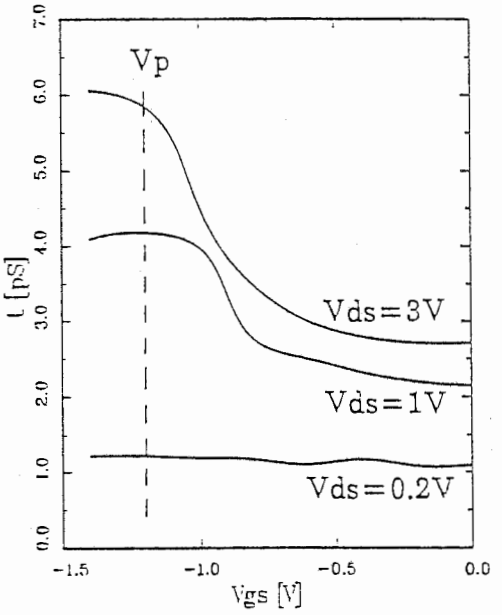


図4.4　抽出τのバイアス依存性

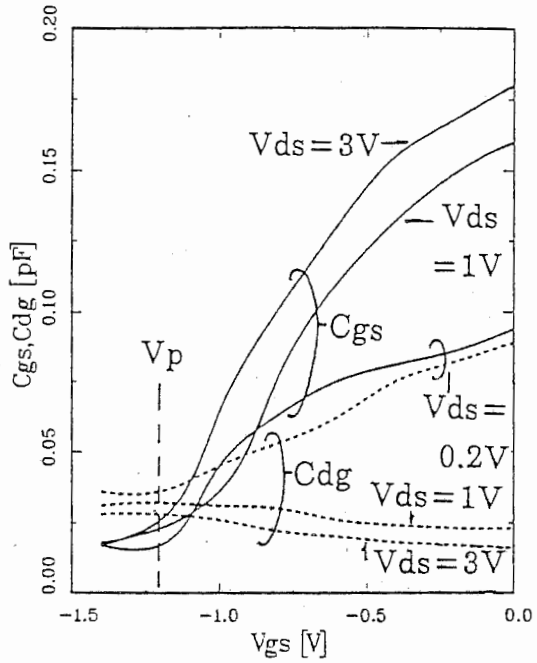


図4.5　抽出Cgs、Cdgのバイアス依存性

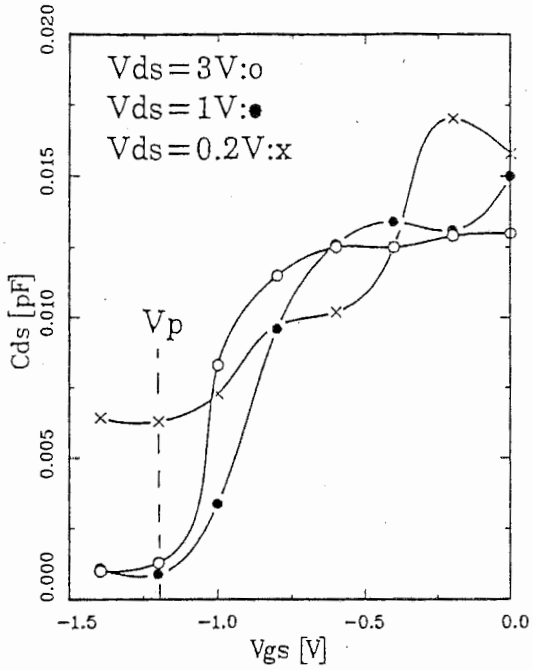


図4.6　抽出Cdsのバイアス依存性

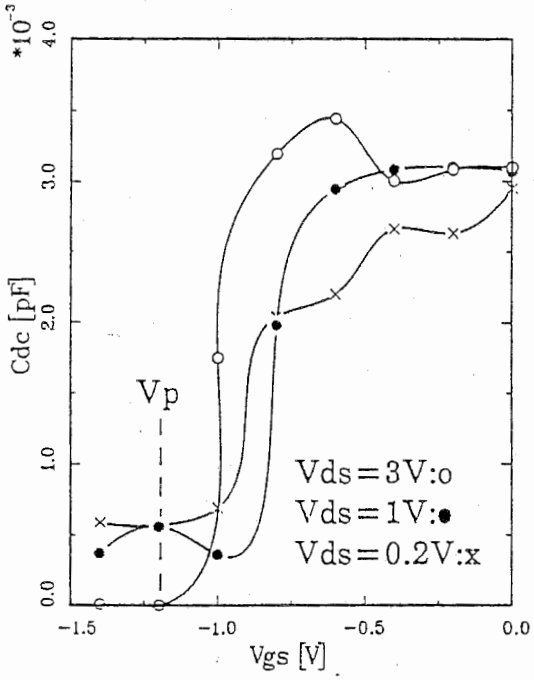


図4.7　抽出Cdcのバイアス依存性

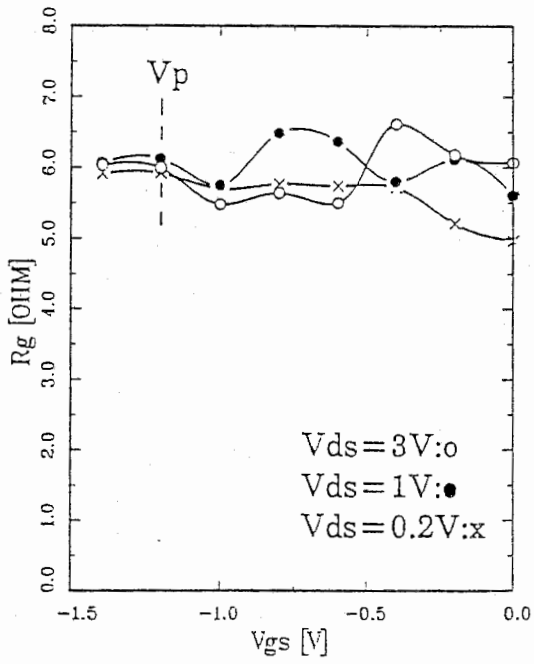


図4.8　抽出Rgのバイアス依存性

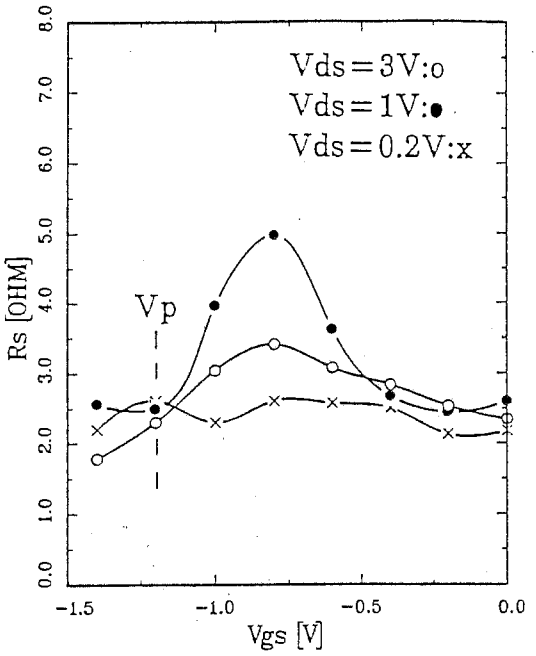


図4.9　抽出Rsのバイアス依存性

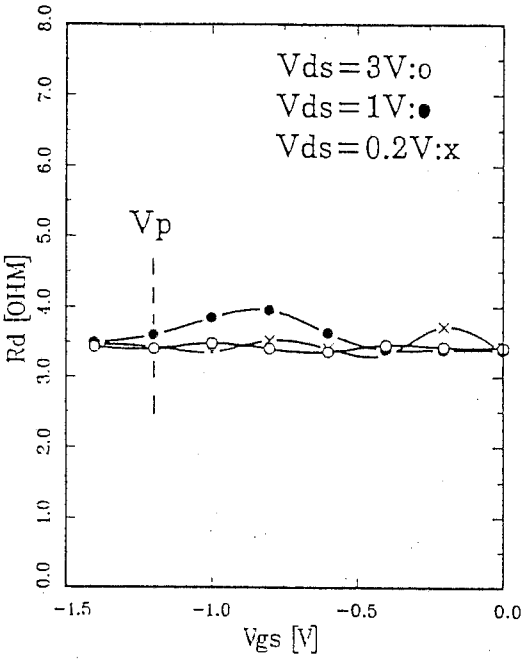


図4.10　抽出Rdのバイアス依存性

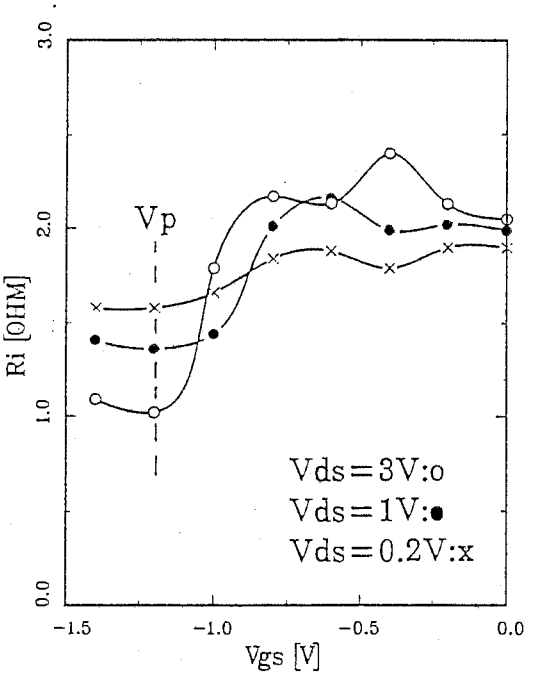


図4.11　抽出Riのバイアス依存性

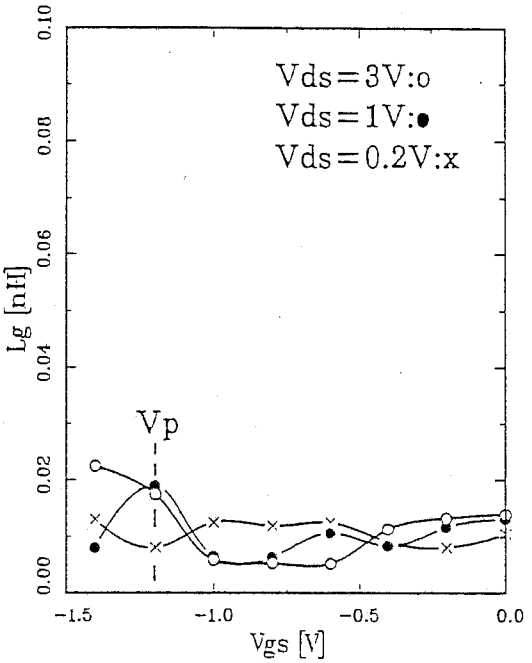


図4.12　抽出Lgのバイアス依存性

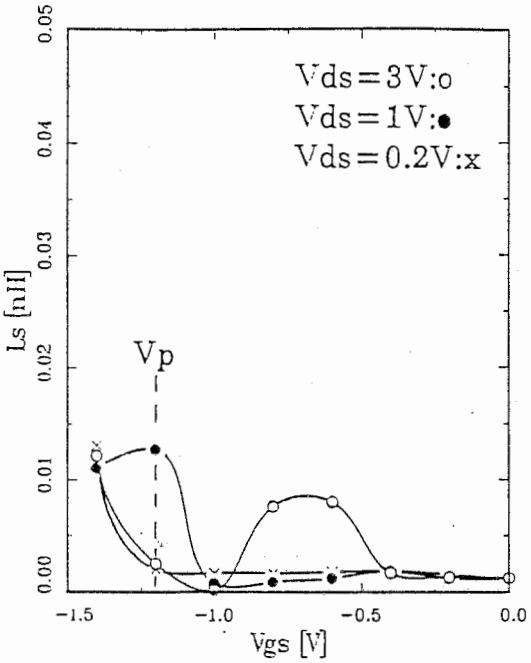


図4.13　抽出Lsのバイアス依存性

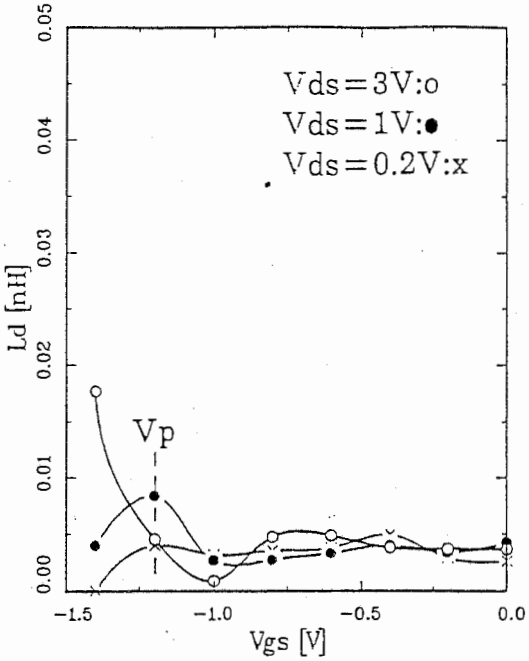


図4.14　抽出Ldのバイアス依存性

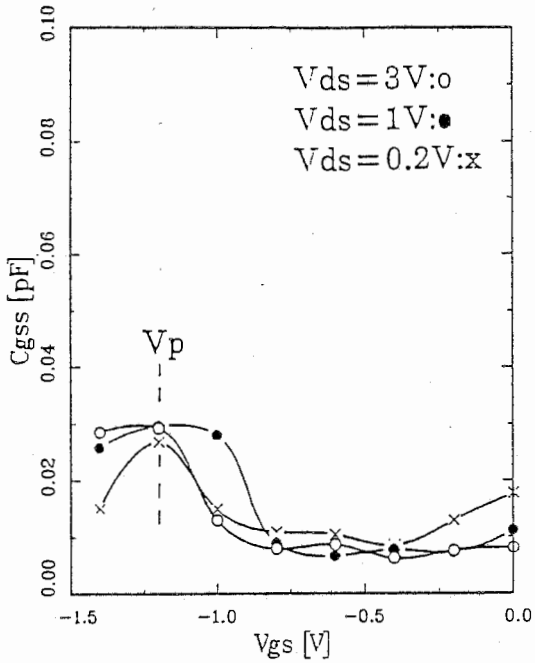


図4.15　抽出Cgssのバイアス依存性

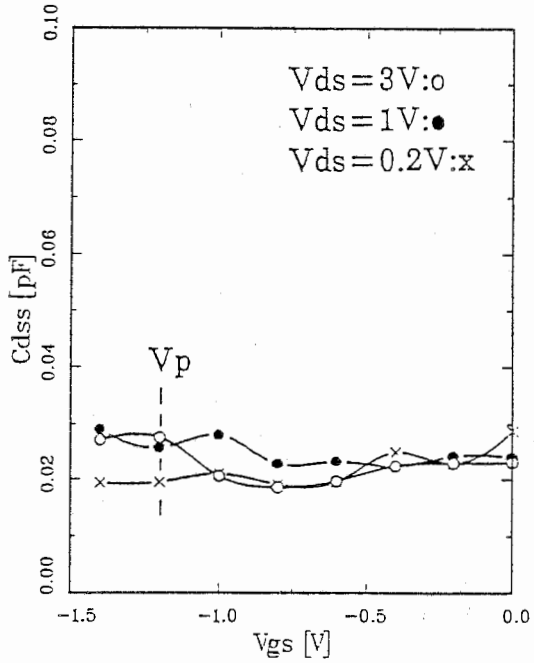


図4.16　抽出Cdssのバイアス依存性

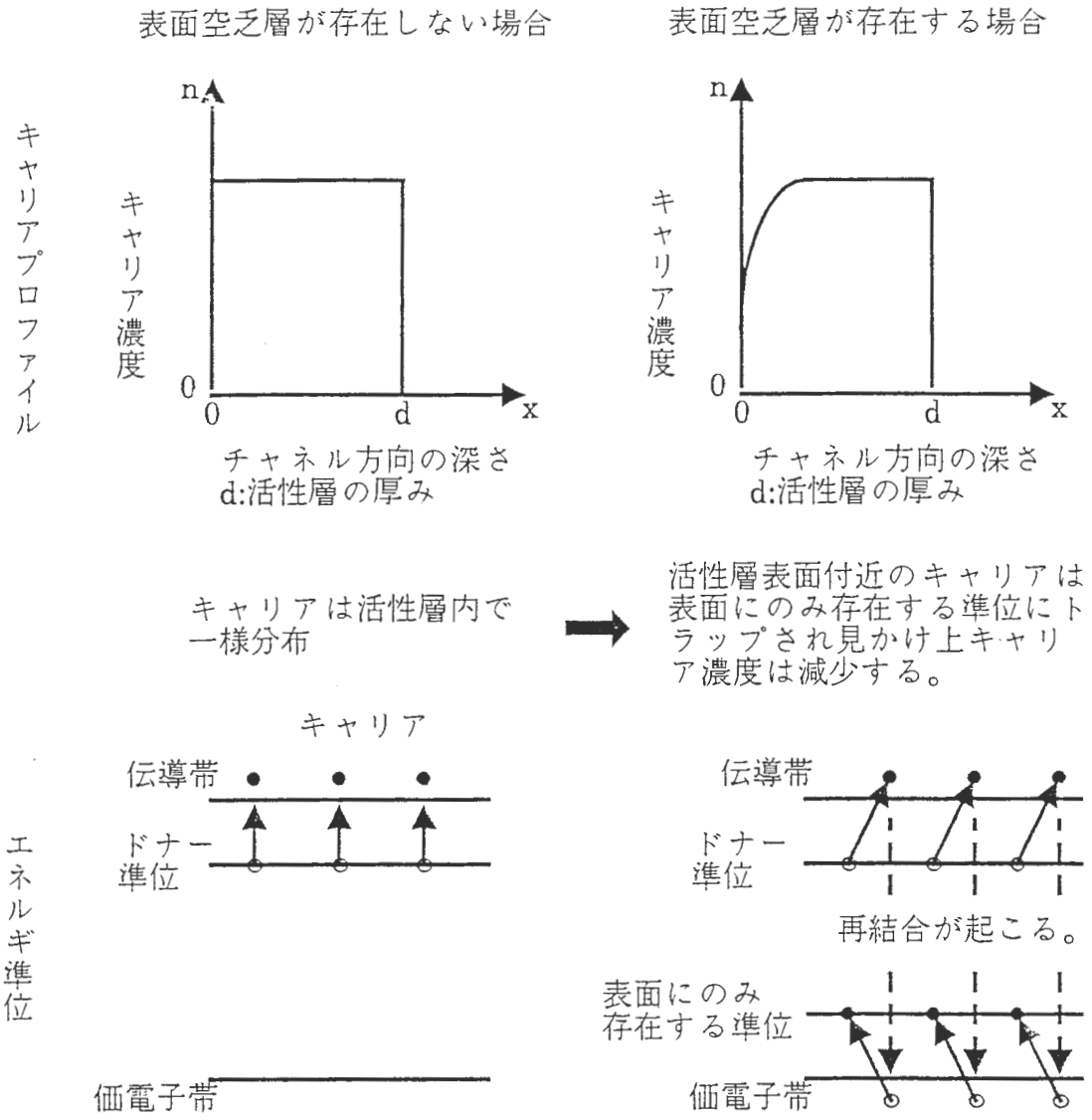


図4.17　表面空乏層が存在しない･する場合のキャリアプロファイルとエネルギー準位

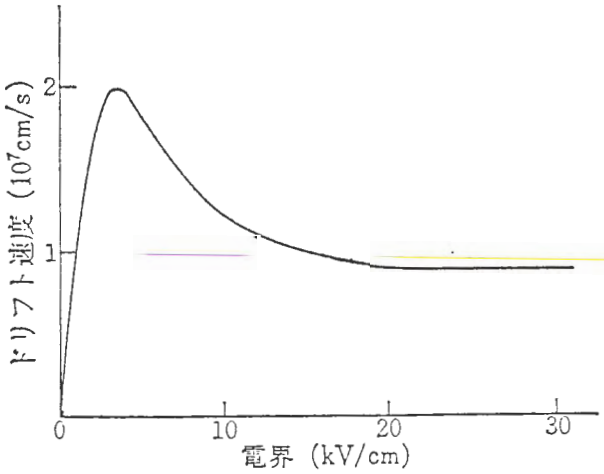


図4.18　GaAs中のキャリアの走行速度と電界の関係

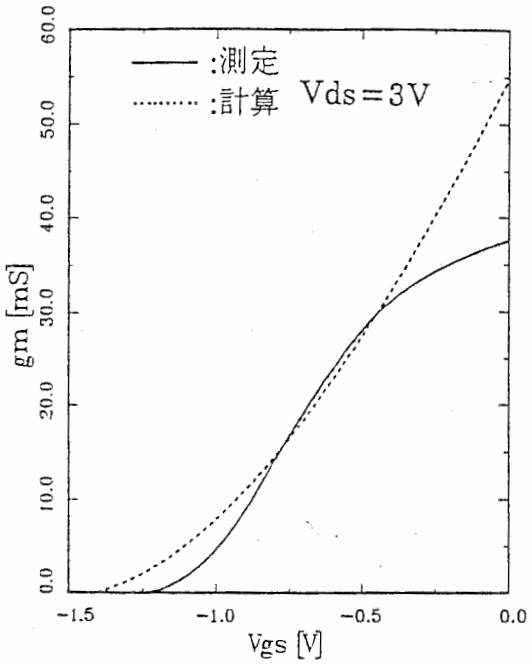


図5.1　抽出gmと近似モデル式によるgm

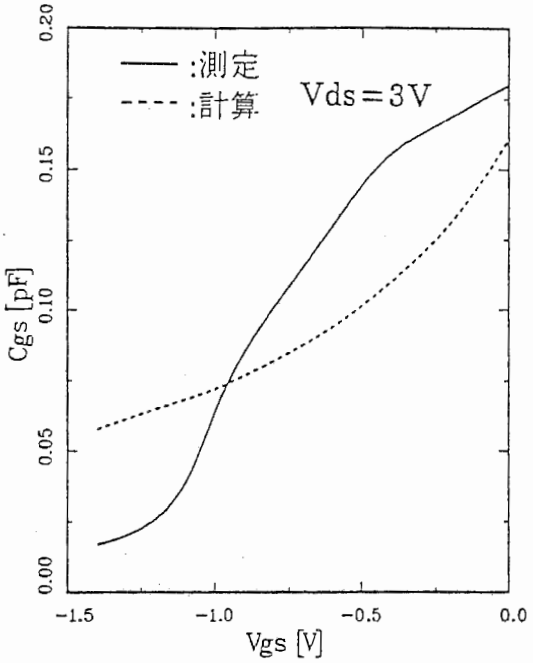


図5.2　抽出Cgsと近似モデル式によるCgs

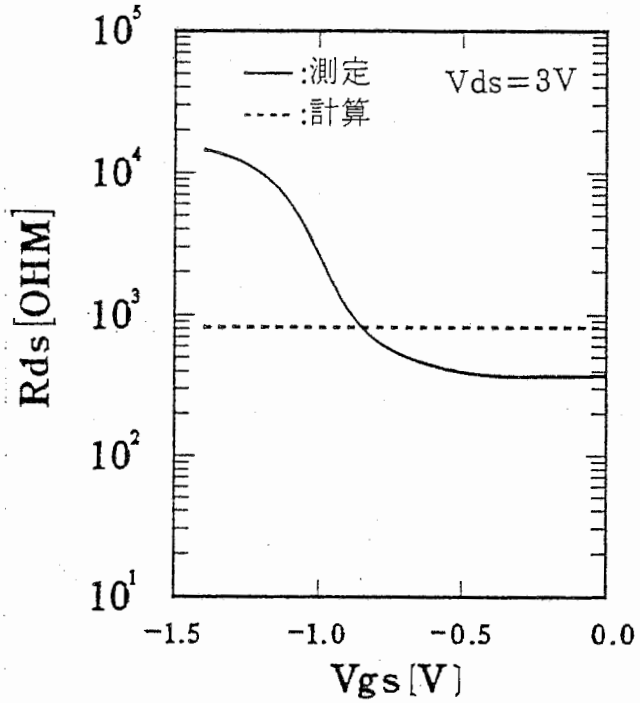


図5.3　抽出Rdsと近似モデル式によるRds

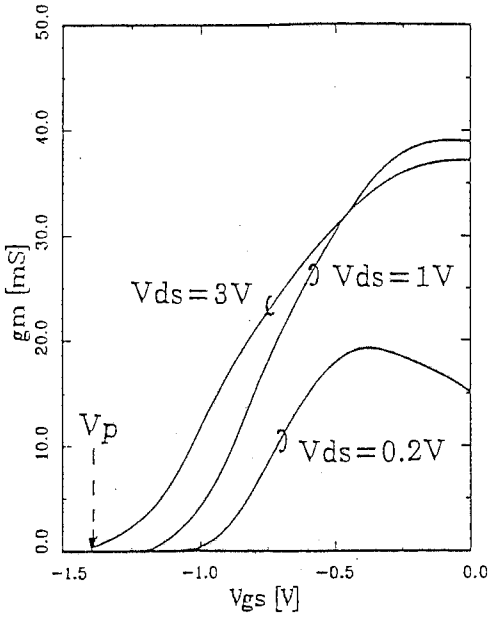


図6.1　抽出gmのバイアス依存性と実測gm

(N004CSF)

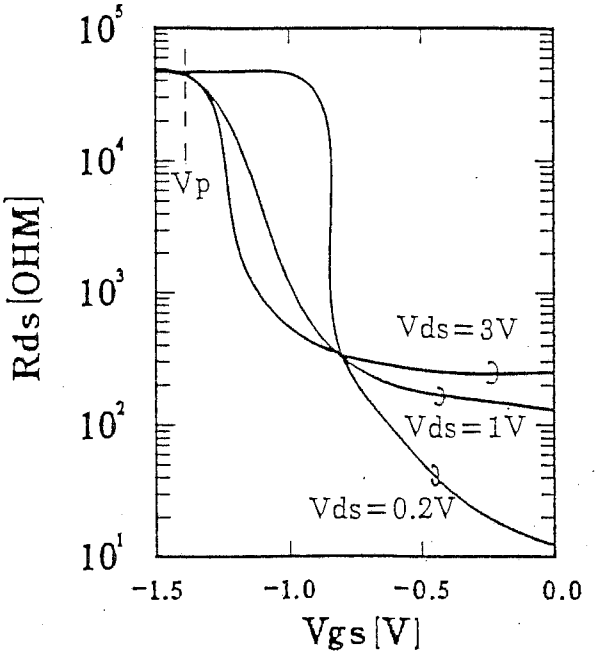


図6.2　抽出Rdsのバイアス依存性(N004CSF)

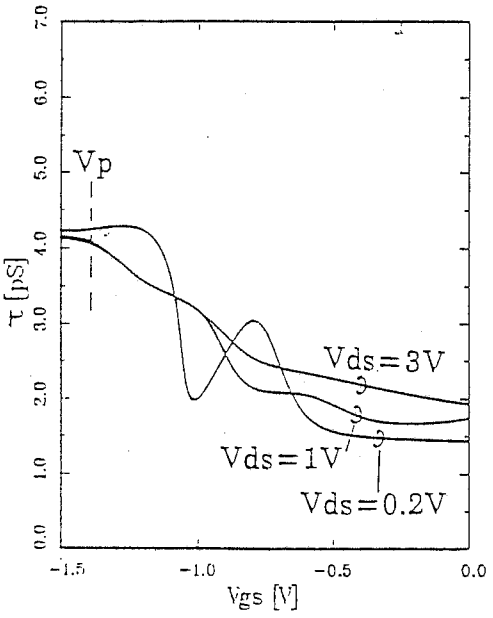


図6.3　抽出τのバイアス依存性(N004CSF)

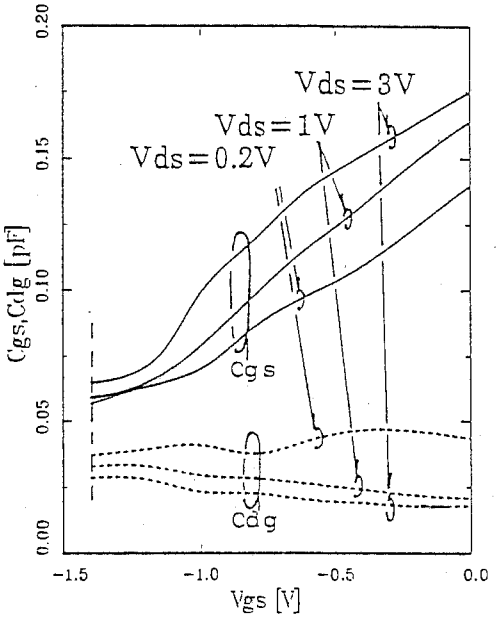


図6.4　抽出Cgs、Cdgのバイアス依存性

(N004CSF)

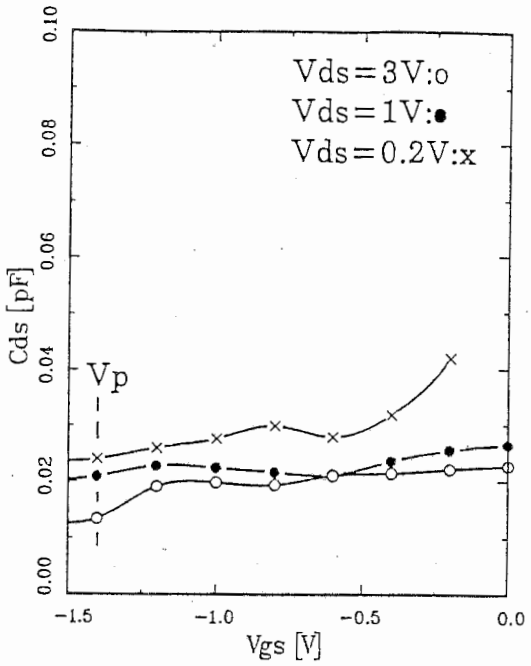


図6.5　抽出Cdsのバイアス依存性(N004CSF)

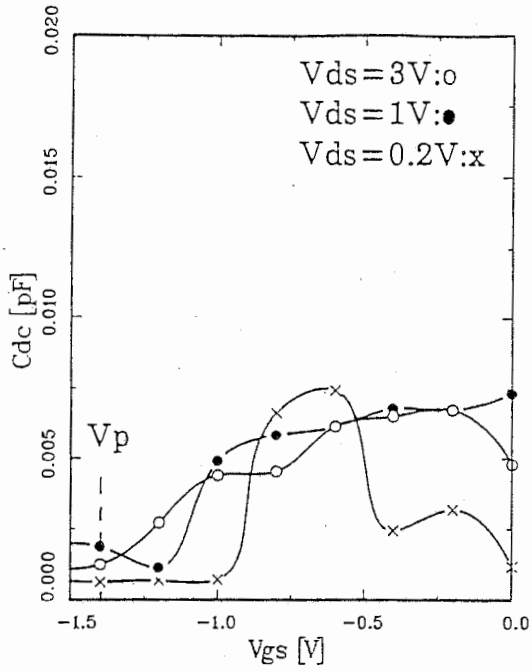


図6.6　抽出Cdcのバイアス依存性(N004CSF)

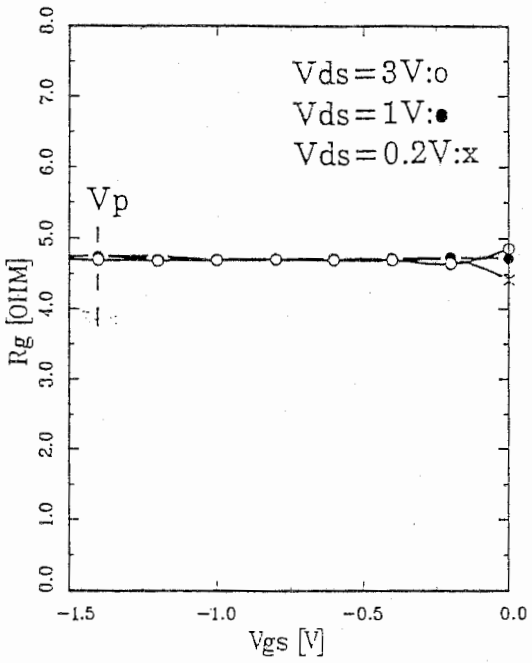


図6.7　抽出Rgのバイアス依存性(N004CSF)

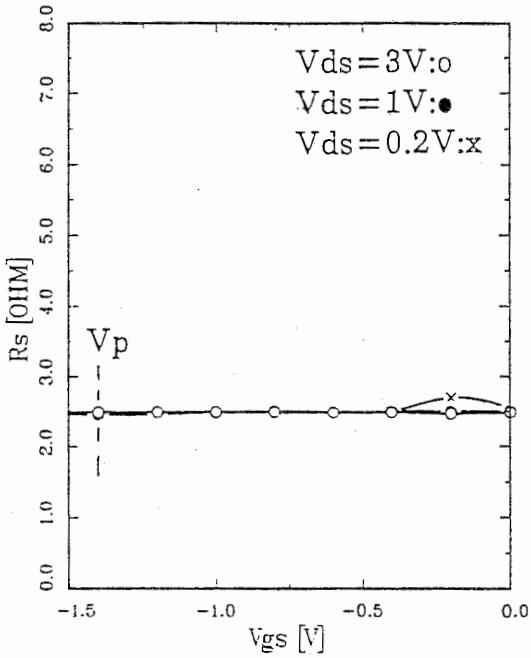


図6.8　抽出Rsのバイアス依存性(N004CSF)

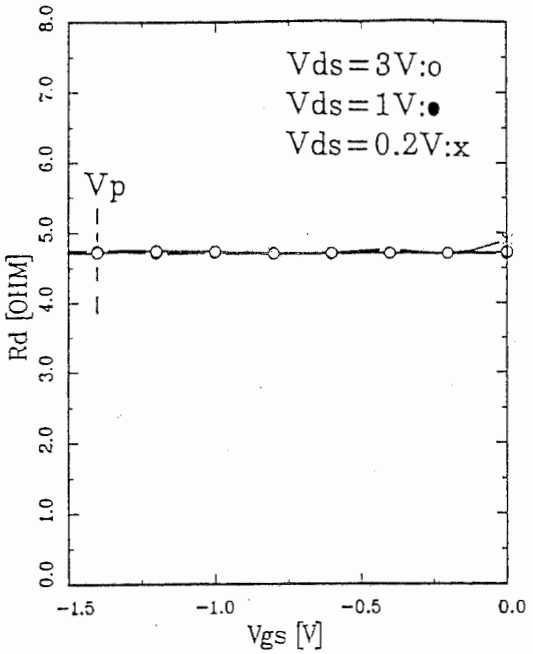


図6.9　抽出Rdのバイアス依存性(N004CSF)

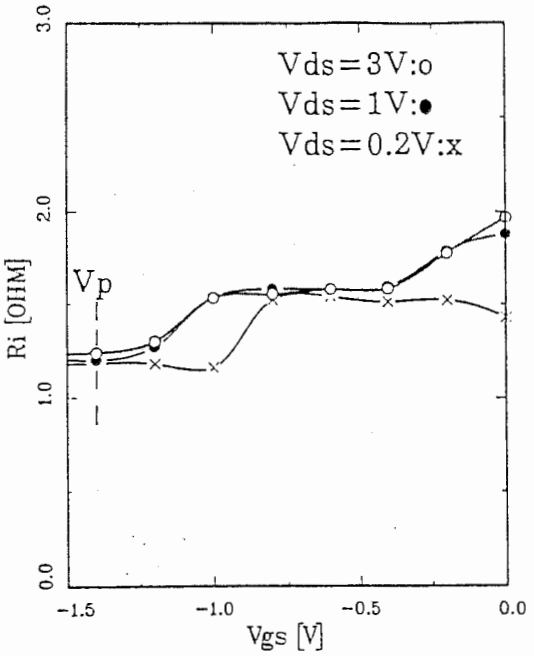


図6.10　抽出Riのバイアス依存性(N004CSF)

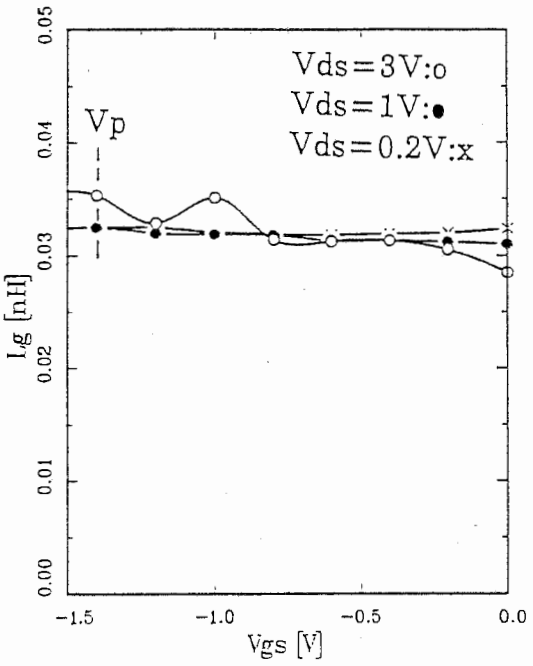


図6.11　抽出Lgのバイアス依存性(N004CSF)

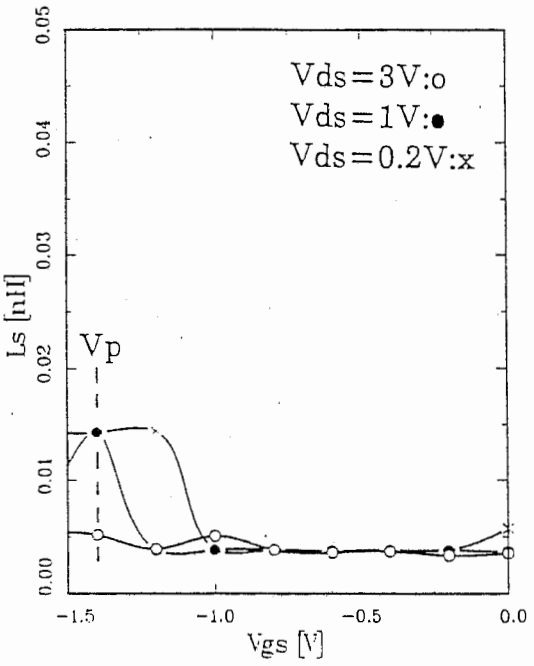


図6.12　抽出Lsのバイアス依存性(N004CSF)

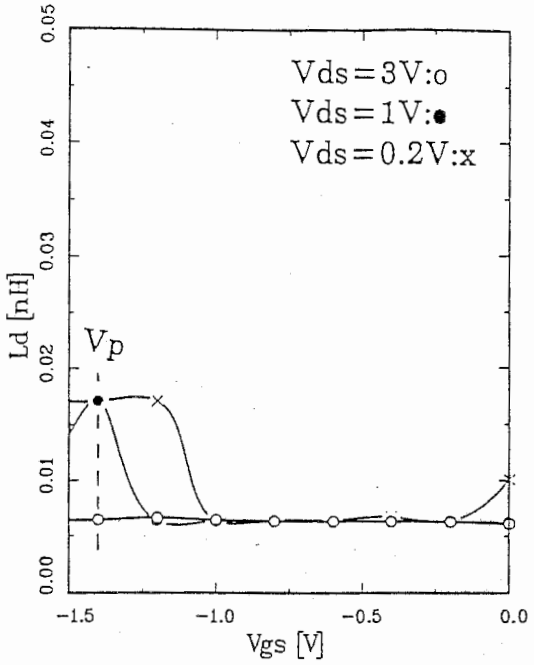


図6.13　抽出Ldのバイアス依存性(N004CSF)

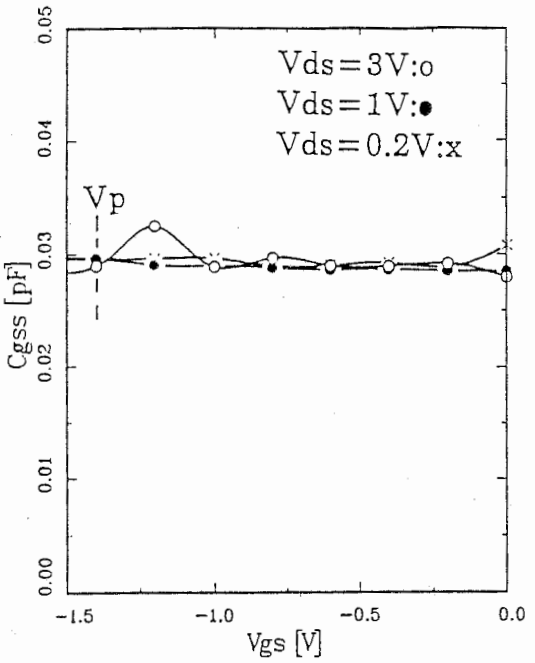


図6.14　抽出Cgssのバイアス依存性(N004CSF)

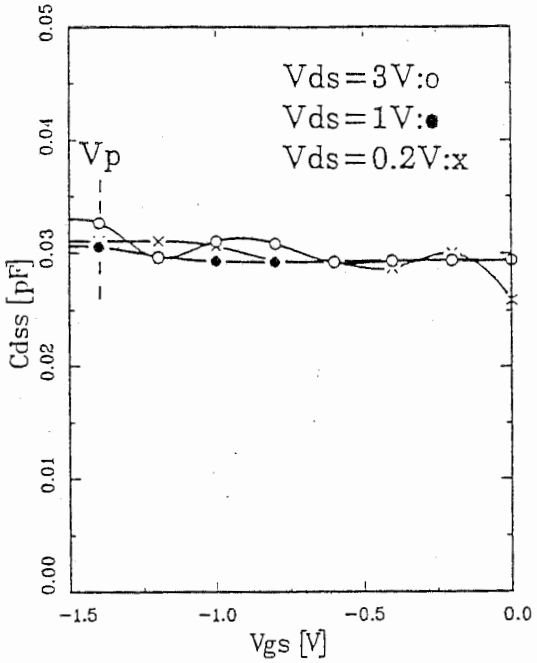


図6.15　抽出Cdssのバイアス依存性(N004CSF)

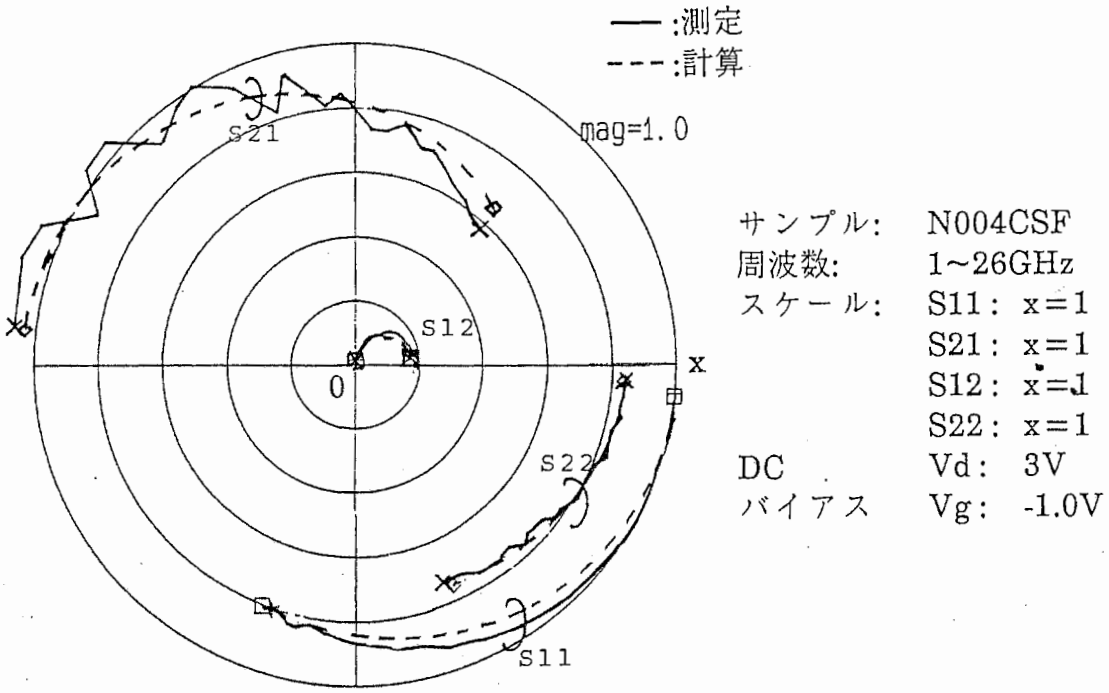
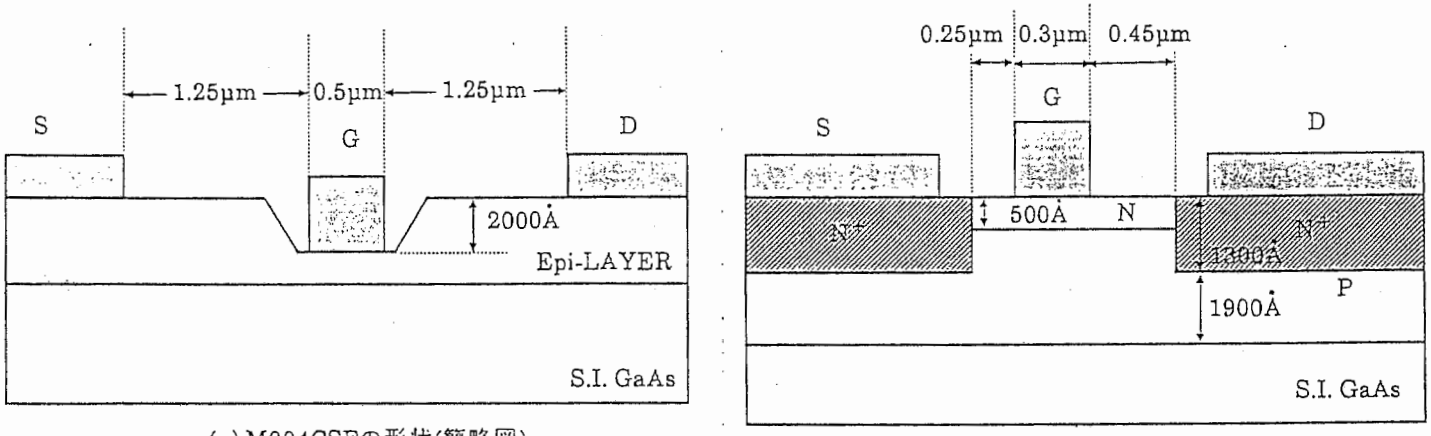


図6.16　ソース接地MES FETの伝送特性



(a) M004CSFの形状(簡略図)

(b) N004CSFの形状(簡略図)

図6.17　各FETの形状