

TR - o - 005

LUFET MMIC・多層化MMICの試作検討—第1次試作—

原 信二      中本博之      竹中 勉      徳満恒雄      相川正義

37

1988.11.17.

ATR光電波通信研究所

## 概要 (Abstract)

ATR光電波通信研究所では、適応制御型アンテナ及び移動機の超小型化・高機能化等に向け、モノリシックマイクロ波IC(MMIC)の高集積化の研究を行っている。昭和61年度、LUFET MMICおよび多層化MMICの試作を行い、61年度末~62年度にかけて、順次これらの測定・評価を行った。本報告は、ATRにおけるMMIC研究の方針を述べると共に、各種基本回路の特性評価を示したものである。具体的な内容として、線路一体化FETの提案を行い、それらを用いた、各種基本回路の特性評価を示す。また、共平面MMICで必要とされる各種のパタンの評価結果を示す。最後に、多層化MMICのための基礎検討結果を示す。

## 発行時 配付先 (Initial Distribution Specifications)

葉原会長

古濱社長

安川室長

藤本室長

高橋企画課長

無線通信第2研究室員

## 備考 (Notes)

# LUFET MMIC化・多層化MMICの試作検討 ——第1次試作——

原 信二      中本博之      竹中 勉      徳満恒雄      相川正義

## 目次

1.	<u>まえがき</u>	p. 1
2.	<u>ATRにおけるMMIC研究の方針と特徴</u>	p. 2
2.1	ATRにおけるMMIC研究のねらい	
3.	LUFET MMIC	p. 4
3.1	線路一体化FET	
3.1.1	インピーダンス変換LUFET	
3.1.2	線路変換LUFET	
3.1.3	電力分配・合成LUFET	
3.1.4	線路一体化FETの特性	
3.2	線路一体化FETとアクティブマッチング技術との融合	p. 5
3.2.1	LUFET MMIC試作回路	
3.2.2	試作回路の基本設計	p. 6
3.2.3	試作結果	p. 7
3.3	TEGの評価	
3.3.1	GaAs基板上CPWの特性	
3.3.2	GaAs基板上に形成されたスロットライン	
4.	<u>多層化MMICのための基礎検討</u>	p. 11
4.1	多層化MMICのための誘電体薄膜材料の選択	
4.2	誘電体膜上の伝送線路と入出力伝送線路との連結プロセス	p. 12
4.3	薄膜上に形成されたマイクロストリップラインの特性	
4.4	薄膜を用いた新しいマイクロ波線路	p. 13
4.5	交差回路の特性	p. 15
4.6	多層SiON膜	p. 16
5.	<u>あとがき</u>	
	(文献)	p. 17
	(図面集)	p. 18

## 1. まえがき

A T R 光電波通信研究所では、将来の無線通信用の超小型移動機や高機能アンテナの実現などを主な目的としてモノリシックマイクロ波集積回路 (M M I C) の研究を行っている。M M I C とはガリウム砒素などの半絶縁性半導体基板上に、トランジスタ・ダイオードなどの能動素子と、抵抗・容量・インダクタなどから成る受動回路を半導体プロセス技術によって一括作製するマイクロ波 I C の総称である。M M I C は、薄膜受動回路に個別のトランジスタ・容量などを実装した従来の混成マイクロ波集積回路 (M I C) に比べて小型・高信頼化が容易であり、かつ電気的特性や量産性にも優れている。

ここ 10 年間程、多くの企業、研究機関において、M M I C の研究開発が盛んにおこなわれており、現在、その動作周波数はミリ波帯まで及んでいる。このような状況下において、米国では各メーカー独自の研究開発に加えて、国防省が 1986 年から各種軍用システムによる低コスト化を主な目的として「M I M I C 計画」を推進し、国家的なリーダーシップによる研究開発を進めている〔文献①、②〕。これは、M M I C 研究開発の強力な推進プランとして世界的に注目されている。

ところで M M I C 技術は、これまで半導体プロセスの進展を主な牽引力として発展してきた。しかし、回路設計においては、M I C で行われていた設計を高精度化するための研究開発が主で、F E T (電界効果トランジスタ) などの能動デバイスと受動回路は、依然として別個のものとして扱われてきた。すなわち、回路設計においてまず、半導体デバイスを選定し、次にこれに接続するマイクロ波伝送線路を設定する。計算機を用いた回路設計技術 (C A D) によって所望の特性が得られるように最適化する。この場合、受動回路は半導体デバイスに比べて一般に形状が大変大きくなる。

最近、M M I C の小型・高機能化を指向した研究開発も検討されるようになってきたが、低周波回路技術をそのまま応用したものが多く高周波化には限界がある。また、半導体基板上に平面的に回路を配置する点は従来と同じであり、回路の小型化にも限界がある。当研究所ではこのような技術状況を踏まえ、M M I C の大幅な小型・高機能化および高周波化を目指した新しい設計コンセプトの提案を行い、その実現のための設計技術の確立を目指して研究を進めている。

本報告は、上記コンセプトを試作により具体的に検討したものであると共に、A T R における今後の M M I C 研究の基礎的データベース〔文献③〕となるものである。

## 2. ATRにおけるMMIC研究の方針と特徴

### 2.1 ATRにおけるMMIC研究のねらい

移動通信用無線送受信機における小型化の推移を図2.1に示す。最新の着脱式（出力1W）のもので体積400cc、構成上簡易なポケットベルでは50cc程度である。〔文献④〕これらは部分的にIC化（MMICを含む）が進められているが、現在の一平面的なMMIC設計思想によって小型化をおこなったとすると、100cc程度の小型化が限度である。尚、ここでは機能の向上は考慮していない。これに対して、ATRが目指す腕時計型ないしカード型の無線送受信機を実現するためには、表1に示すように、共用器、無線部、制御部といった移動機回路を1/30～1/50に小型化する（集積度を30倍から50倍に上げる）必要がある。また、高速で、かつ電波環境適応型のインテリジェントな受信機を実現するためにはRF受信系と高速デジタル信号処理系を1～2チップに搭載して高機能化する必要がある。このためにはMMICの立体化が不可欠であると考えられる。立体化MMICを実現するためには回路設計技術の他に、能動デバイスを形成するための半導体層を既製のデバイスの性能を損なうことなく積み上げるプロセス技術が非常に重要である。このプロセス技術は、Si LSIの高集積化を目的とし通産省工業技術院次世代産業基盤技術開発制度に基づいて進められている3次元回路素子の研究の中から派生したSiまたは絶縁膜上にGaAs層を形成する研究、あるいは耐熱電極技術の研究等多くの研究成果〔文献⑤〕を取り入れつつ実現しなければならない。これには10年程度の研究期間が必要である。

ATRにおいては10年先に立体化MMICを実現することを目標として、図2.2に示す研究のマイルストーンを設定した。尚、個々のマイルストーンは各々基盤技術となり得るものである。

#### ① LUFET MMIC

接地導体を含め全ての回路要素が半導体基板の同一平面上に構成されるUni-planar構造を有すると共に、(i) GaAs FET等の能動デバイスの電極構造がマイクロ波共平面伝送線路となるように設計され、かつ従来のFETに近い寸法形状で基本回路機能を実現する「線路一体化FET」(LUFET: Line Unified FET)や(ii) FETの接地形式の違いによる種々の特徴を生かした「アクティブマッチング」技術〔文献⑥〕等の能動素子多目的応用技術を駆使する新しいMMIC構成を特徴とする。本MMIC技術は、能動デバイスを能動回路のみでなく従来受動回路として構成されていた分野にまで幅広く適用することによってMMICの小型化を可能とするものである。

#### ② 多層化MMIC

誘電体絶縁膜を多層に形成し、これらの層間に金属配線や接地導体を配置することによって、マイクロ波伝送線路ないしこれらの組合せを効率よく構成することを特徴とする。本MMIC技術は、共平面小型MMICにおける共平面伝送線路と組合せ、マイクロ波受動回路を立体化することによってMMICの一層の小型化を可能とする。また、その立体的な回路構成は従来のMMIC技術では得られなかった新しい機能の実現を可能とするものである。

#### ③ 立体化MMIC

能動デバイスを形成する能動層（活性化半導体層）を絶縁膜を介して複数層形成し、多層化MMIC技術（共平面小型化MMIC技術を含む）を各層に適用し、各層間を半導体基板と垂直に最短距離で接続することによって究極的なMMIC小型化を実現するもので

ある。さらに、Si3 次元 IC による低周波回路デジタル回路との一体化を行う。これによって高集積化と共に、マイクロ波・ミリ波等の RF 帯から、ベースバンドにいたる信号処理を高速に実現することができる。

現在の研究フェーズは①の LUFET MMIC および②の多層化 MMIC の基礎検討の段階にあり、後者については、誘電体膜の多層化プロセス技術およびその応用についての検討を並行して進めている。以下、共平面小型化 MMIC および多層化 MMIC の第 1 回試作結果について報告する。まず、第 3 章では共平面小型化 MMIC について、(i) 線路一体化 FET、(ii) 線路一体化 FET とアクティブマッチング技術とを組合わせた能動化受動回路、(iii) 共平面小型化 MMIC 用 TEG の評価結果を述べる。第 4 章では多層化 MMIC について、(i) 誘電体絶縁膜材料、(ii) 誘電体絶縁膜を用いたマイクロ波伝送線路の評価結果について述べる。

### 3. LUFET MMIC

#### 3.1 線路一体化FET

GaAs FETの電極（ゲート、ドレイン、ソース）はGaAs基板上に平面的に配置されているため、コプレーナ線路やスロット線路等の共平面マイクロ波伝送線路と容易に結合させることができる。これを別の観点から考え、電極構造が共平面線路となるようにGaAs FETを設計することによって、新たに種々の機能を有するFETを構成できる。この考え方に基づいて設計されたFETを「線路一体化FET」(LUFET:Line Unified FET)と呼ぶこととする。今回試作した線路一体化FETは次に示す機能を有するものの一部である。

- ① インピーダンス変換機能
- ② 線路変換機能
- ③ 信号分配・合成機能

これらは、FETの非可逆性によって入出力間のアイソレーションを有し、受動回路にない特徴も併せ持つ。

##### 3.1.1 インピーダンス変換LUFET

図3.1 にインピーダンス変換機能を有する線路一体化FETの構成を示す。FETの入力部を同一の伝送線路となるように構成し、FETの接地形式をかえることによってインピーダンス変換機能をもたせている。図3.2 にFETの接地形式とインピーダンス変換機能を示す。

##### 3.1.2 線路変換LUFET

図3.3 に線路変換機能を有する線路一体化FETの構成を示す。FETの入力部を互いに異なる伝送線路となるように構成し線路変換機能を持たせている。ここで、FETは両伝送線路に対する集中定数としてふるまうため、各伝送線路（集中定数を含む）の伝播モードはFETによって互いに分離される。尚、FETの接地形成を変えることによって3.1.1と同様にインピーダンス変換機能を持たせられる。

##### 3.1.3 信号分配・合成LUFET

図4.4 に電力分配機能を有する線路一体化FETの構成を示す。合成機能を有するFETについても同様である。2つのFETを線対称に配置し、かつ接地電極および入力電極（または出力電極）を同一とすると共に、出力電極（または入力電極）が互いに独立の2端子となるように構成したものである。ここで、入・出力電極の伝送線路としての形状あるいはFETの接地形式を種々変えることによって、3.1.2の機能を持たせることができる。

#### 3.2 線路一体化FETの特性

各接地FETにおける特性（Sパラメータ）測定値を、入出力線路の種類をパラメータとして比較したものを図3.5-1~3に示す。各FETは入出力にほぼ同じ長さ（約400  $\mu\text{m}$ ）のマイクロ波伝送線路を有している。ここで、後で述べるように伝送線路の特性インピーダンスはその種類に関わらず50  $\Omega$ 、波長短縮はCPWで0.375、SLOTで0.39とほぼ同じであるため、伝送線路のちがいによる特性の差は殆ど無視できる。

図3.5-1 : インピーダンス変換及び線路変換FETにおけるゲート接地FET

(図3.1 ①、②および図3.3 ⑥)

図3.5-2 : インピーダンス変換及び線路変換FETにおけるソース接地FET

(図3.1 ③、④および図3.3 ⑦)

図3.5-3 : インピーダンス変換及び線路変換FETにおけるドレイン接地FET

(図3.1 ⑤、および図3.3 ⑧)

ここで、比較するFETについてゲート幅およびゲートの接続(または接地)方法がおなじものを選んだ。図より分かるようにどの接地形式のFETについてもそれぞれ入出力線路の種類に関わらず同様の特性を示している。

図3.6 はソース接地のモニタFETの特性により求めたFET等価回路を用いて、ゲート接地FETおよびドレイン接地FETの特性を計算したものである。図3.5-1、図3.5-3と比較して、この計算値はよく一致している。

以上より、ここで示した線路一体化FETにおいては、FETの特性を失うことなく各種の付加機能が実現されていることが分かる。

### 3.2 線路一体化FETとアクティブマッチング技術との融合

アクティブマッチング〔文献⑥〕とは、FETのインピーダンス変換作用を利用して、インピーダンス整合をとることをいう。図3.2 に示したように、ゲート接地FETの入力インピーダンスおよびドレイン接地FETの出力インピーダンスは、約 $1/g_m$ となる。そこで、例えば入力インピーダンスを $50\Omega$ にしたい時、ゲート接地FETの $g_m$ が約 $20\text{ms}$ となるようにゲート幅を選ぶことによって、インピーダンス整合をとることができる。ところが、ハイブリッドMICでは、ボンディングワイヤのインダクタ成分等により、アクティブマッチング技術を利用しにくかった。また、MMICにおいても、従来はソース接地に適した構造が用いられていたためアクティブマッチングは、積極的に用いられていなかった。

これに対して、我々の提案している線路一体化FETでは、FETの電極構造をそのまま伝送線路として用いるので、どのような接地型式においても、FETと伝送線路の接続部に浮遊成分はほとんど生じない。このため、アクティブマッチング技術を有効に利用することができる。

#### 3.2.1 LUFET MMIC試作回路

線路一体化FETにおける機能的な構造と、アクティブマッチング技術とを融合させることによって種々の回路を大幅に小型化、広帯域化できる。今回の試作では以下の基本的な受動回路を例にとり、これらを上記の融合によって能動化し、かつ小型化した。

(i) アイソレータ

(ii) パワーデバイダ

(iii) パワーコンバイナ

(i) は従来、非可逆素子として磁性体を用いていたためMMIC化に適さなかった。

(ii)、(iii) は従来受動回路のみで構成され、信号源、負荷インピーダンスに対して整合をとるためには $1/4$ 波長線路を用いる必要があった。このため回路寸法が波長に比例して大きく、しかも周波数帯域が限られていた。更に受動回路であるため入出力アイソレーションが得られなかった。最近、パワーデバイダや可変アテネータ等においてアクティブ

化したものがいくつか報告されているが、これらは一般に増幅器の変形であると共に、FETは限られた機能（非可逆、増幅）のみを担い他は受動回路によって実現されているため、比較的複雑な構成であり、かつ小型化・応用に制限がある。今回我々が試作した、線路一体化FETとアクティブマッチング技術との融合による共平面小型化MMICでは、以下のような特徴を有する。

- ① 整合機能、分配・合成機能等をFETが担い、種々の回路に応用できる。
- ② FETのマイクロ波伝送線路変換機能により、マイクロ波線路を適材適所に使用できる。
- ③ FET間が高インピーダンス系となるため集中定数の適用も容易である。

尚、共平面小型化MMICは未だ研究の緒についたばかりであり、線路一体化FETの発展的検討、新しい共平面線路の開発、多層膜技術の適用等によって、更に発展させることができると思う。

以下、試作回路について、基本設計、試作結果を示す。本章の最後にはパターン設計データを得るためのTEGについてその評価結果を示す。

### 3.2.2 試作回路の基本設計

アイソレータ、パワーコンバイナ・パワーデバイダの基本設計について述べる。

ここで、

- (i) 入・出力整合はそれぞれゲート接地FET、ドレイン接地FETにより行う。
- (ii) 入・出力インピーダンスは $50\Omega$ とし、各FETの $g_m$ が $20\text{mS}$ となるようにゲート幅を設定する。
- (iii) 基本的構成の確認に主眼を置き、広帯域化・高周波化については別途検討することとした。

#### (1) アイソレータ

図8.3 にアイソレータの基本構成および特性計算値を示す。

ここで、

- ① 入出力の抵抗 $R_i$ 、 $R_o$ ：一電源によりゲート・ソース間に自己バイアスを印可するための抵抗であり、FETのI-V特性により決まる。  
ここでは、 $50\Omega$ 入出力インピーダンスを確保し、かつ回路の損失を最小とするため可能な範囲で最大値とした。（ $R_i=R_o=150\Omega$ ）
- ② 段間の抵抗 $R_m$ とインダクタ $L$ ：抵抗 $R_m$ は回路の利用を決定する抵抗、インダクタ $L$ は利得平坦化のためのものである。両者の兼ね合いにより抵抗、インダクタの値を決定した。（ $R_m=300\Omega$ ）
- ③ 段間の容量 $C_m$ ：DCカット用キャパシタである。FET間が高インピーダンスとなっているため比較的小さい容量を使用することができる。（ $C_m=0.5\text{pF}$ ）
- ④ 段間の抵抗 $R_g$ ：ドレイン接地FETのゲート電圧を与える抵抗。  
容量 $C_m$ と抵抗 $R_g$ とで分圧された電圧がドレイン接地FETの入力電圧となることから大きな抵抗とした。（ $R_g=600\Omega$ ）
- ⑤ 各FETのドレイン電圧：RFバイパスキャパシタ（ここでは $10\text{pF}$ ）より共通電源から供給する。各電流の通路には $R_m$ 、 $R_d$ を設けた。 $R_m$ は②の抵抗でもある。（ $R_m=R_d$ ）

## (2) パワーコンバイナ、パワーデバイダ

図3.9、3.10にパワーコンバイナ、パワーデバイダの基本構成および特性計算値を示す。

ここで、回路構成はアイソレータの場合と同様とし、帯域平坦特性を得る目的でインダクタLの値を若干修正した。

## (3) パタン設計

基本図形に基づいて各回路パタンを設計した。

ここで、今回は以下の基準を用いた。

①原則として入出力マイクロ波線路はコブレナ線路(CPW)とする。

②段間は集中定数により構成する。

①については、共平面線路のうちCPWが最も設計性が良く、かつ測定系(オンウェハ測定)に合致しているためである。②については、基本構成に最も近い構成となること、および、集中定数にはインダクタを除いて不確定要素が少なく共平面小型化MMICにおけるパタン設計上の問題点を明確にしやすいこと等の理由による。

表3.1に試作した回路パタン種類を示す。基本回路構成により部分的に回路要素を削除することにより各回路間の比較評価ができるようにした。また、入出力線路を異なるものにより、共平面小型化MMICの特徴をより具体化した。

### 3.2.3 試作結果

図3.11～図3.21に各回路の形状および特性の測定値と計算値の比較を示す。ここで、特性計算にあたっては単位ゲート長 $75\mu\text{m}$ の2ゲートモニタFETのSパラメータ測定値より設定したFET等価回路を用いた〔文献③〕。理由は、各回路には単位ゲート長 $150\mu\text{m}$ 、 $75\mu\text{m}$ のものが使われているが、①ゲート接地FETではゲートの両端を設置する接地方法により単位ゲート長 $150\mu\text{m}$ であっても単位ゲート $75\mu\text{m}$ の2ゲートFETとして扱える。②ドレイン接地FETではゲートが高インピーダンス系に含まれるためゲートの抵抗における数 $\Omega$ の差は無視できるためである。表3.2に設計時に使用したFETの等価回路パラメータおよび試作によって得たFETの等価回路パラメータを示す。(詳細は既報TR-0-1参照)。ただし、測定においては以下の理由によりバイアス条件を表3.2のものと同じにできなかったため、正常に近い動作をする範囲内で、できるだけ表3.2のバイアス条件に近いバイアスを設定した。

・FETのI-V特性にばらつきがあった。

・FETのゲート幅によって抵抗値 $R_m$ 、 $R_d$ を変えざるべきところ、試作回路では同一としたことにより、各FETを同一のバイアス条件にすることが困難であった。

図3.11～図3.21において特性測定値と計算値とは比較的良く一致しており、設計上の基本的問題は無い。また、形状図から分かるように、各回路が実効的に占める面積は $1\text{mm}\times 1\text{mm}$ 以内と小さく、線路一体化FETとアクティブマッチング技術とを融合させた本MMIC設計法の有効性を明らかにすることができた。

### 3.3 TEGの評価

GaAs基板上に形成された共平面受動回路について種々のTEGを製作・評価し、今後の設計に役立つデータを取得した。ここで、GaAs基板の厚みは $600\mu\text{m}$ である。

### 3.3.1 GaAs基板上CPWの特性

図3.23~27にGaAs基板上に形成されたCPW〔文献⑦〕を評価するTEGの形状と特性を示す。試作した各回路では入出力線路としてCPWを用いている。各回路の本体部を正確に評価するために、このCPWのパラメータを測定値を用いて明確にする。

#### (1) 直線CPW

図3.23-1にCPW評価用TEG(a、b)の形状を示す。ここで、a、bは同様の形状を有し、長さのみが異なる。中心導体、および接地導体間距離の比は0.427である。

##### ①特性インピーダンス： $Z_0$

図3.23-2にaの反射特性を示す。これより、 $|S_{11}| \approx -30\text{dB}$ となっており、信号源、負荷インピーダンス $50\Omega$ に整合していることから、 $Z_0 = 50\Omega$ である。

##### ②損失

図3.23-3にaの挿入損失を示す。損失は $0.1\text{dB} \pm 0.1\text{dB}/1.8\text{mm}$ である。測定誤差を考慮すると、回路設計上損失は無視できる。

##### ③波長短縮率： $\lambda_g / \lambda_0$

図3.23-4にa、bの通過位相 $S_{21}$ の周波数特性を示す。各データは周波数に比例する特性を示しているから次式より波長短縮を求めることができる。

$$\Delta\theta = \frac{360^\circ \times \Delta l}{300 \times (\lambda_g / \lambda_0) / f \text{ (GHz)}}$$

ここで、 $\Delta l$ はaとbの線路長差である。図3.23-4より、 $\lambda_g / \lambda_0 = 0.375$ である。

以上、特性インピーダンス、損失、波長短縮率とも、計算値と良くあう。

#### (2) CPWにおけるエアブリッジの影響

CPWの接地導体を同電位に保つために用いられるエアブリッジについて種々の形式のものを作成し、その影響を調べた。エアブリッジをかけることによってエアブリッジとCPWの中心導体間に容量が形成され、これによって、特性の劣化が生じる。図3.24にエアブリッジ付CPW評価用TEGの形状および特性を示す。

- a：接地導体の一部を中心導体側に延ばし、最短距離でエアブリッジをかけたもの
- b：エアブリッジ下にポリイミド( $\epsilon_r = 3.8$ )を充損したもの
- c：CPWの接地導体間に比較的幅広( $w = 40\mu\text{m}$ )のエアブリッジをかけたもの
- d：エアブリッジをかけないもの

これらにおいて、b以外は反射損失 $20\text{dB}$ 以上が得られている。エアブリッジをかけない場合に比べて $5\text{dB}$ 程度の劣化が認められる。bでは $10\text{GHz}$ 以上で反射損失 $20\text{dB} \sim 10\text{dB}$ になっている。この周波数は $10\text{GHz}$ 以下の低周波用である。

#### (3) CPW曲り部とエアブリッジの効果

図3.25に $90^\circ$ 曲りを有するCPWの形状および特性を示す。エアブリッジにより曲り部の経路差による不要モードの励振を抑えようとするM44-2は、エアブリッジを使用しないM44-1に比べて反射損失が $5\text{dB}$ 程劣化している。これより、 $90^\circ$ 曲りによる不要モードの励振は、図の寸法程度の場合には殆ど無視できる。逆にエアブリッジを設けることにより

寄生容量が付加され、特性が劣化する。しかし、いずれも反射損失15dB以上が得られており、回路設計上は大差ない。

#### (4) CPWにおいて接地導体をMIMキャパシタを介して分離した場合の影響

能動素子にバイアスを印加する場合のパターン設計の一方法として、CPWの接地導体をMIMキャパシタを介して直流的に分離する方法がある。この場合、広帯域にわたってCPWとしての特性を維持するためには10pF前後の大きなキャパシタが必要である時、キャパシタ寸法と波長との関係が懸念される。

図3.26にMIMキャパシタを介して接地導体を直流的に分離したCPW例を示す。ここで、MIMキャパシタには誘電体絶縁膜 $\text{Si}_3\text{N}_4$  (2000Å厚)を用いている。

a : FETをCDFとして使用し、CPWにマウントする場合を想定したもの

b : 部分回路全体を直流的に浮かせる場合を想定したもの

ここで使用しているキャパシタは信号の進行方法に200~300  $\mu\text{m}$ の長さを有する。特性図より、普通のCPWと同じく良好な特性を示し、上記寸法の影響はない。尚、bの反射損失( $S_{11}$ )特性において1GHz付近で劣化しているのはbのパターン上の個々のMIMキャパシタのインピーダンスが大きくなるためである。また、aのパターンからは次のことも分かる。aでは中心導体幅と接地導体間距離の比が一定の条件でパターン化しているが、実寸法を変化させる場合に長くテーパ状の部分設ける必要はない。

ただし、段差状に変化させた場合の不連続特性については言及できない。

#### (5) CPWと集中定数回路との接続における接地導体の効果

CPWを用いた回路において並列を構成する場合、CPWを集中定数に変換し、この集中定数に並列要素を接続するのが好ましいことが多い。この時問題となるのはCPWの接地導体の取り扱いである。これを検討するために製作したパターンと特性を図3.27-1に示す。

a : 入出力CPWの接地導体を直流的に同としたもの

b : 入出力CPWの接地導体を分離したもの

特性図からあきらかなように、aでは線路の縦続接続で説明できる特性を示すが、bはそれとは大きく異なる特性を示している。しかし、bは、その入出端において接地導体の電位が同一に保たれるならばaと同じ特性を示すはずである。言い換えれば、オンウェハ測定によってCPW入出力の回路を評価する場合には、チップ上の接地導体は互いに連結されていることが重要である。

図3.27-2にaの等価回路および特性フィッティング結果を示す。また損失特性からわかるようにaはCPWに比べて損失が大きく、またパターンとしては損失を有しないものであることから、不連続部からの放射があるものと思われる。そこで等価回路にRを付加した。

### 3.3.2 GaAs基板上に形成されたスロットライン〔文献⑦〕

図3.28~29にGaAs基板上に形成されたスロットラインを評価するTEGの形状と特性を示す。

#### (1) 直線スロットライン (a)

スロットラインは周波数と共に特性インピーダンス、波長短縮率に変化するマイクロ波線路で、その変化の度合いはつぎのようである(計算値)〔文献⑧〕

$f$	$\lambda / \lambda_0$	$Z_0 (\Omega)$
2 GHz	0.47	48.6
2.0 GHz	0.40	53.5

特性インピーダンス  $Z_0$ 。については、a の反射損失がほぼ 20dB 以上とれていることから、 $Z_0 = 50 \Omega \pm 5 \Omega$  以内である。波長短縮率については図 3.28-2 より約 0.39 であった。計算値との差については現在検討中であるが、考慮すべき事項として以下の 2 点があげられる。

- ① 導体金属厚  $2 \mu\text{m}$  が計算式では考慮されていない。
- ② CPW に比べて損失が数倍大きく、かつ、数 GHz において急激な周波数特性を示している。電磁界の広がりや放射特性を把握する必要がある。

#### (2) 曲がりスロットライン (b、c)

直線スロットラインの通過損失に比べて 2 倍近い損失を有している。  
この原因については検討中である。

#### (3) 導体を MIM キャパシタを介して分離したスロットライン (d、e)

図 3.28-3 に形状と特性を示す。比較のために a の特性もあわせて示す。MIM キャパシタは誘電体絶縁膜  $\text{Si}_3\text{N}_4$  (2000 Å 厚) を用いている。図より、信号伝播方向における MIM キャパシタ長の影響は殆どない。

尚、d の低周波域での反射損失低下はキャパシタが直列接続のため容量が不足しているからである。

#### (4) 入出力スロットライン間の電磁的分離

図 3.29-1 に示すパターンについてスロットライン間の電磁的分離特性を調べた。これらの構成は FET とスロットラインとの結合 (一体化) 時にしばしば用いられることになる。と同時に、スロットライン間のアイソレーションが問題となる。b はスロットラインの片側の電極を切り離し、入出力を分離したもので従来よくもちいられる構成であるが、十分なアイソレーションは得られていない。これはスロットラインを入出力線路とする FET において、入出力間の結合 (容量性) が大きくなる要因となる。これに対し、a は b に比べアイソレーション特性が優れている。これは、入出力スロットラインに共通の電極が他の 2 つの電極間に挿入されているためである。a、b の等価回路および特性フィッティング結果を図 3.29-2 に示す。等価回路については若干修正検討が必要であるが、特性の傾向はよく説明している。

##### 4.1 多層化MMICのための誘電体膜材料の選択

多層化MMICにおいては誘電体膜材料をいかに選定し、かつ、いかにその形成プロセス条件を決定するかが重要な問題ある。しかし、これまでに多層膜を用いたMMICの研究はなく、数 $\mu\text{m}$ ないし10 $\mu\text{m}$ 程度の誘電体膜をチップ平面上に一様にかつ安定に形成するプロセス技術は見当たらない。今回の試作では現状の誘電体膜（以下、薄膜と称す）形成プロセスを工夫して用いることとした。加えて、薄膜の積層化についても検討した。

###### (1) 現状の薄膜形成プロセス

表4.1に現在使用されている薄膜のうち、多層化に適した薄膜の種類および形成条件を示す。この他に $\text{SiO}_2$ があるが薄膜が薄いものに限られることが明らかのため除外した。

$\text{SiN}$ はMIMキャパシタ用絶縁膜として近年一般によく用いられ、低温デポジションにより形成される。2000 $\text{\AA}$ ～4000 $\text{\AA}$ の薄膜がよく用いられる。 $\text{SiON}$ は $\text{SiO}_2$ と $\text{SiN}$ の中間的な性質を有する。ポリイミドは有機高分子系材料で、ウェハ表面に塗布した後乾燥させて硬化する。このため平坦化、厚膜化に適する反面、膜厚制御には難点がある。そのほかに薄膜材料として表4.2に示すものがあるが、比較的厚い膜形成に適するのは表4.1に示したものである。

いずれにしても薄膜（絶縁膜）はその形成方法、プロセス条件が非常に難しく、ノウハウの積み重ねによって確立されている経緯があることから、今回は試作メーカーの意見を考慮し、マイクロ波回路に必要な数 $\mu\text{m}$ 程度の厚みを実現可能とおもわれる $\text{SiON}$ を用いた。次に $\text{SiON}$ の性質について述べる。

###### (2) $\text{SiON}$ の一般的性質

$\text{SiO}_x\text{N}_y$ 膜は一般的に $\text{SiO}_2$ と $\text{Si}_3\text{N}_4$ の中間的な性質を有する。 $\text{Si}_3\text{N}_4$ は $\text{SiO}_2$ と比較して膜が緻密であるため、①耐湿性が良い、②アルカリイオン( $\text{Na}^+$ 等)に対しバリア効果がある、③機械的強度が強いなどの特徴を有し、表面保護膜として優れているが、反面、膜中の内部応力が大きく耐クラック性が低いという欠点があり、厚膜化には適さない。

$\text{SiO}_x\text{N}_y$ は一般的には $\text{Si}_3\text{N}_4$ の耐クラック性を向上させる目的で用いられている。GaAsデバイスにおいてはイオン注入層のアニール用保護膜として注目されている。 $\text{SiO}_x\text{N}_y$ はプラズマCVD(PCVD)で製作されることが多い。プラズマ反応により反応ガスを活性化イオンまたはラジカルとすることで低温形成が可能となる。通常基板温度は350 $^{\circ}\text{C}$ 前後であり、GaAsデバイスを含むMMICに適用可能である。

PCVD  $\text{SiO}_x\text{N}_y$ は反応ガス( $\text{N}_2\text{O}/\text{SiH}_4+\text{N}_2$ )の流量比によりO/N組成比を任意にとることが可能である、形成条件によって $\text{Si}_3\text{N}_4$ 的な膜から $\text{SiO}_2$ 的な膜まで製作可能である。PCVD  $\text{SiO}_x\text{N}_y$ 膜は膜中に少量のHを含み、熱CVD膜に対して物性定数が多少異なる場合が多い。表3.3にPCVD  $\text{SiO}_x\text{N}_y$ の主な物性定数を示す。図4.1に流量比とPCVD  $\text{SiO}_x\text{N}_y$ 膜の屈折率、堆積速度、応力との関係を示す。後で述べるように屈折率の測定値は1.7であったから流量比( $\text{N}_2\text{O}/\text{SiH}_4+\text{N}_2$ )は0.03～0.05であり、これによりデポジション後の応力は約 $1 \times 10^9 \text{ dyn/cm}^2$ と最小値になる(図中800 $^{\circ}\text{C}$ アニール時の応力曲線があるが、GaAsデバイス工程後の工程ではこのような高温アニールは行えない)。若干のアニールにより応力をほぼ0にできる。ただし、この場合、流量比を0.03～0.05程

度にすることにより堆積速度を比較的低くする必要がある。

#### 4.2 誘電体薄膜上の伝送線路と入出力伝送線路との連結プロセス

図4.2 に誘電体膜上の伝送線路と入出力伝送線路との連結をおこなうために今回の試作において用いたプロセスを示す。まず、遮断導体を有する多層化伝送線路のプロセスフローを説明する。

- ①第一層Au配線を厚さ2000Åに蒸着する。これは誘電体膜上伝送線路の接地導体になるとともに、入出力伝送線路の接地導体および中心導体の下地金属となる。
- ②誘電体膜をP-CVDにより8000Åの厚みに形成する。
- ③誘電体薄膜上の伝送線路となる導体を厚さ2000Åに蒸着する。
- ④誘電体薄膜をP-CVDにより8000Åの厚みに形成した後、所定の場所にスルーホールを開ける。
- ⑤連結部および遮断導体を厚さ2μm以上の金メッキで形成する。

連結部形成にあたっては、第2層目の誘電体薄膜の上側から行う。

誘電体薄膜上マイクロストリップ線路の場合に誘電体薄膜の下側から連結しているのと異なる。これは、上記生命のプロセスを下側から連結するプロセスで置き換えると、8000Å厚の第一の誘電体薄膜にスルーホールを開け、2000Å厚の薄いAu層を蒸着することになり、スルーホールの側面で断線が生じるからである。

#### 4.3 薄膜上に形成されたマイクロストリップラインの特性

##### (1) 直線形状

図4.3-1 に厚さ8000ÅのSiON薄膜上に直線上に形成したマイクロストリップラインの形状を示す。

- ①損失の周波数特性により等価回路を設定

図4.3-2 は損失の測定値および計算値を示す。

ここで損失Lは次式で定義した。

$$L(\text{dB/mm}) = \left\{ 10 \log \left( |S_{11}|^2 + |S_{21}|^2 \right) \right\} / \text{Line length}$$

Touchstoneを用いた計算モデルの値(一点鎖線)に対しLの実測値(実線)は数倍であること。また、周波数が高くなるにつれてLが増加すること、更に形状の効果を加味して図のように連結部を考慮し、かつ線路損失を重みづけした等価回路を設定した。破線は等価回路による計算値である。

- ②パラメータの抽出

薄膜上に形成されたマイクロストリップラインの表現式として以下のものを使用。

$$T R L \quad n_1 \quad n_2 \quad Z = Z_0 \quad P = P_0 \quad V = V_0 \quad A = A_0/\text{mm}$$

{  $Z_0$ 、 $V_0$ 、 $A_0$  } を変数として、フィッティングによりこれらの値を決定した。

尚、 $A = A_0/\text{mm}$  は単位長当たりの損失が一定という条件を示すが、これは図4.3-3 より妥当であると考えられる。

図4.3-4 にフィッティング結果を示す。これより、

$$Z_0 = 18 \Omega$$

$$V_0 = 0.4$$

### ③ 損失の切り分け

損失が薄膜のマイクロストリップラインにのみ存在するか、または連結部にも存在するか判定は困難である。仮に図4.3-2の連結部を無視してフィッティングすると、図4.3-4のフィッティング結果に若干劣る状態で、 $A_0 = 0.5 \text{ dB/mm}$ となる。

## (2) 曲り部を有する形状

薄膜上のスパイラル状マイクロストリップラインの形状、および等価回路を図4.4-1に示す。等価回路については、薄膜状のマイクロストリップラインを直線とすると共振周波の計算値が測定値の2倍程度に高くなる(約12GHz)ことから、コーナーの効果を取り入れた。これによって共振周波数を一致させることが可能となった。他の部分は直線形状の場合と同様とした。尚、フィッティングを行うためには図4.4-1に示すように若干の修正が必要であった。

(この回路において連結部を除去すると、共振周波数は一致すのものの反射損失の計算値は測定値の1/2程度となり、また、フィッティング不能であった。)

薄膜状に形成したスパイラル状マイクロストリップライン線路については、曲り部の正確な評価が重要であるとともに、曲り部を積極的に導入することによって線路長を1/2程度に短くできるものと思われる。

尚、図4.4-1の形状図の枠外の回路を薄膜状にCPWを形成したものであるが、基板厚に比べてCPWギャップ距離が大きいため、マイクロストリップラインと同じ特性であった。

## 4.4 薄膜を用いた新しいマイクロ波線路

図4.6～図4.9に薄膜を用いた新しいマイクロ波線路のパターンおよび断面構成を示す。

(a～b) これらはMMICの多層化に向けて提案したものである。

a : GaAs基板上に形成したスロットライン上を薄膜で覆い、その上に導体を形成し、スロットラインの遠方でこの導体を接地したものである。上部導体をスロットラインのごく近くに形成することによって、スロットラインの金属縁端部にマイクロ波電流が集中する(従来形式: 上部導体なし)ことを防ぐため、低損失化が可能となる。また、スロットラインの実効的なギャップが膜厚程度になり、低インピーダンス・高Q線路が実現できる。更に、上部金属により電磁界の放射を抑えることができる特徴を有する。

b : 同様な構造を有するが、薄膜および上部導体の幅が狭い点が異なる。aと同じ特徴を有する。

c : bのスロットラインをCPWに置き換えた構造を有し、aと同じ特徴を有する。

d : bのスロットラインをマイクロストリップラインに置き換えた構造を有し、電磁界を遮蔽する特徴を有する。

上記の新しいマイクロ波線路については、線路導体の厚みを十分に厚くできず、抵抗分が以上に大きいために、予期した特性が得られなかった。ここでは、線路導体の抵抗およびこれの示す特徴について述べる。

### (1) マイクロ波線路の積層構成

マイクロ波線路の積層構成表4.4に示す。中心導体および第1の接地導体を形成する第1、第2の金属膜厚については、膜厚に1回当たり形成膜限度が8000Åとのプロセス上の条件を考慮して2000Åとした。

### (2) 第2金属配線抵抗の測定結果

伝送特性の測定結果より第2金属配線に多大の損失が存在すると考えられたため、実測によってその抵抗値を確認した。図4.10-1～図4.10-3に測定結果を示す。

#### ①測定系の配線抵抗

図4.10-1は測定系の配線抵抗の測定結果を示す。直線の傾きが抵抗値である。配線抵抗にはRFプローブ、およびコンタクト部の抵抗も含まれる。

図より配線抵抗は1.43Ωである。

#### ②マイクロストリップラインd(第2金属配線)の抵抗

図4.10-2はマイクロストリップラインdの抵抗測定結果を示す。傾きより抵抗は83.4Ωである。この値は配線抵抗をふくんでいるから、これを差し引くと82Ωである。

### (3) 第2金属配線抵抗の評価

金属配線の抵抗値Rは次式で表される。

$$R = \rho \cdot \frac{L}{WT}$$

ここで、 $\rho$ は金属の導電率、L、W、Tは金属配線の長さ、幅、厚さである。

$$\rho = 2.44 \times 10^{-6} \Omega \cdot \text{cm}$$

$$L = 800 \mu\text{m}$$

$$W = 5 \mu\text{m}$$

$$T = 2000 \text{Å}$$

これより、マイクロストリップラインdの抵抗計算値は、17.7～20.1Ωとなる。ちなみに、図4.10-3に示す、図4.3-1のマイクロストリップラインのように $T = 2.5 \mu\text{m}$ の場合の計算値は1.44Ωである。また、これに対する実測値は2.9Ωであった。 $T = 2000 \text{Å}$ の場合、実測値は計算値の約4倍である。 $T = 2.5 \mu\text{m}$ のマイクロストリップラインに比べて抵抗の測定値が増加した原因は、Au配線下に形成されるTi薄膜のAu膜厚に対する比にあると考えられる。Tiの比抵抗はAuの20倍以上ある( $\rho = 55.0 \times 10^{-6} \Omega \cdot \text{cm}$ ) Au蒸着膜の比抵抗がバルクのAuの約2倍程度とした場合、第2配線のAuとTiの膜比は1:1程度と考えられる。

### (4) 形成条件の差の影響

現在、形成条件の差の影響について明確に判断できなかったが、マイクロ波線路の中心導体が、上記のような薄膜状でなくGaAs基板状に形成された場合(例:c)には図4.10-4に示すように約60Ωであった。

### (5) RF特性評価

金属膜厚 $T = 2000 \text{Å}$ の中心に導体を有するマイクロストリップ線路について、その評価方法を検討した。ここでは、dについて伝送特性の測定値と設定した等価回路による計算値との比較を行う。等価回路としては(i)損失を有する伝送線路として扱う場合、(ii)薄膜抵抗として扱う場合の2種を選んだ。

#### ①損失を有する伝送線路として扱う場合

図4.11-1にマイクロストリップラインの単位長当たりの損失をパラメータとして計算した伝送特性と、測定値の比較を示す。これより、 $|S_{21}|$  致するためには、単位長当たりの損失は $0.04\text{dB}/\mu\text{m}$  程度である。しかし、この場合、 $S_{11}$ の周波数軌跡が計算値と測定値とで大きく異なる。

#### ②薄膜抵抗として扱う場合

図4.11-2：CADが有するコマンド“TFR”を用いた場合の比較

図4.11-3：CADが有するコマンド“RCLIN”を用いた場合の比較

(TFRと並列容量が分布する構成)

### 4.5 交差回路の特性

#### (1) 回路構成

図4.12に交差回路を示す。端子①-②間の第1の線路はすべてコプレナ線路である。端子②および④はコプレナ線路の入出力部を有し、交差部前後で薄膜マイクロ波線路に変換している。したがって、交差部においては、下側のコプレナ線路と上側のマイクロストリップ線路が上側のマイクロストリップ線路の接地導体により分離されているため、これらの線路間の相互干渉はない。今回の試作では、製造プロセス上マイクロストリップ線路への変換部において完全にシールドできなかったが、実用上問題のないアイソレーション特性が得られた。

#### (2) 特性

図4.13-1に、測定系の特性であるプローバのオープン時アイソレーション特性を示す。1GHzにおいて約60dB、26GHzにおいて約40dBのアイソレーションである。

図4.13-2は端子①と端子②間のアイソレーション特性であり、図1とほとんど一致している。すなわち、本構成によりマイクロ波プローバの測定限界程度のアイソレーションがえられたことになる。

図4.14-1は端子②と端子④の損失特性であり、薄膜マイクロストリップ線路の特性と同様の特性が得られている。ここでも、薄膜マイクロストリップ線路のストリップ導体厚は $2\mu\text{m}$  である。

図4.14-2は端子①と端子③間の損失特性であり、周波数に比例してかなり減衰している。この原因としては、交差部における下側コプレナ線路の導体厚が $0.2\mu\text{m}$  と薄いためであり今後構成法および製造プロセスの検討が必要である。

図4.14-3は端子①における反射損失である。端子③の反射損失も同様の特性であり、反射が大きい。この原因も交差部における導体厚が $2\mu\text{m}$  から $0.2\mu\text{m}$  に薄くなっているためと考えられる。

図4.14-4端子②における反射損失である。これは、単体の薄膜マイクロストリップ線路と同様の特性であり、計算機シミュレーション結果とも一致してゐる。

#### 4. 6 多層SiON膜

マイクロ波伝送線路を薄膜上に形成して多層化する場合、薄膜としては数 $\mu\text{m}$ 程度必要である。またマイクロ波伝送線路上の薄膜は線路の伝送損失を低くおさえるのに必要な金属配線厚(1 $\mu\text{m}$ ~2 $\mu\text{m}$ )より厚く設計出来なければならない。表で示したように現在薄膜としては8000Åが限界に近い値とすれば、多層化に必要な膜を実現するためにはこれを何層か積層する技術を検討しておく必要がある。

図4.15に積層化薄膜のパターンおよび断面構造を示す。内部応力の効果を調べるため膜面積を250 $\mu\text{m}$ ×200 $\mu\text{m}$ から850 $\mu\text{m}$ ×800 $\mu\text{m}$ 寸法まで、大小および長短のパターンを作製した。目視検査の結果、クラック等の応力による損傷のないものが作製できた。ただし、条件の調整過程においていくつかの失敗例があった。

##### (1) 膜厚、屈折率の分布

エリプソメータ(光源から出た単色光を偏光子で直線偏光が薄膜に当たると振幅・位相の変化が起こり、振動状態が楕円偏光となる。この楕円偏光の状態を知ることにより、試料の屈折率や薄膜を評価する装置)により測定した薄膜及び屈折率に対して複数の周期的な膜厚解が存在する(周期は光源He-Neレーザの波長に相当)ため、設計値に近い8000Å付近の値を測定値として示した分布図である。図内上部は屈折率、下部は膜厚のばらつきは一層当たり+150 $\mu\text{m}$ /-300 $\mu\text{m}$ 程度である。図4.17は薄膜を確定するために、接触針により機械的に膜厚を測定した結果である。図4.16の膜厚値に比べて一層当たり1000Å程薄い。この測定値をもとに再度エリプソメータによって測定した結果を図4.18に示す。膜厚のと絶対値として設計値に対して、一層当たり1000Å程度薄く実現されている。

##### (2) ピンホール分布

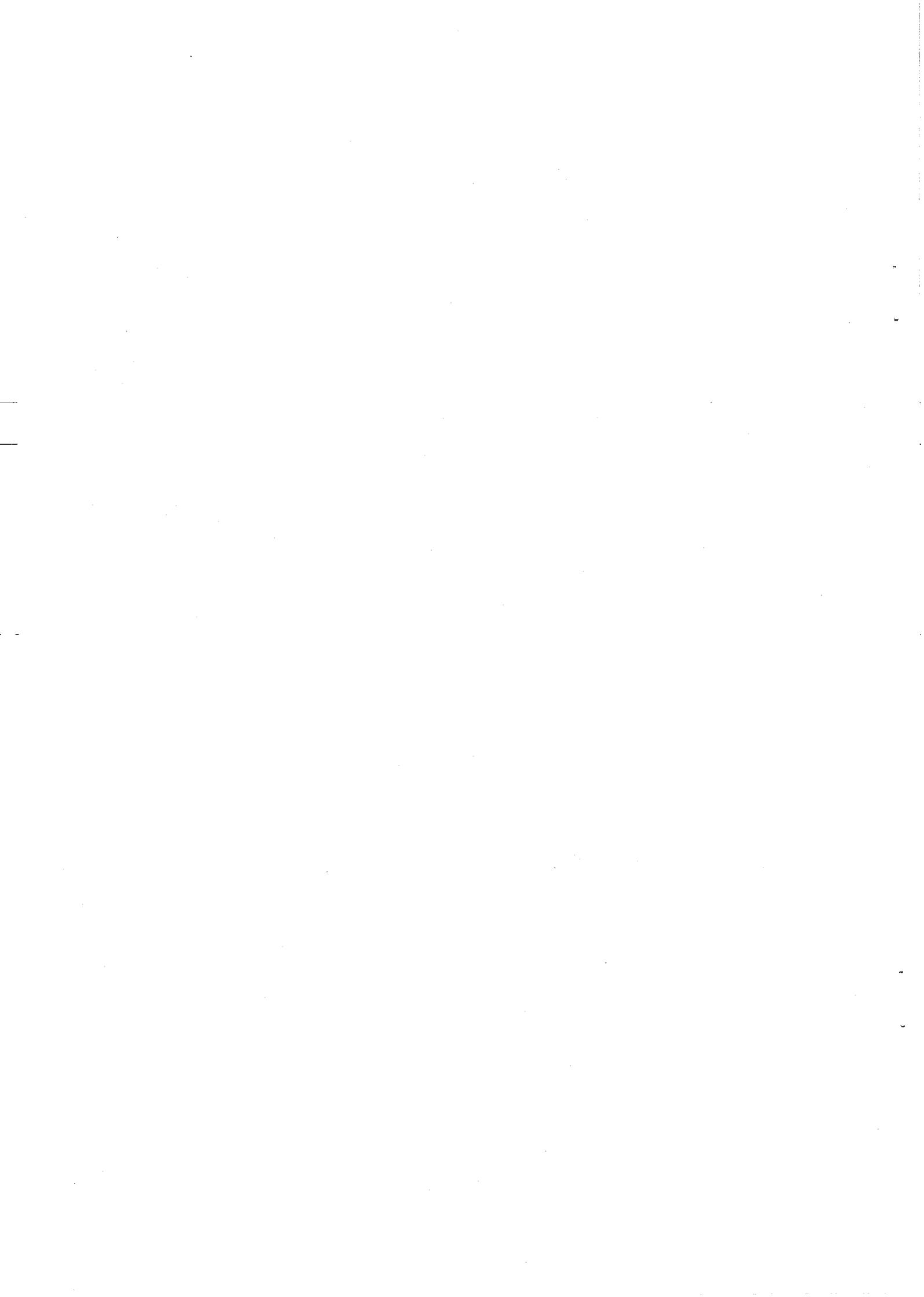
絶縁膜形成技術においてピンホールの減少は、クラックの解消とともに重要な項目である。ピンホールを全くなすことは非常に困難で、どこまで減少できるかがプロセスの良否を決定する。図4.19はピンホールの撮影例、図4.20は高精度顕微鏡を用い、目視によって測定したレチクル内ピンホール数の分布である。ピンホール分布はウェハ内で均一でなく、多い部分と少ない部分がある。再製作したものについてはピンホールが非常に多い部分がなく、全体的にもピンホール数の少ないものできた。

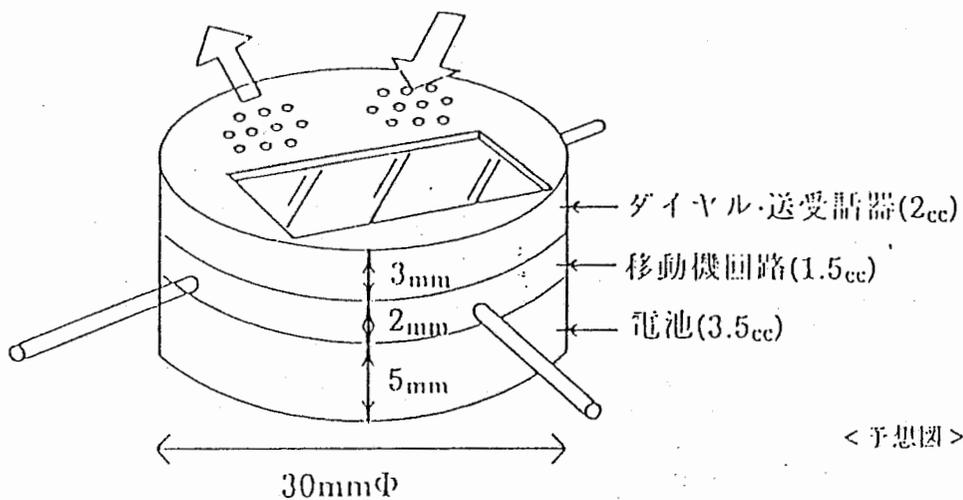
#### 5. あとがき

ATRにおけるMMIC研究の方針を述べると共に、61年度に試作した各種基本回路の特性評価結果を示した。今後、今回の試作評価結果をもとに、より高機能の線路一体化FET、多層構造の利点を利用した基本回路の提案、試作を推し進めていく。

(参考文献)

- ① E. H. Gregory, "Applicability, availability and affordability of GaAs MMICs to military systems," in Proc. IEEE GaAs IC Symp., 1986, pp.183-186.
- ② E. D. Maynard, "Microwave/millimeter wave monolithic integrated circuits(MIMIC) program," in IEEE 1986 MTT Symp. Dig., pp.749-752.
- ③ 平岡 他「昭和61年度試作MMICの能動素子特性評価」  
ATR Technical Report TR-0-0001
- ④ 「自動車電話用着脱式移動機」  
電気通信研究所 研究実用化報告 Vol.35, No.8, 1986, pp. 807-842
- ⑤ 次世代産業基盤技術 —第6回新機能素子技術シンポジウム— 予稿集
- ⑥ K. B. Niclas, "Active matching with common-gate MESFET's," IEEE Trans. Microwave Theory Tech., vol.MTT-33, pp.492-499, June 1985.
- ⑦ K. C. Gupta, et al., "Microstrip lines and slotlines," Artech House, Inc.
- ⑧ R. Gray, et al., "Expressions for wavelength and impedance of a slotline," in IEEE Trans. Microwave Theory Tech., pp.532-, August 1976.



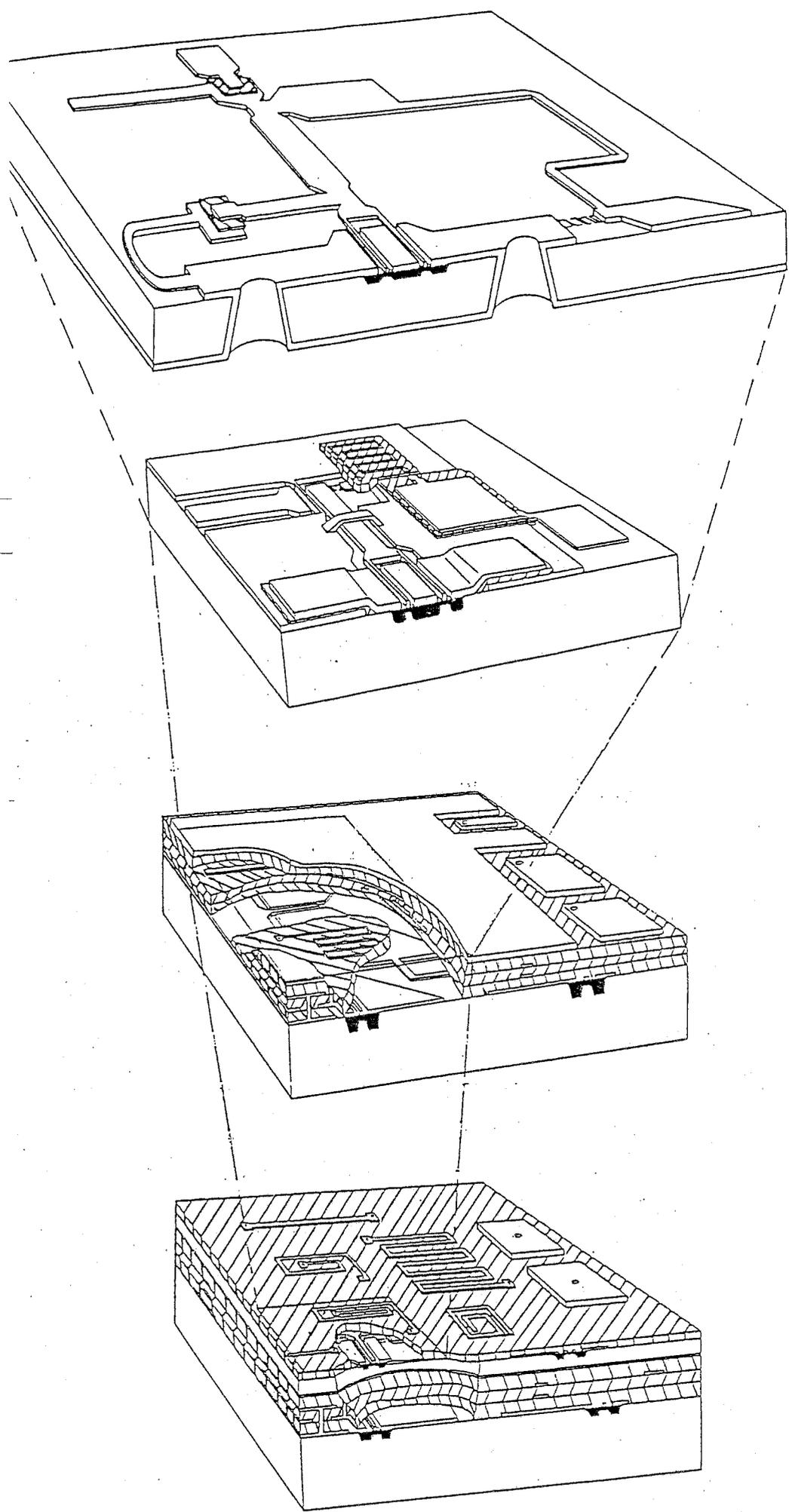


< 予想図 >

2. 移動機の現状と将来予測

移動機構成要素	B型移動機(NTT) 1W	全IC化移動機 現状技術 100mW の適用	腕時計型移動機(将来) 100mW
共用器(送受分波)	12cc 高誘電率の材料の適用	12cc (現状)	アクティブ化・機能集約・多層化等による無線回路の小型化
無線部	100cc ハイブリッドIC化 モノリシックIC化	20cc ハイブリッドIC部を1/10に小型化	1.5cc 高集積化・新機能デバイス等による制御回路の小型化
制御部	40cc 多層基板・CMDSICチップ部分の適用	20cc (1/2:集積度向上)	立体化(無線・制御)による1チップ化
電池	40cc NiCd電池 消費電力5W 送信20分	13cc 送信出力1/10 →消費電力1.7W	3.5cc HPA-信号回路の低消費電力化 電池のシート化・高性能化 消費電力 0.5W
配線・空間	60cc (高密度実装)	6cc (1/10:全IC)	約0 (多層化・立体化IC)
アンテナ	20cc (PIFA)	20cc (現状)	2.5cc 腕時計と寸法的に整合
送受信器・ダイヤル	80cc	5cc デジタル腕時計並み	2cc 音声合成・認識
筐体	40cc	20cc (全容具の2/3集)	7cc 腕時計外周器のみアンテナ別
筐体を除く合計	352cc	96cc	7cc (アンテナ別)

図 2.1 移動機の現状と将来予測



現状のMMIC

回路数比: 1



共平面小型化MMIC  
(~3年後)

回路数比: 3



多層化MMIC  
(~6年後)

回路数比: 10



立体化MMIC  
(~10年後)

回路数比: 50

図2.2 ATRにおけるMMIC研究のマルチステップ

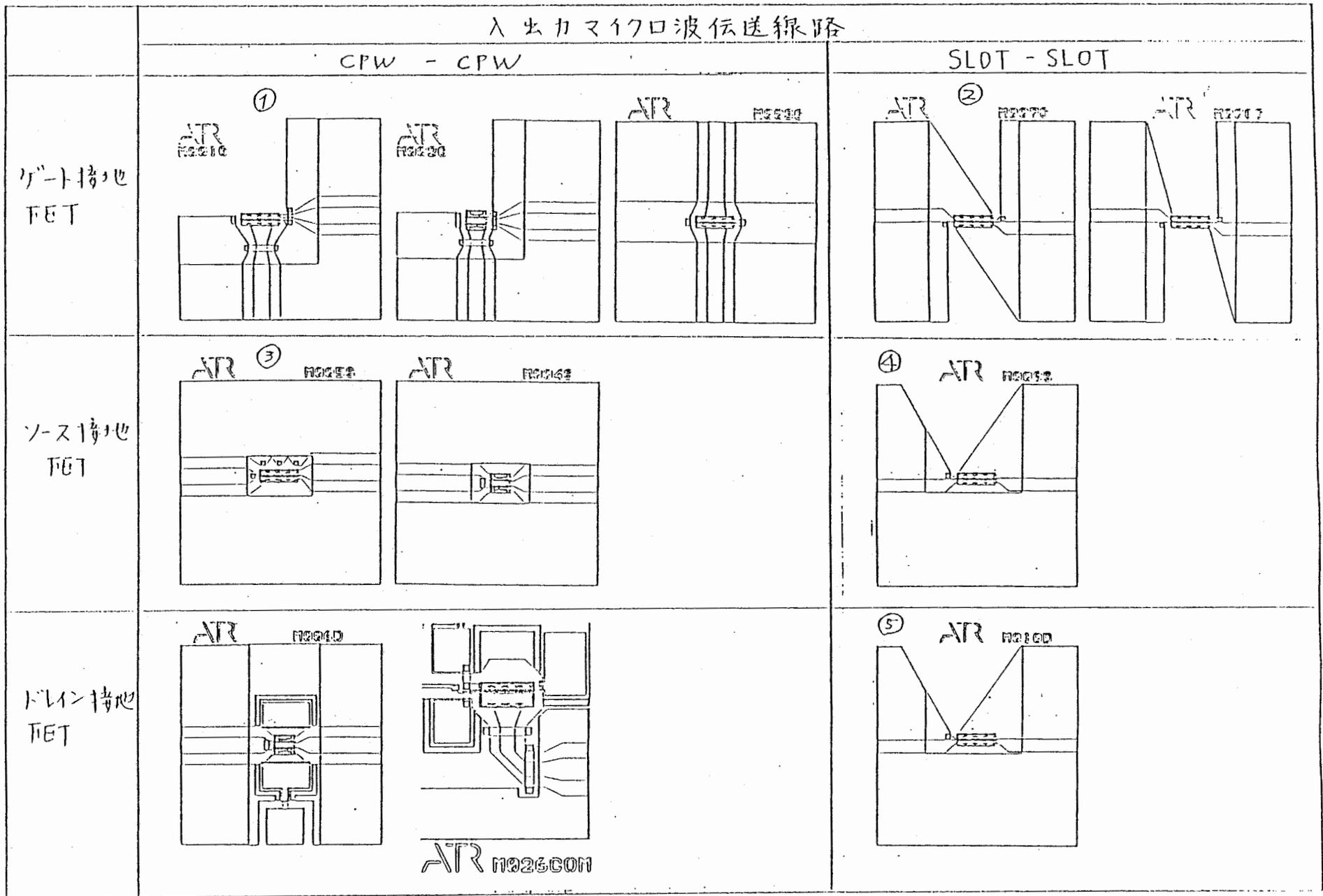


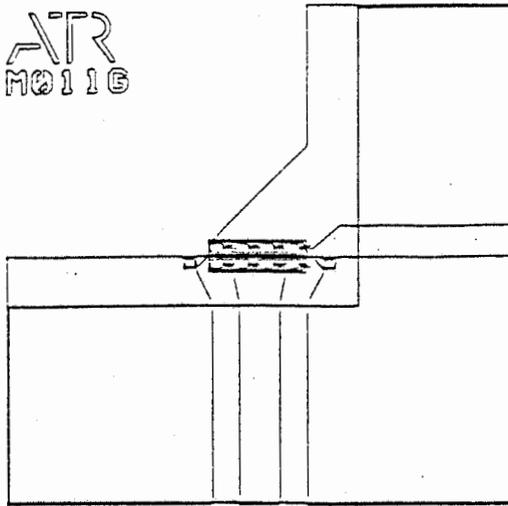
図 3.1 インピーダンス変換FET の試作例

	構成	インピーダンス変換
ゲート接地FET (CGF)		LOW $\rightarrow$ HIGH ( $1/g_m$ )
ソース接地FET (CSF)		HIGH $\rightarrow$ HIGH
ドレイン接地FET (CDF)		HIGH $\rightarrow$ LOW ( $1/g_m$ )

(注)  $g_m$  : FETの相互コンダクタンス

図3.2 FETの接地形式とインピーダンス変換機能

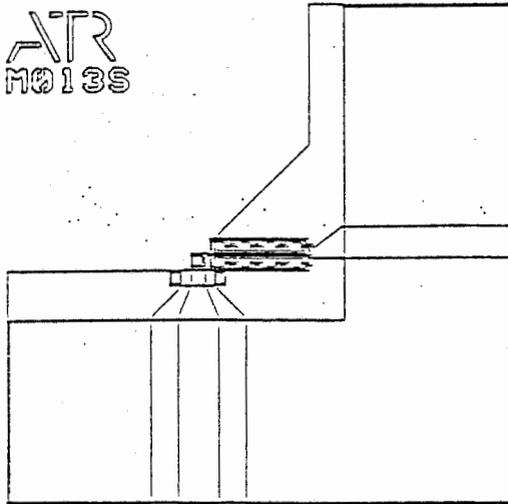
ATR  
No116



⑥

ゲート接地FET

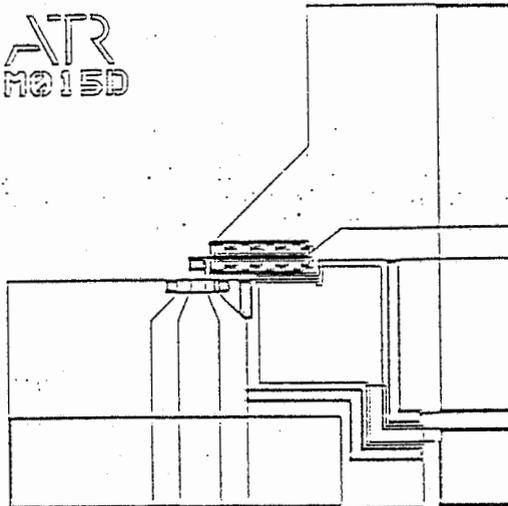
ATR  
No135



⑦

ソース接地FET

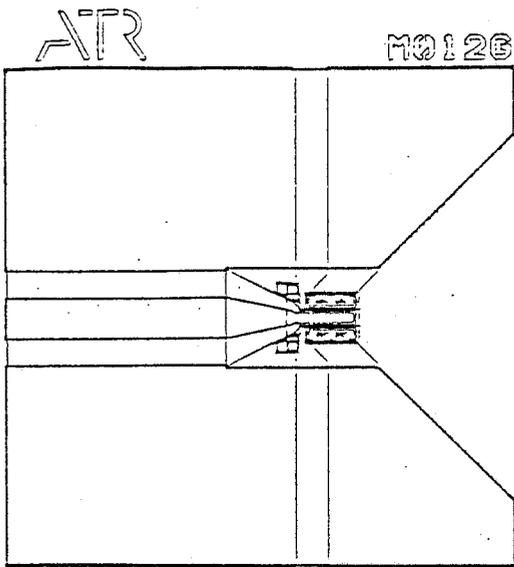
ATR  
No150



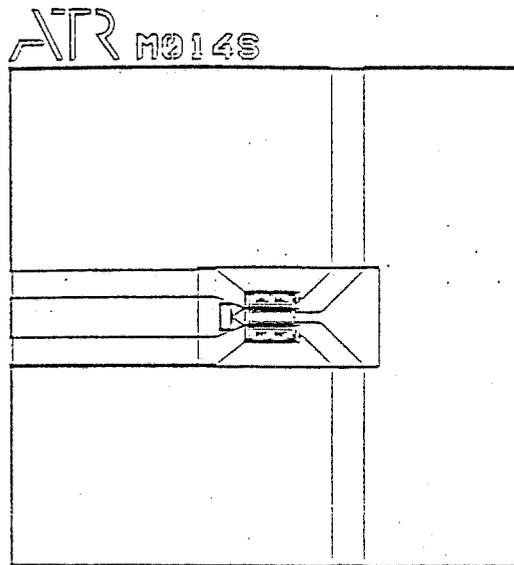
⑧

ドレイン接地FET

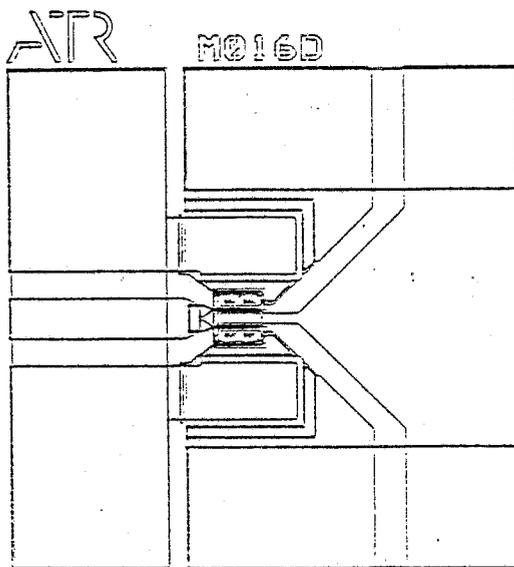
図3.3 線路変換FETの試作例 (CPW → SLOT)



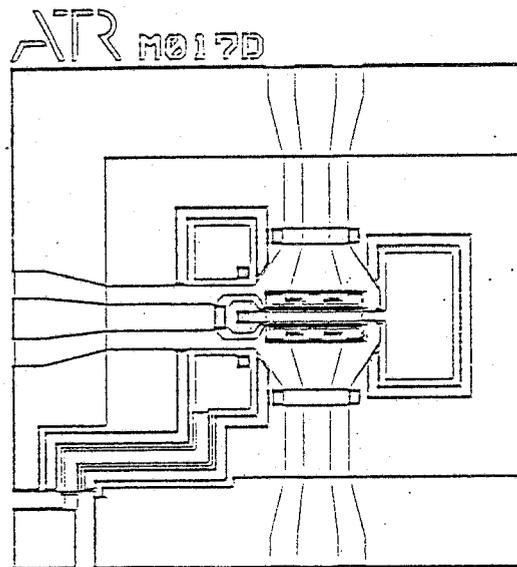
ゲート接地 FET  
(CPW → SLOT)



ソース接地 FET  
(CPW → SLOT)



(CPW → SLOT)

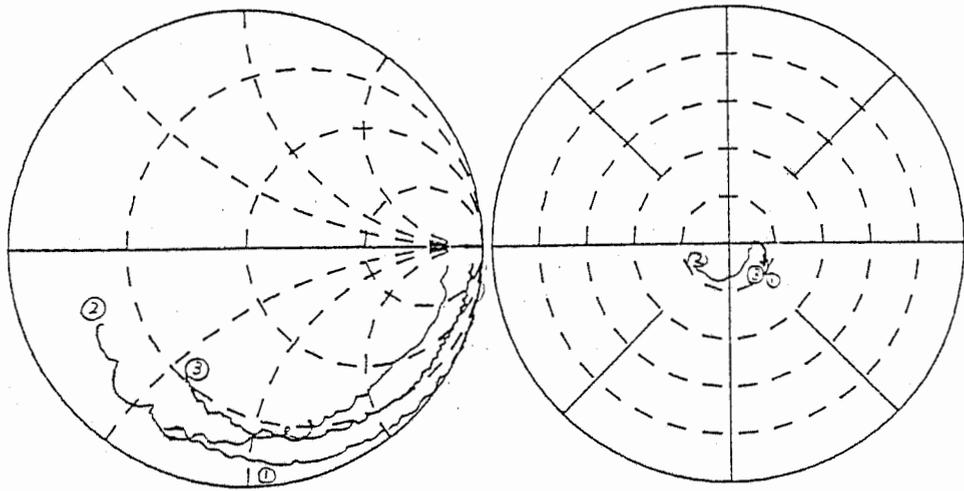


(CPW → CPW)

ドレイン接地  
FET

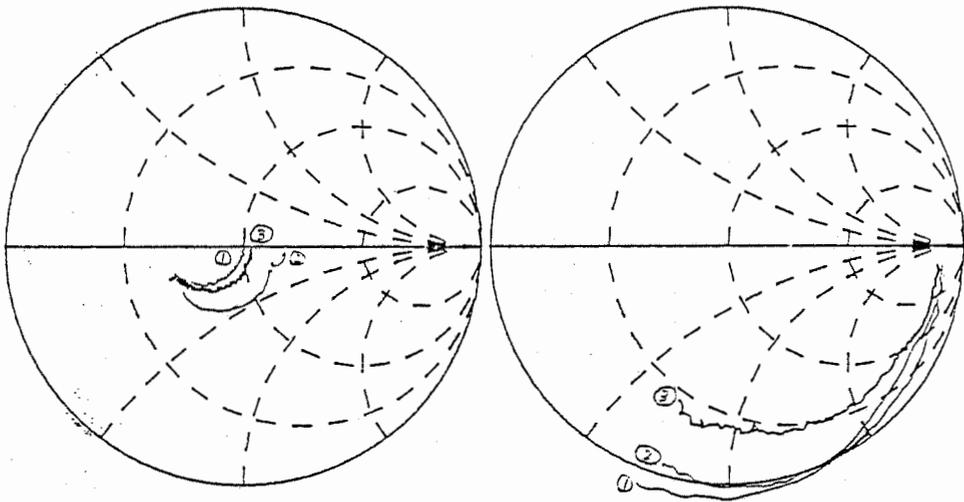
図 3.4 電力分配 FET の試作例

	入力線路	出力線路
CGF	① CPW	- CPW
	② slot	- slot
	③ CPW	- slot



$S_{21}$

$S_{12}$



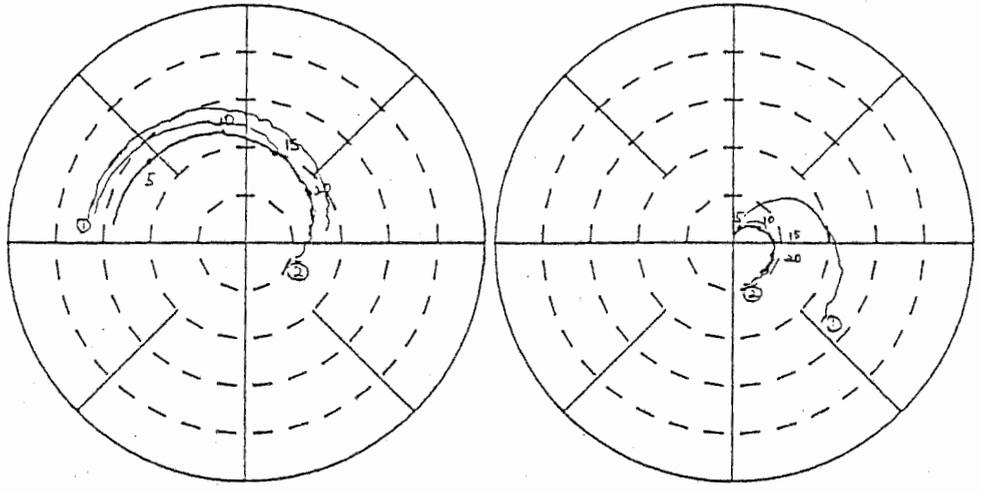
$S_{11}$

$S_{22}$

START 1.000000000 GHz  
STOP 26.000000000 GHz

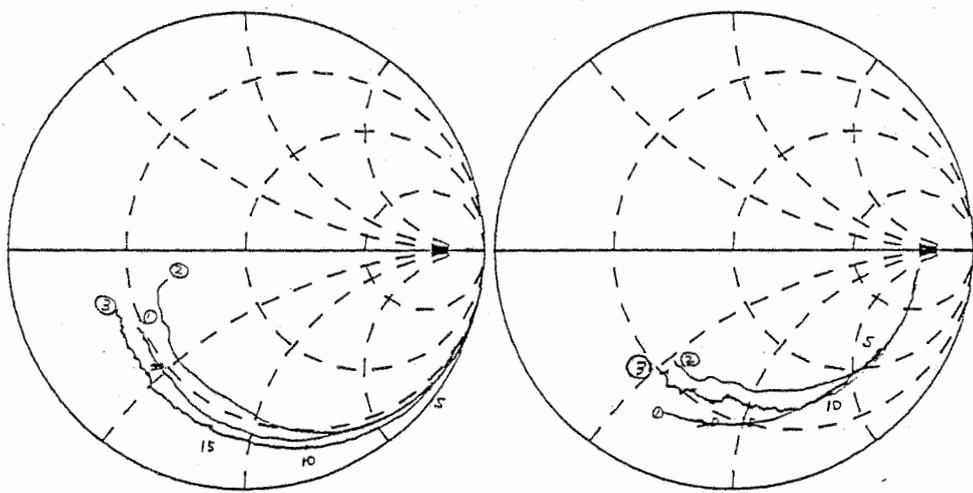
図 3.5-1 : インピーダンス及び線路変換 FET におけるゲート接地 FET

CSF      ① CPW - CPW  
             ② Slot - Slot  
             ③ CPW - CPW



$S_{21}$

$S_{12}$



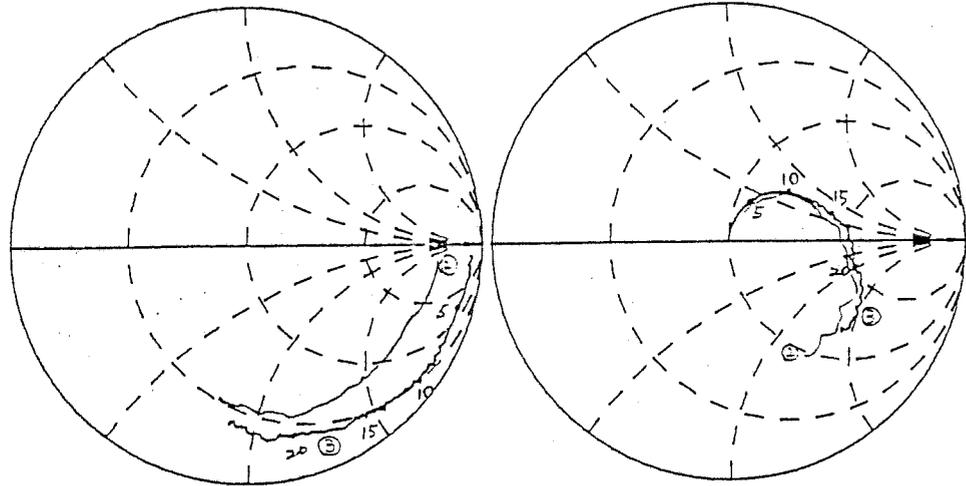
$S_{11}$

$S_{22}$

START 1.000000000 GHz  
 STOP 26.000000000 GHz

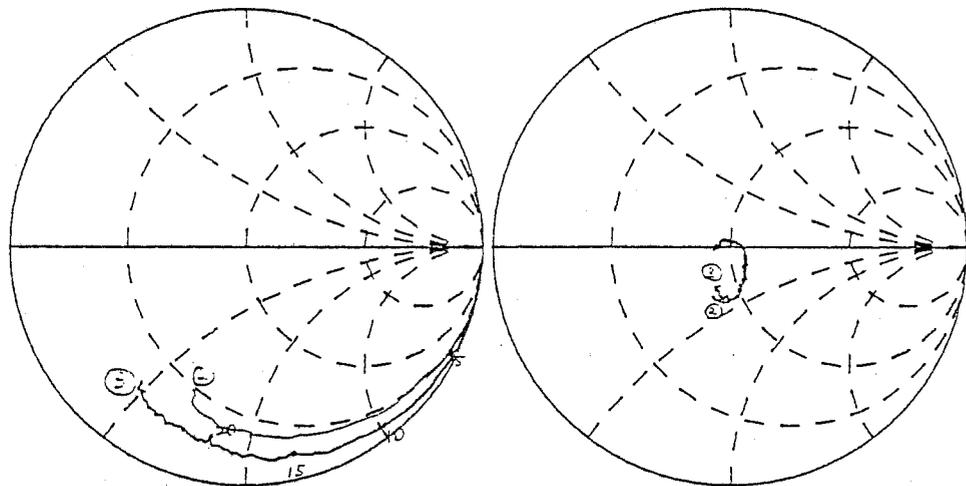
図 3.5-2 : インピーダンス変換及び線路変換 FET におけるソース接地 FET

CDF      入力線路      出力線路  
 ② Slot      -      Slot  
 ③ CPW      -      Slot



$S_{21}$

$S_{12}$

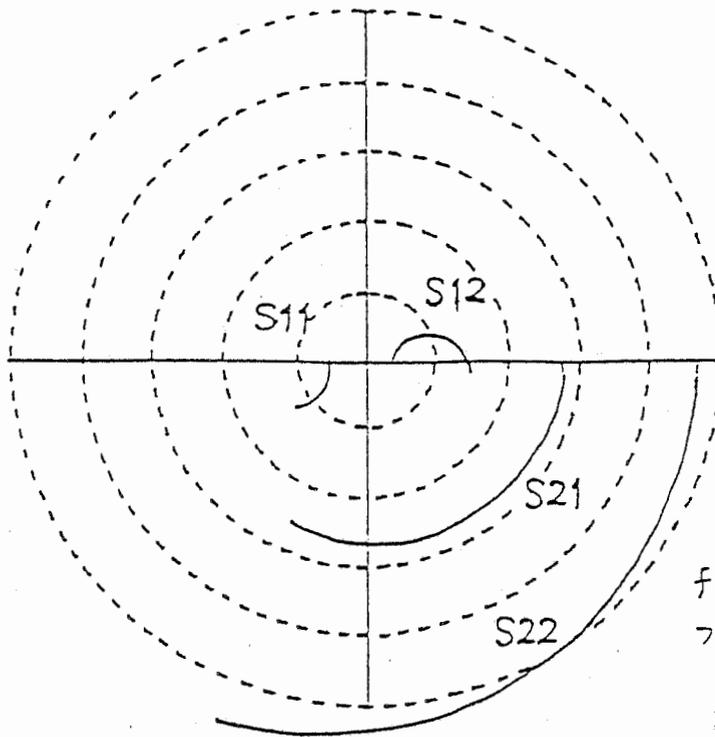


$S_{11}$

$S_{22}$

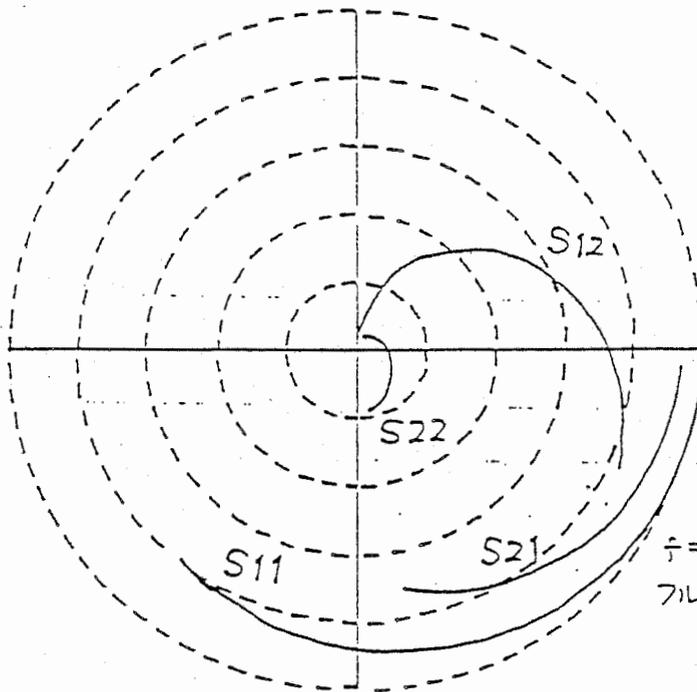
START 1.000000000 GHz  
 STOP 26.000000000 GHz

図 3.5-3 : インピーダンス変換及線路変換 FET におけるドレイン接地 FET



$f = 1\text{GHz} \sim 26\text{GHz}$   
 フィルステール  
 $S_{11}, S_{22} : 1$   
 $S_{21} : 2$   
 $S_{12} : 0.5$

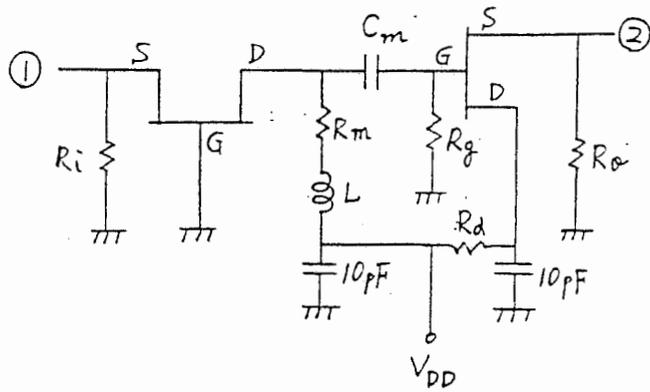
(a) ゲート接地FET



$f = 1\text{GHz} \sim 26\text{GHz}$   
 フィルステール: 1

(b) ドレイン接地FET

図3.6 ゲート接地FET およびドレイン接地FETの特性計算値



L : 方形スズハ°インダクタ

RECI  $n_1$   $n_2$   $X=300\mu\text{m}$   $AR=1$   $W=10\mu\text{m}$   $S=22\mu\text{m}$

$T=2\mu\text{m}$   $RB=2.6$  SUB

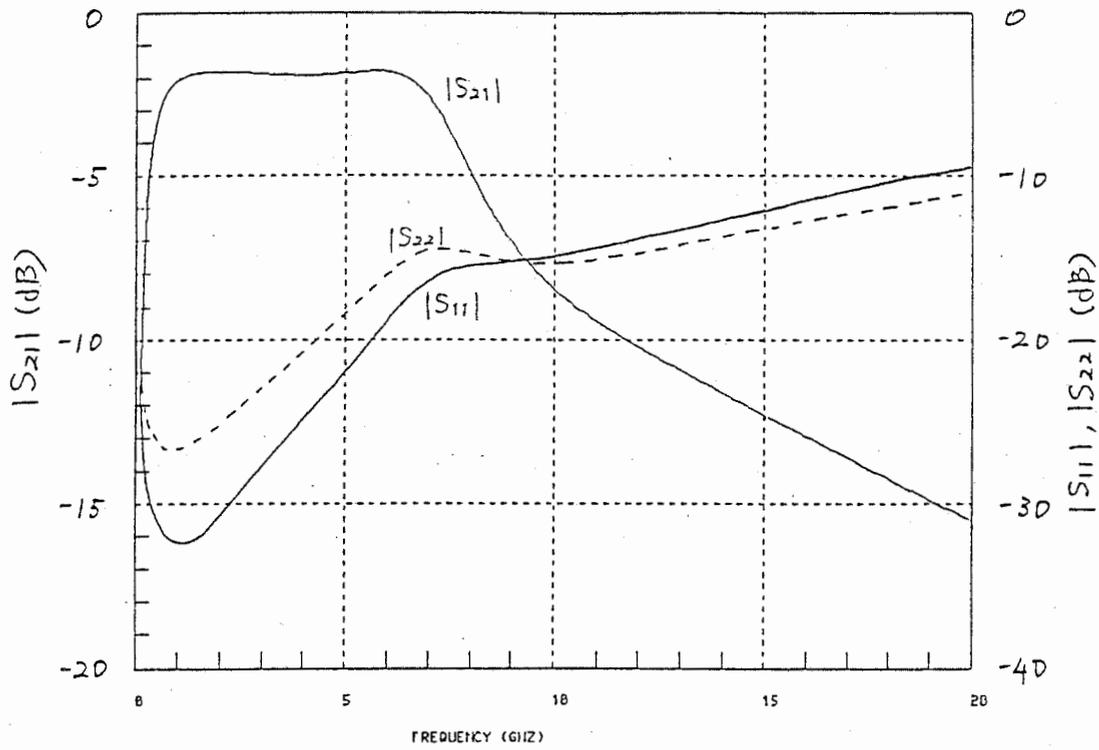
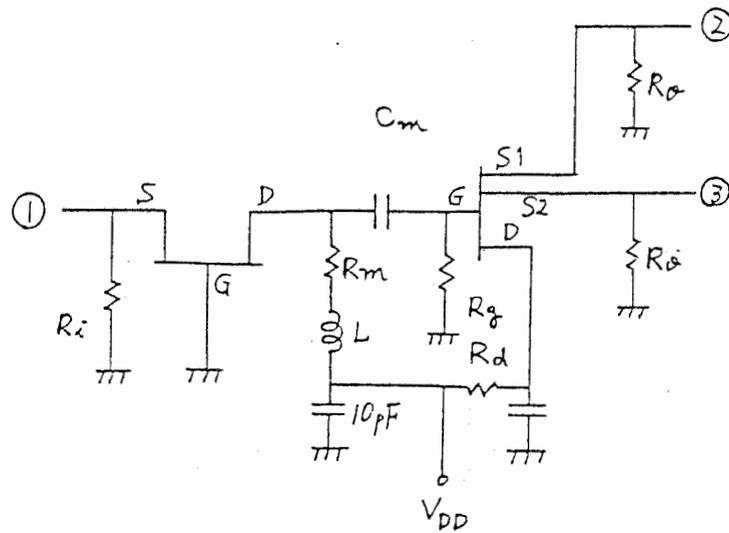


図 3.8 アイソレータの基本構成と特性計算値



L: 方形スリットインダクタ

RECI  $n_1, n_2$   $X=300\mu\text{m}$   $AR=1$   $W=10\mu\text{m}$   $S=75\mu\text{m}$

$T=2\mu\text{m}$   $RB=2.6$  SUB

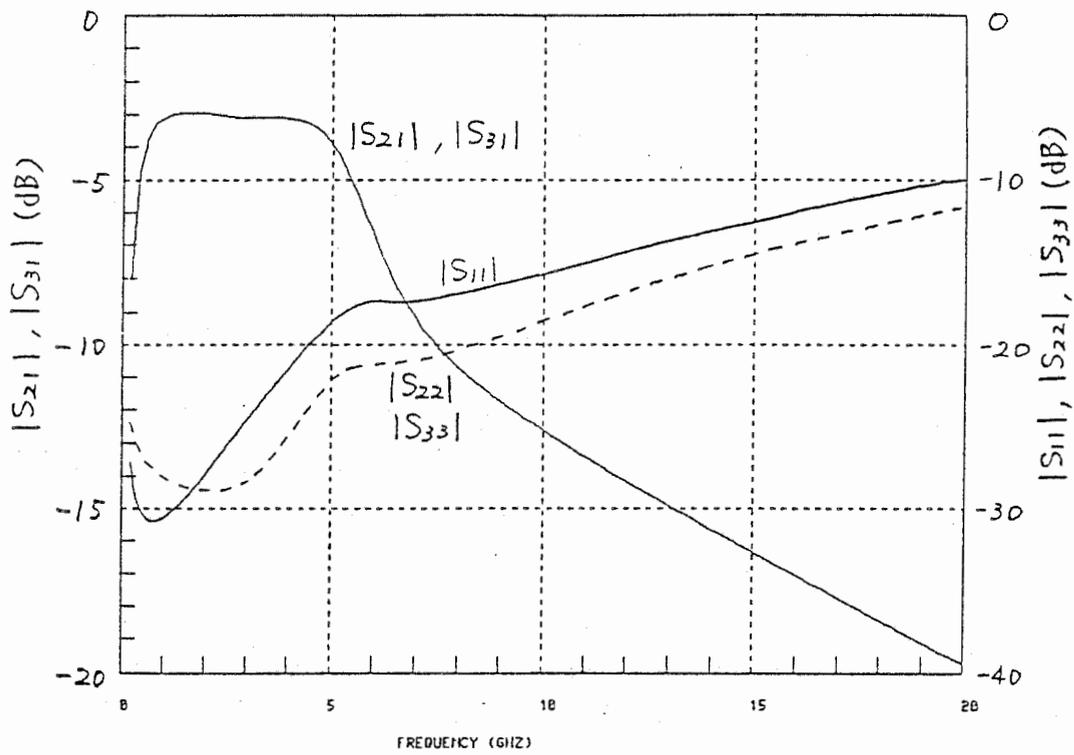
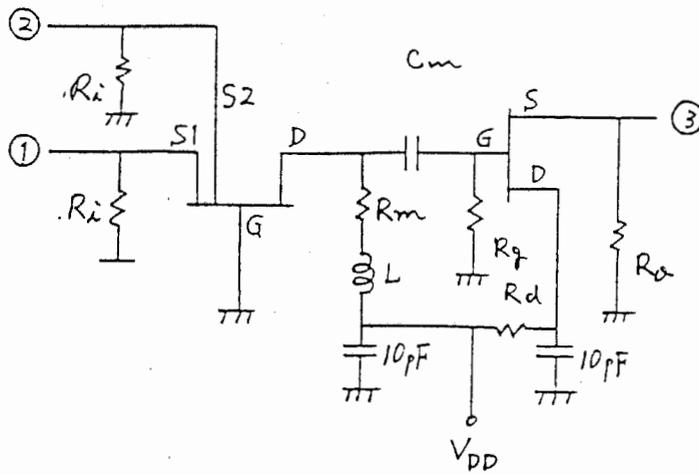


図 3.9 パワーデバイダの基本構成と特性計算値



L: 方形スパラルインダクタ

RECI  $n_1 n_2$   $X=300\mu\text{m}$   $AR=1$   $W=10\mu\text{m}$   $S=15\mu\text{m}$   
 $T=2\text{mm}$   $RB=2.6$  SUB

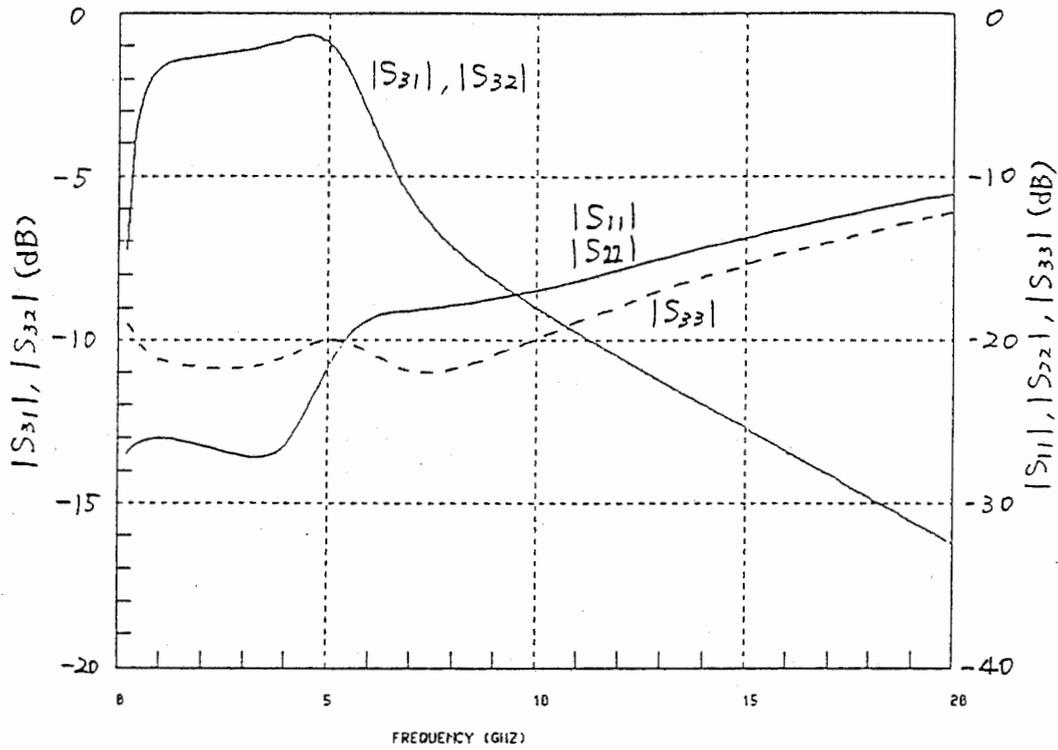


図3.10 パワコンバイタの基本構成と特性計算値

表3-1 試作回路パターン種類

アイソレータ	1 2 3	(基礎回路) (基礎回路)-(入出力抵抗150Ω) (基礎回路)-(入出力抵抗150Ω,インダクタ)
パワーデバイダ	1 2 3 4	(基礎回路)-(CPW入出力) (基礎回路)-(CPW入出力)-(入出力抵抗150Ω) (基礎回路)-(CPW入出力)-(入出力抵抗150Ω,インダクタ) (基礎回路)-(CPW入力、スロット出力)-(入出力抵抗150Ω,インダクタ)
パワーコンバイナ	1 2 3 4	(基礎回路)-(CPW入出力) (基礎回路)-(CPW入出力)-(入出力抵抗150Ω) (基礎回路)-(CPW入出力)-(入出力抵抗150Ω,インダクタ) (基礎回路)-(CPW入力、スロット出力)-(入出力抵抗150Ω,インダクタ)

表3.2 試作FETの評価結果

パラメータ	試作したモニタFET	設計時
$g_m$ (mS)	23.31	19.0
$\tau$ (pS)	3.38	3.3
$R_{ds}$ ( $\Omega$ )	450	660
$C_{gs}$ (pF)	.15	.13
$C_{dg}$ (pF)	.018	.019
$C_{ds}$ (pF)	.006	.021
$C_{dg}$ (pF)	.016	.025
$R_s$ ( $\Omega$ )	3.1	3.7
$R_d$ ( $\Omega$ )	3.1	3.7
$R_g$ ( $\Omega$ )	4.3	8.25
$R_j$ ( $\Omega$ )	3.0	1.3
$(R_g + R_j + R_s)$	10.4	133.25
$C_{gss}$ (pF)	.009	.014
$C_{dss}$ (pF)	.009	.002
$L_s$ (nH)	.02	0
$L_d$ (nH)	0	.084*
$L_g$ (nH)	0	.063*
バイアス条件	$V_{ds} = 3V$ $V_{gs} = -0.5V$ $I_{ds} = 6.7_m A$	$V_{ds} = 3V$ $V_{gs} = -0.6V$ $I_d = 5_m A$

\*形状により加わったころ

ATR M018150

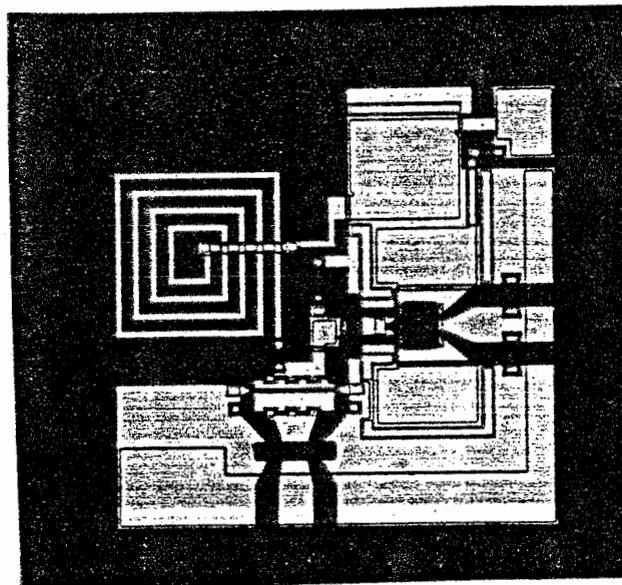
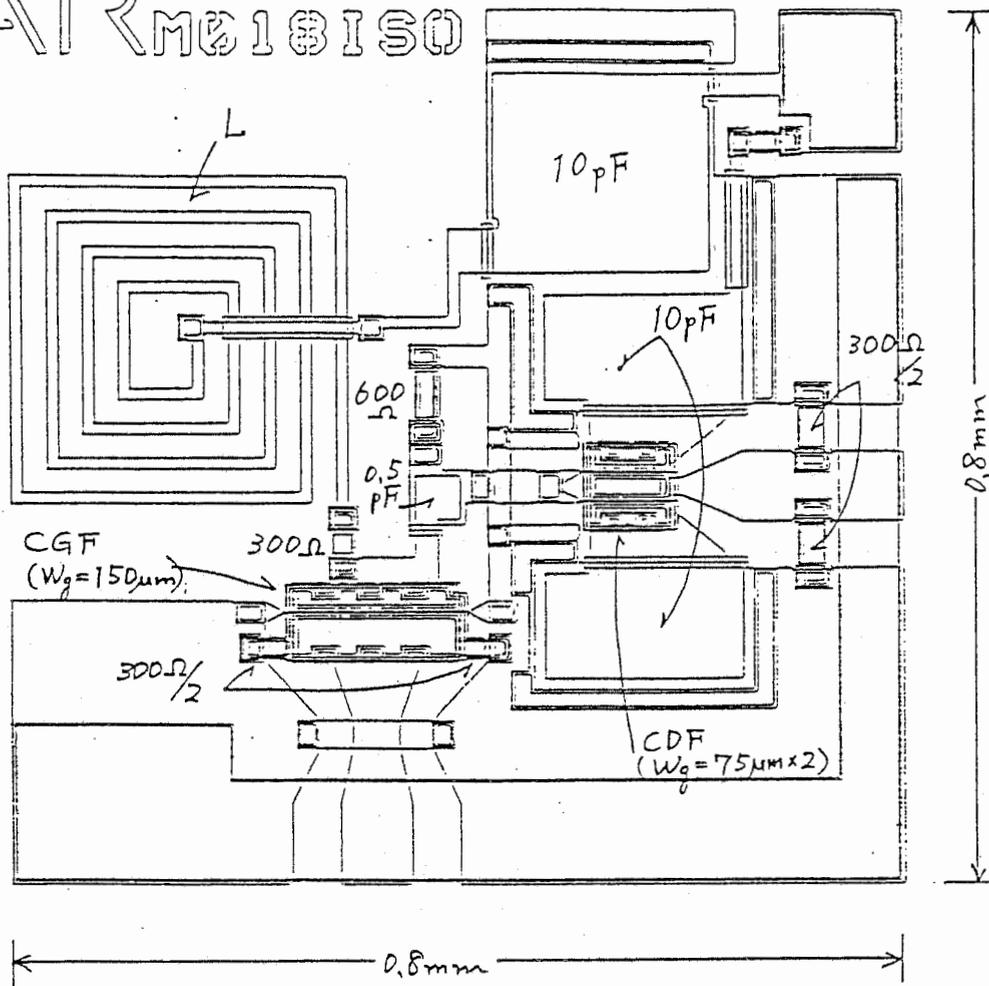


図3.11-1 アソレータ1の形状とチップ写真

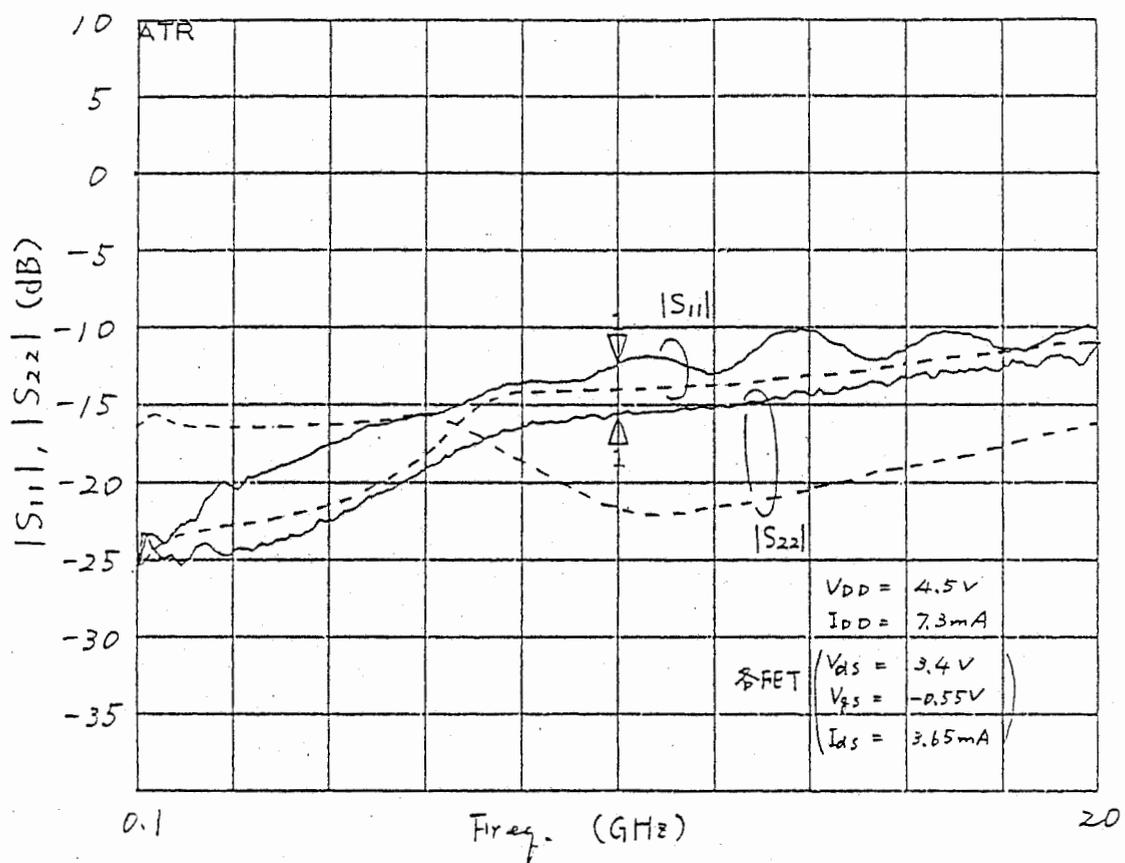
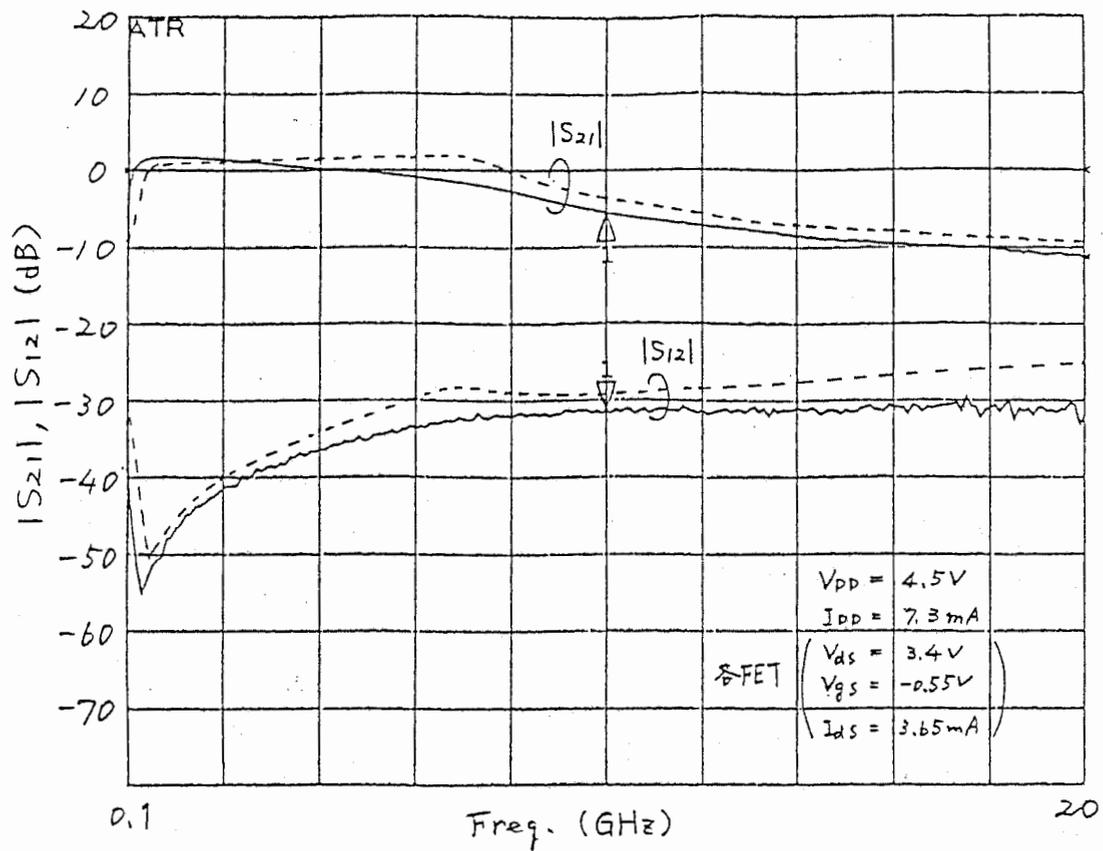


図3.11-2 アソル-71の特性測定値と計算値 (— 測定値, --- 計算値)

ATR M019150

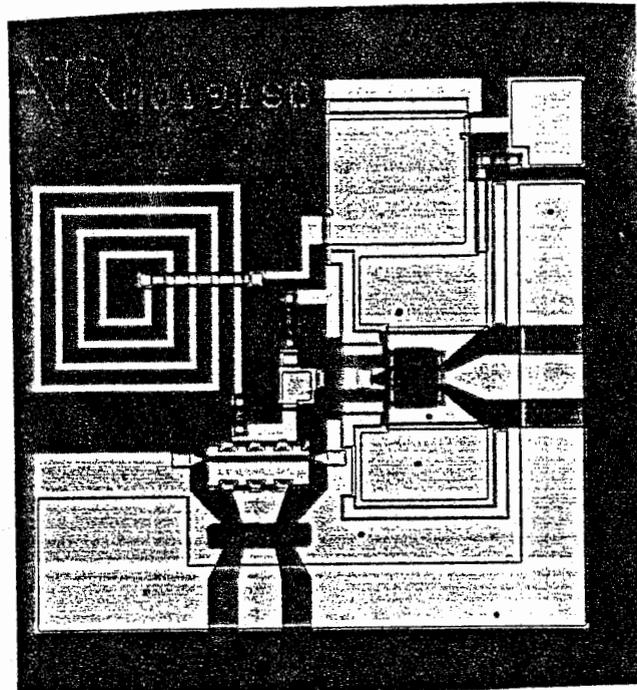
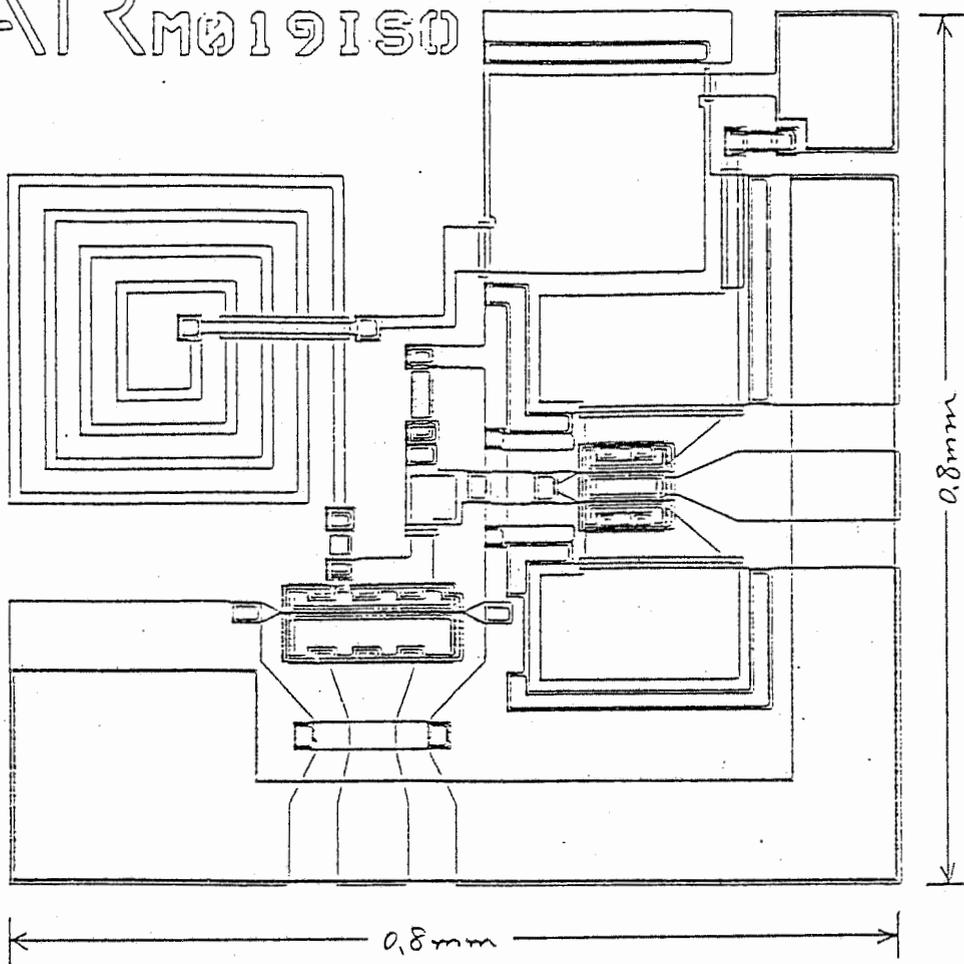


図3.12-1 アソル-タ2の形状とチップ写真

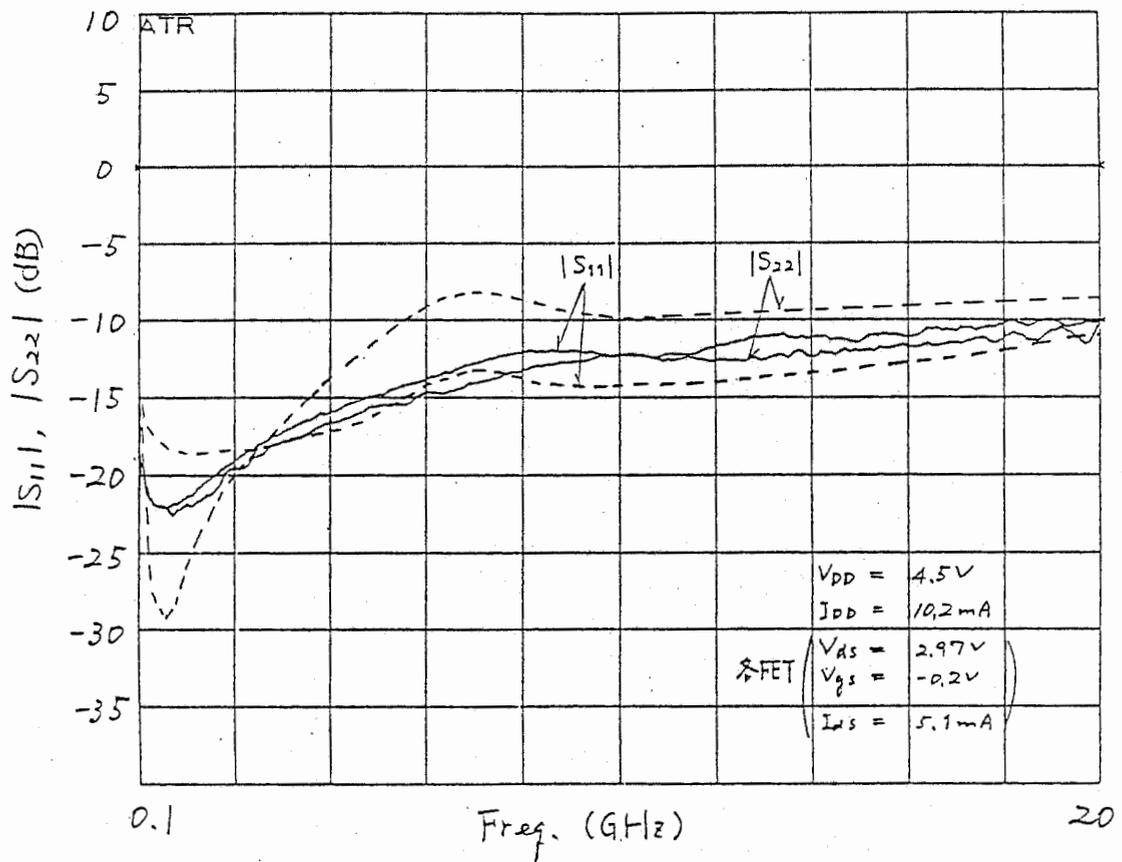
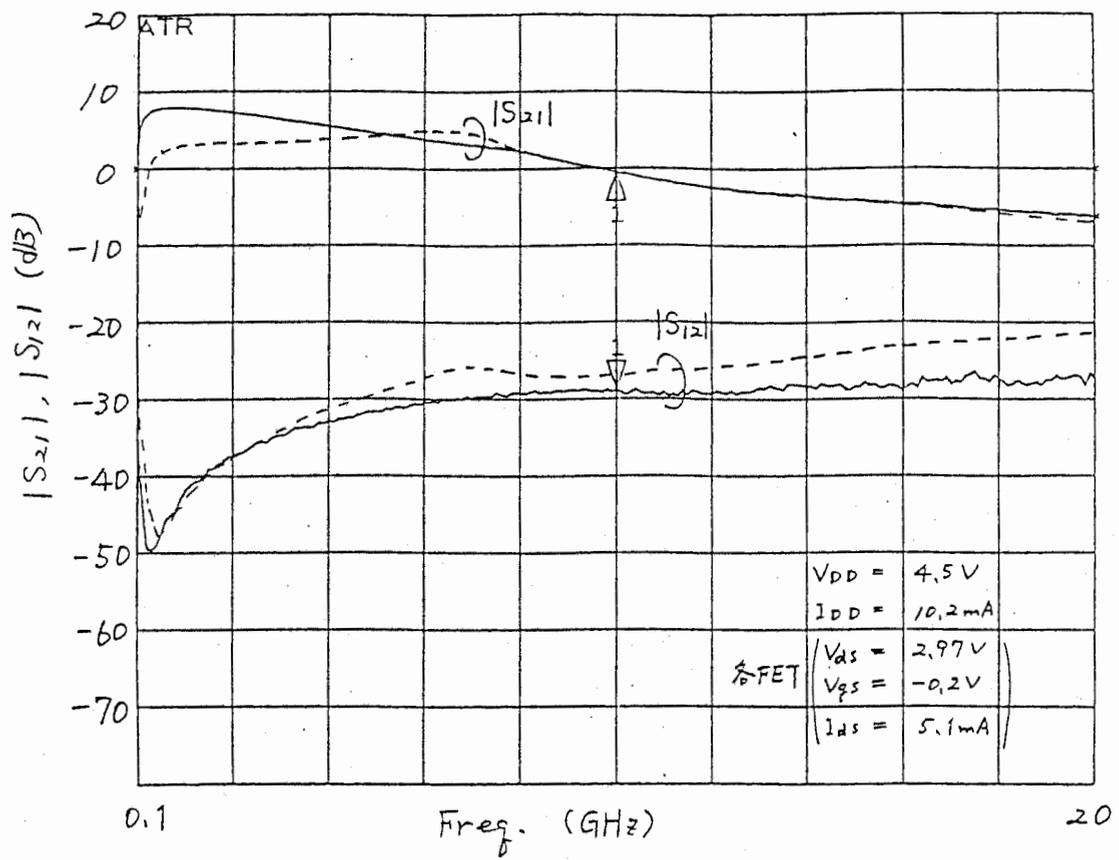


図3.12-2 アソルター2の特性測定値と計算値

ATR M020150

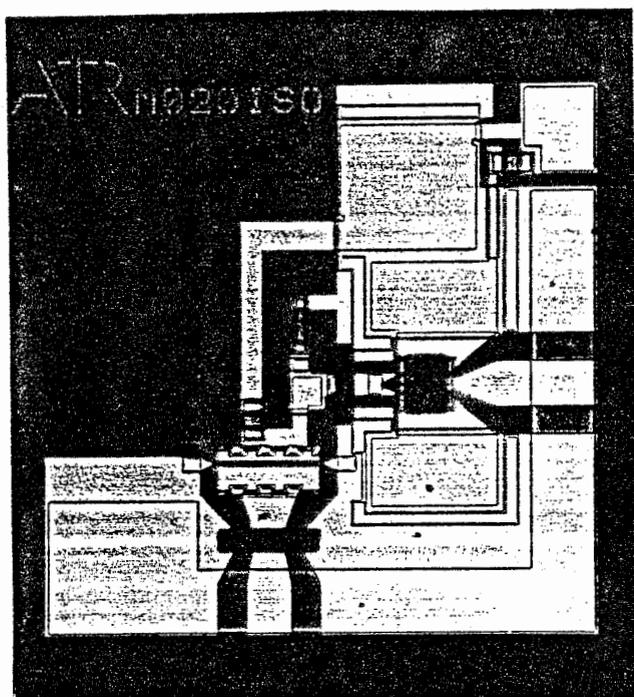
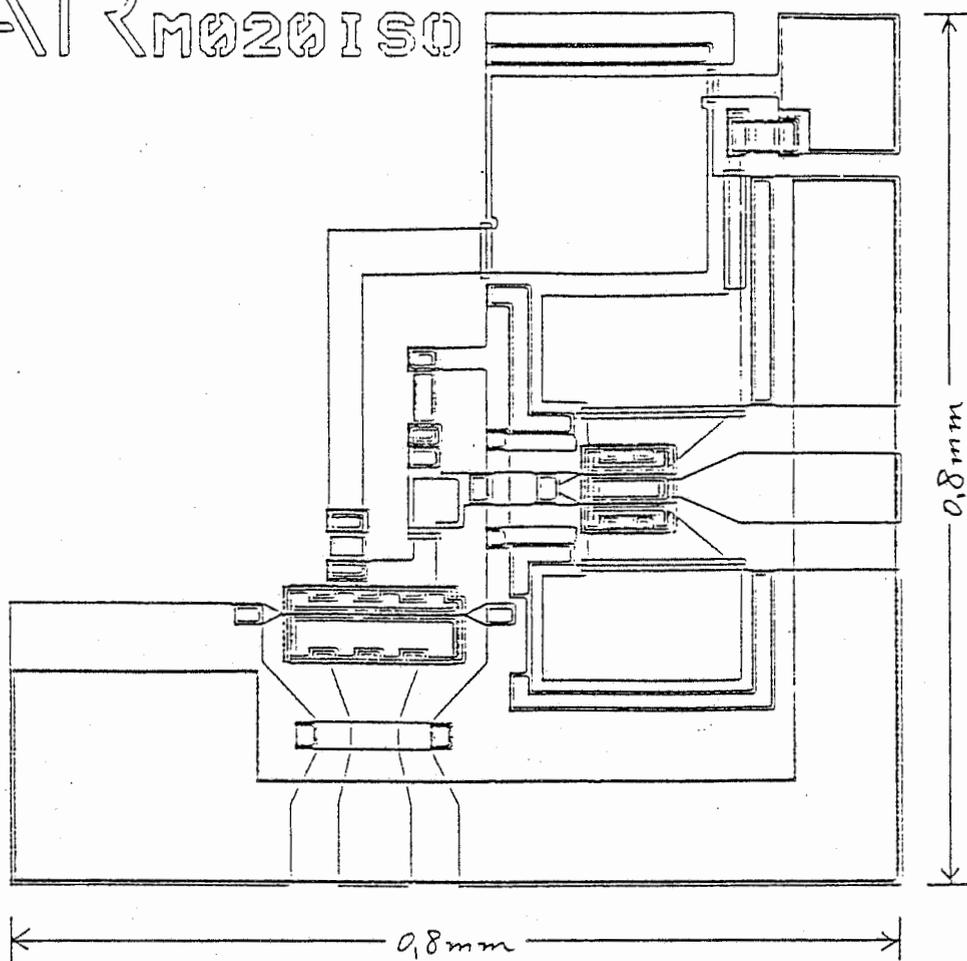


図3.13-1 アソレータの形状とチップ写真

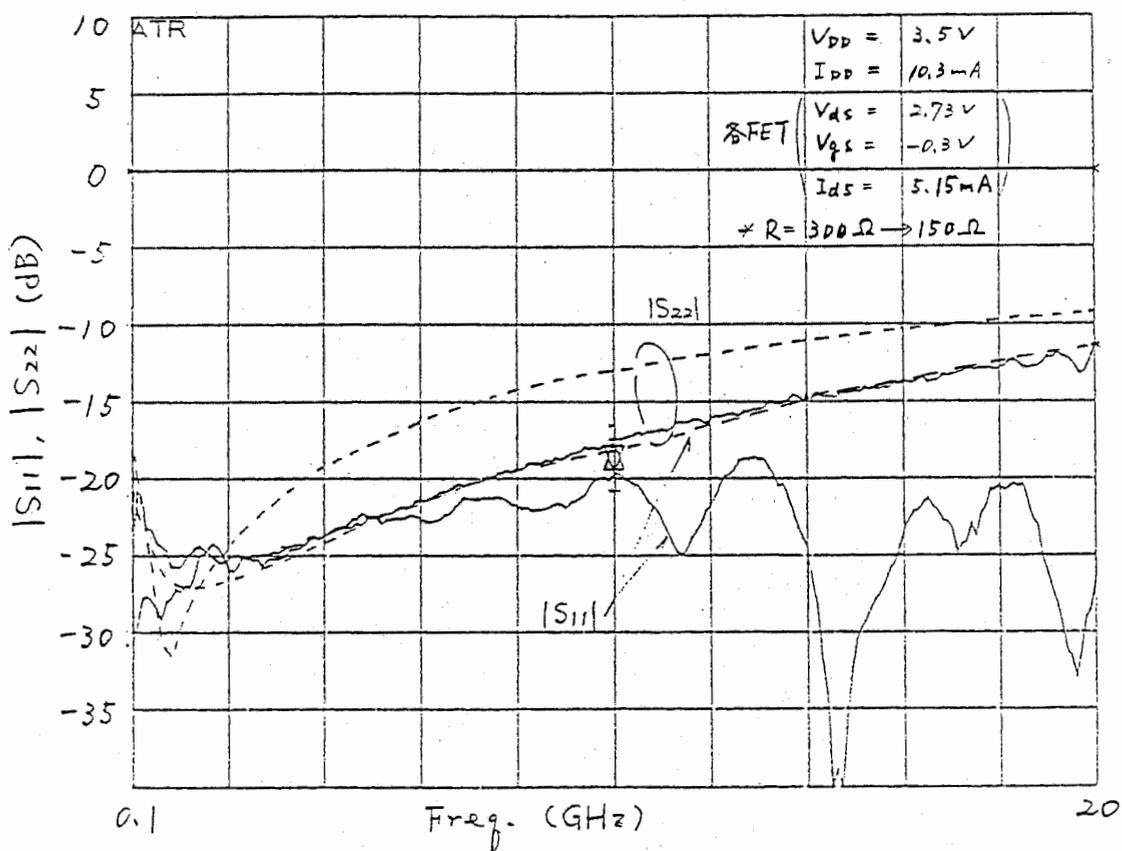
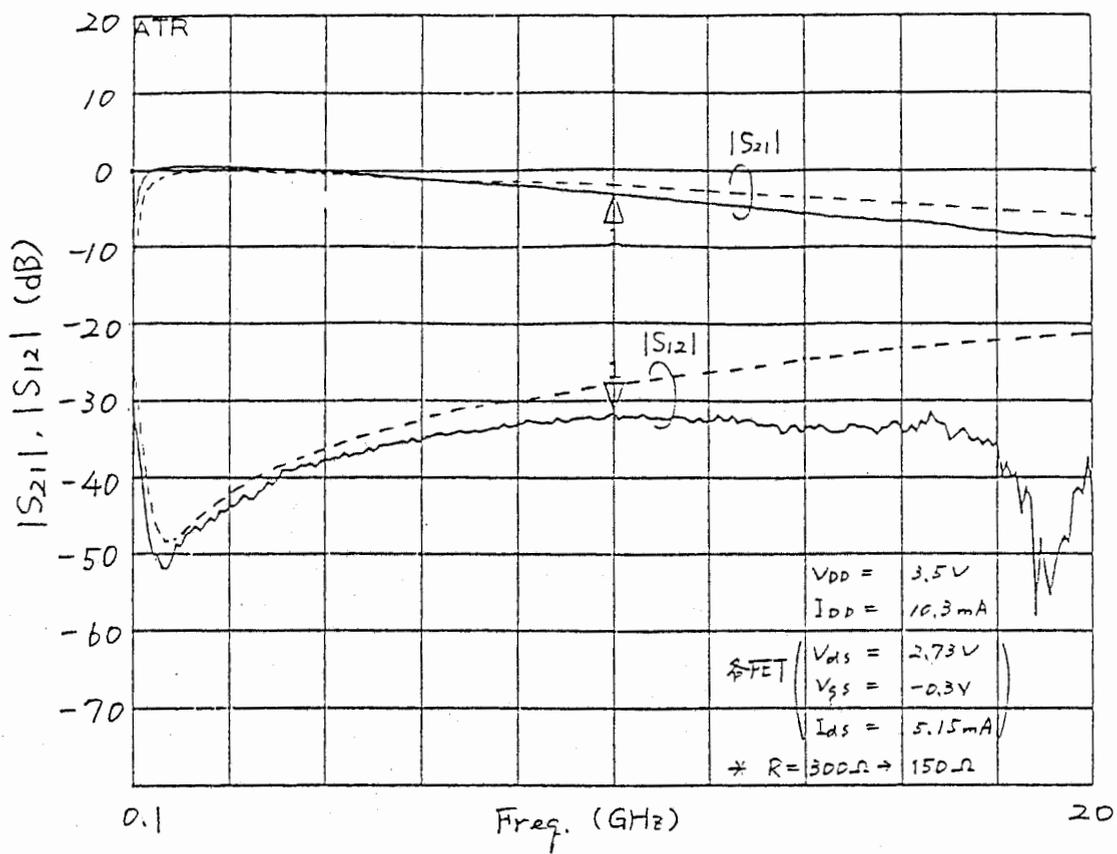


図3.13-2 アイソレータ3の特性測定値と計算値 (—測定値, ---計算値)

ATR M021D1U

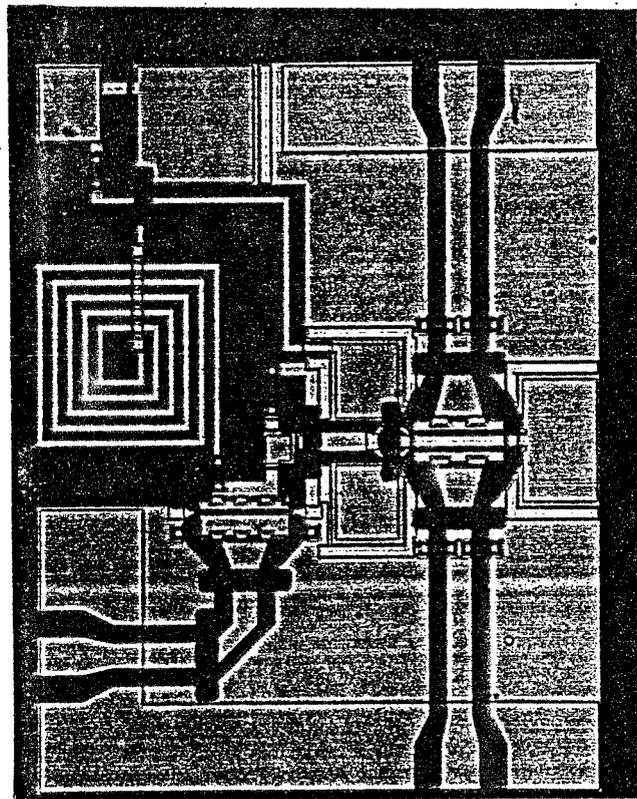
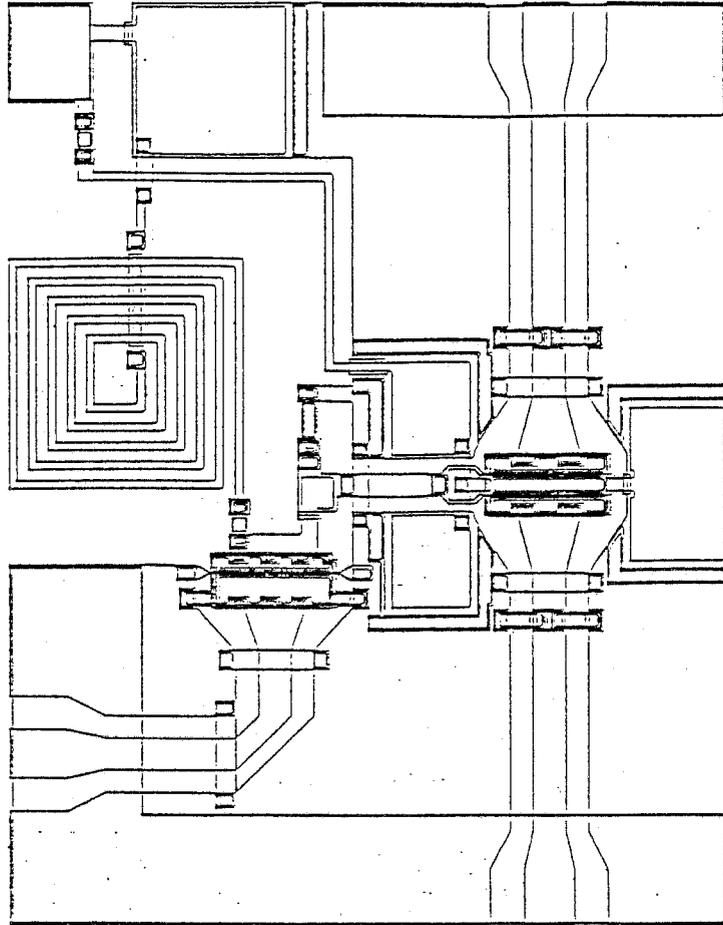


図3.14-1 パワーデバイダの形状とチップ写真

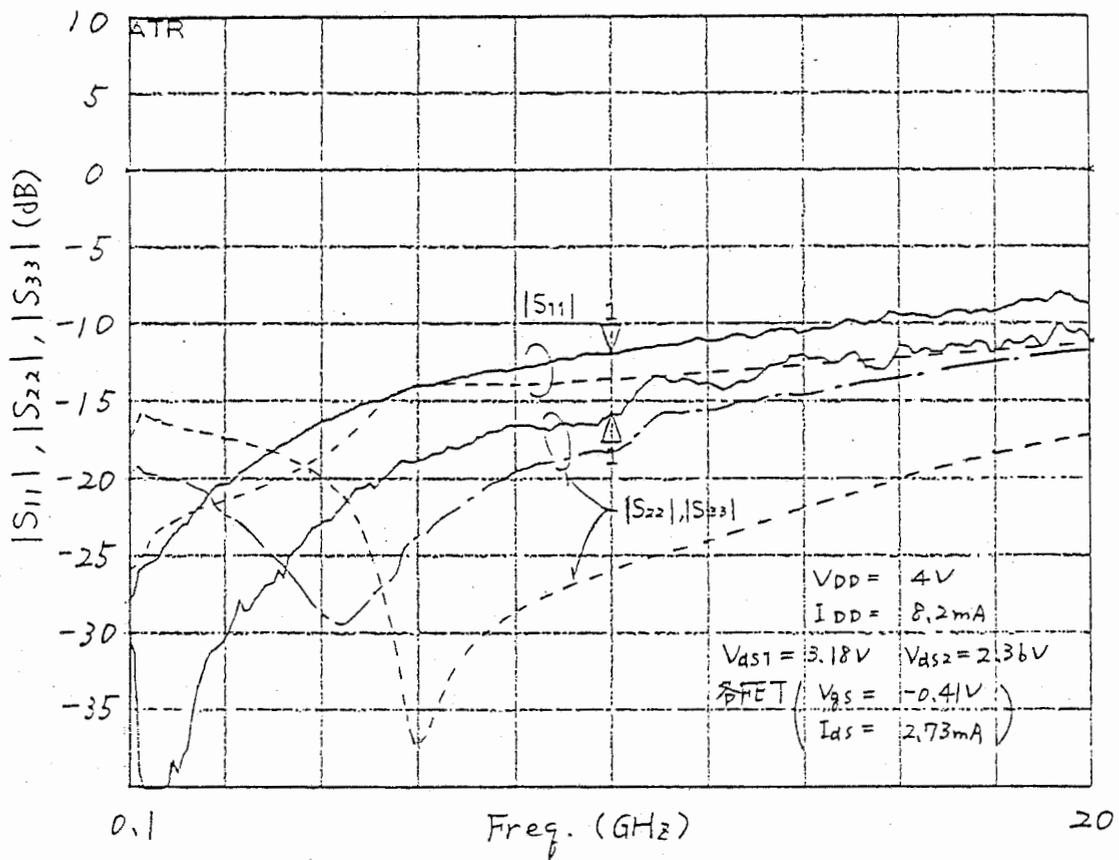
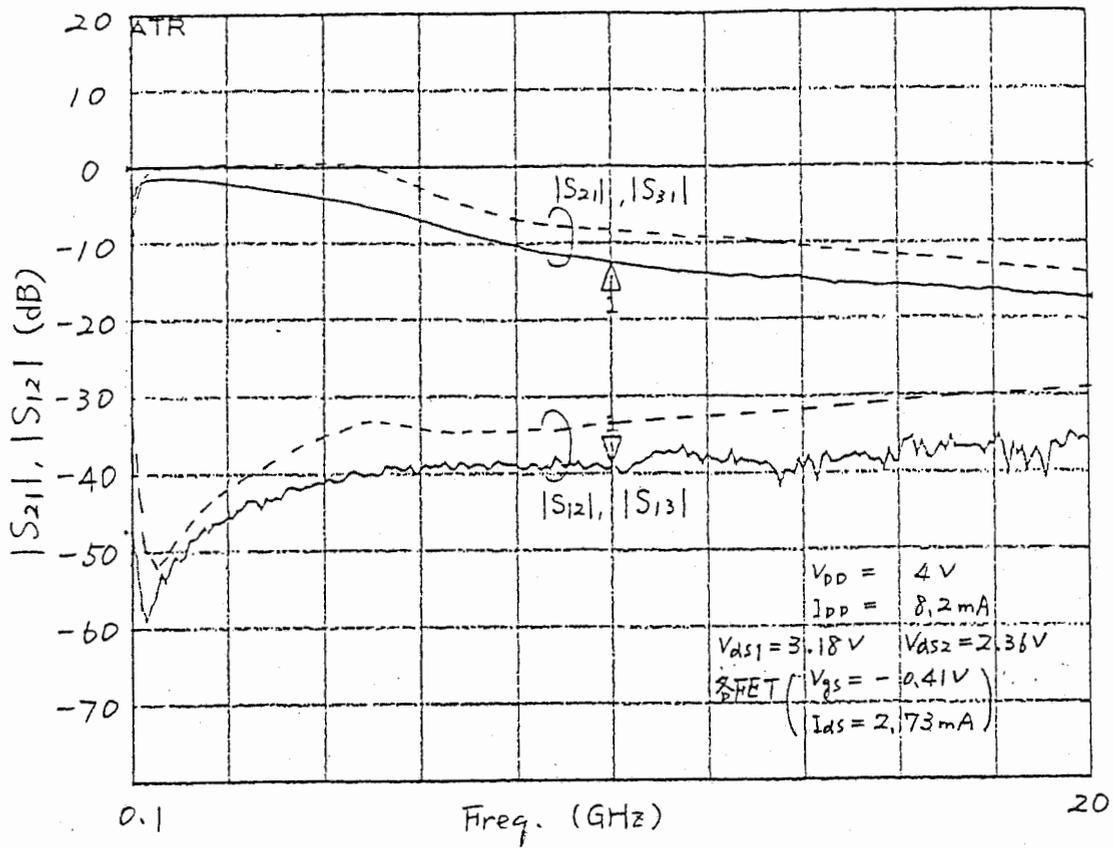


図3.14-2 パワーデバイス1の特性測定値と計算値 (—測定値, ---計算値)

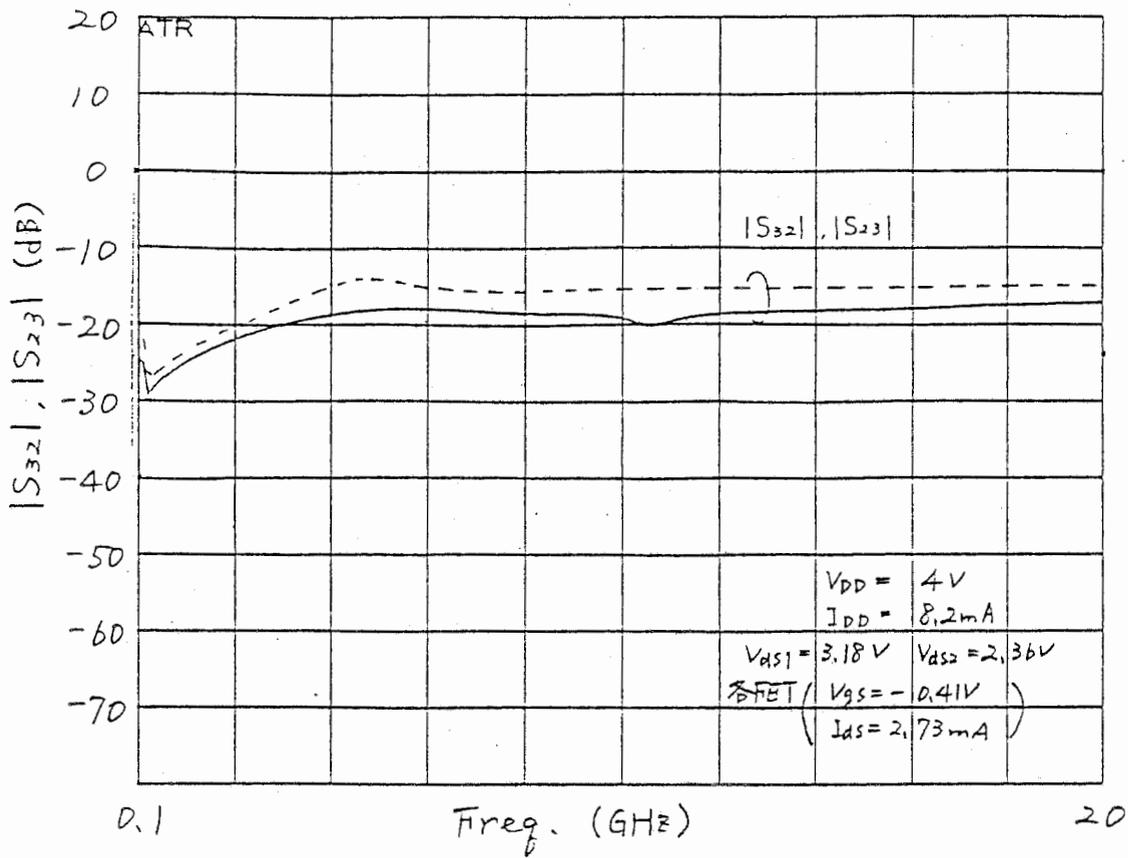


図3.14-3 パワーデバイタの特性測定値と計算値 (—測定値, ---計算値)

ATR M022DIU

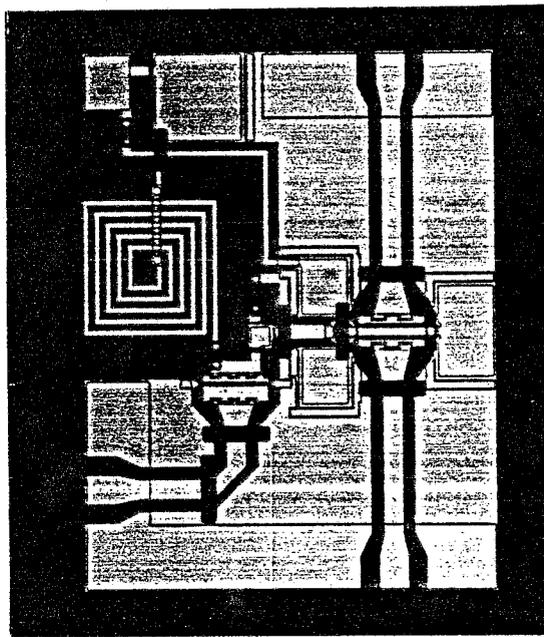
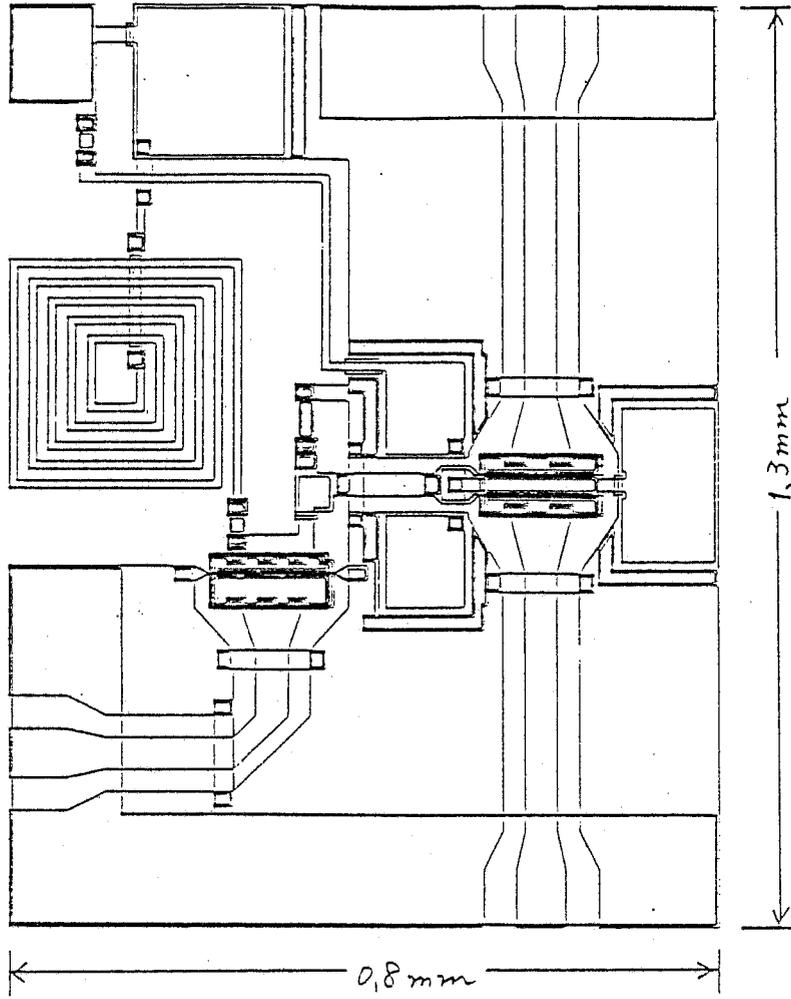


図3.15-1 ハワ-デバイタ"2"の形状とチップ写真

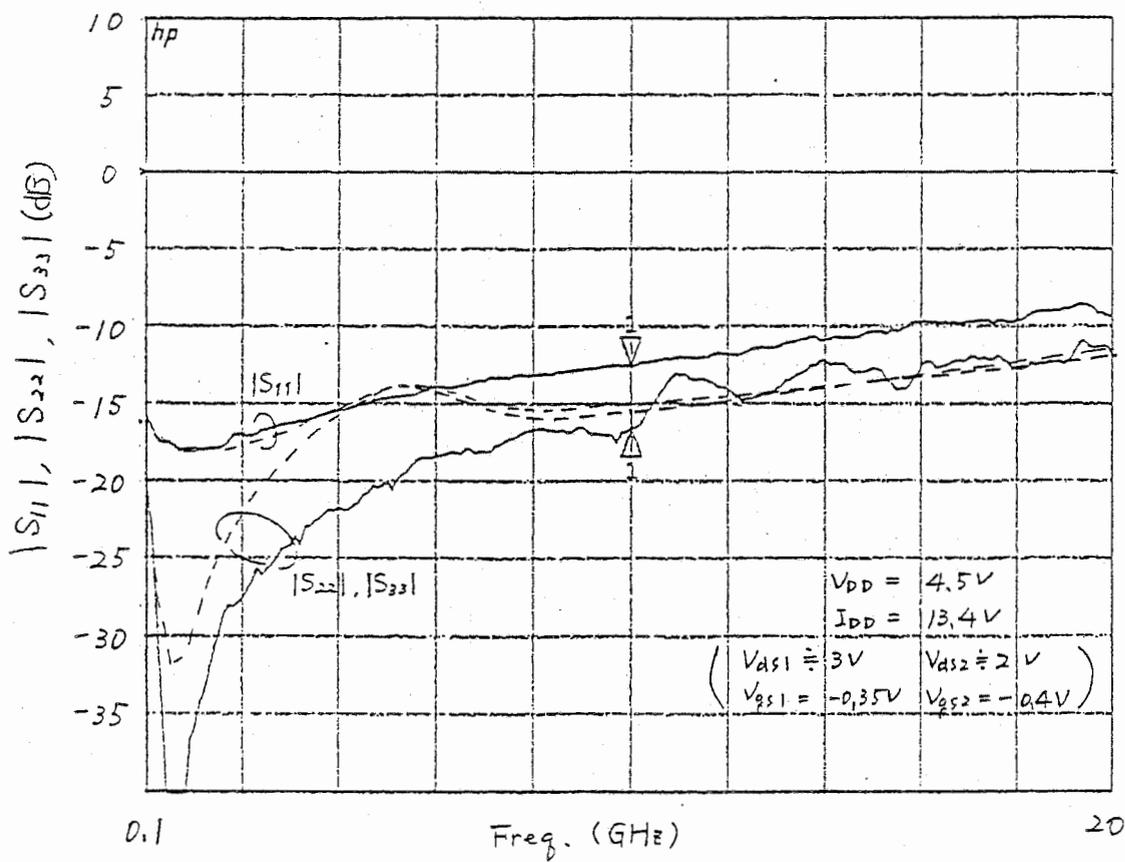
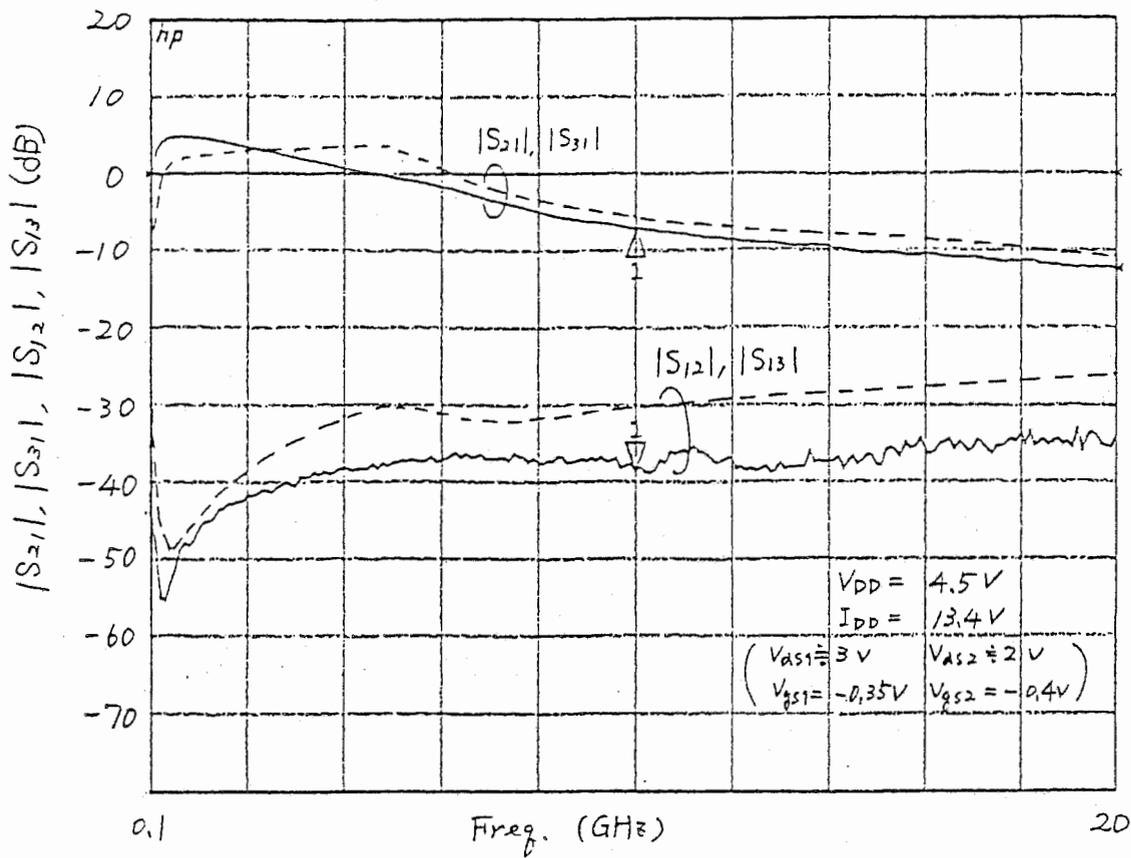


図3.15-2 パワーデバイダの特性測定値と計算値(—測定値, ---計算値)

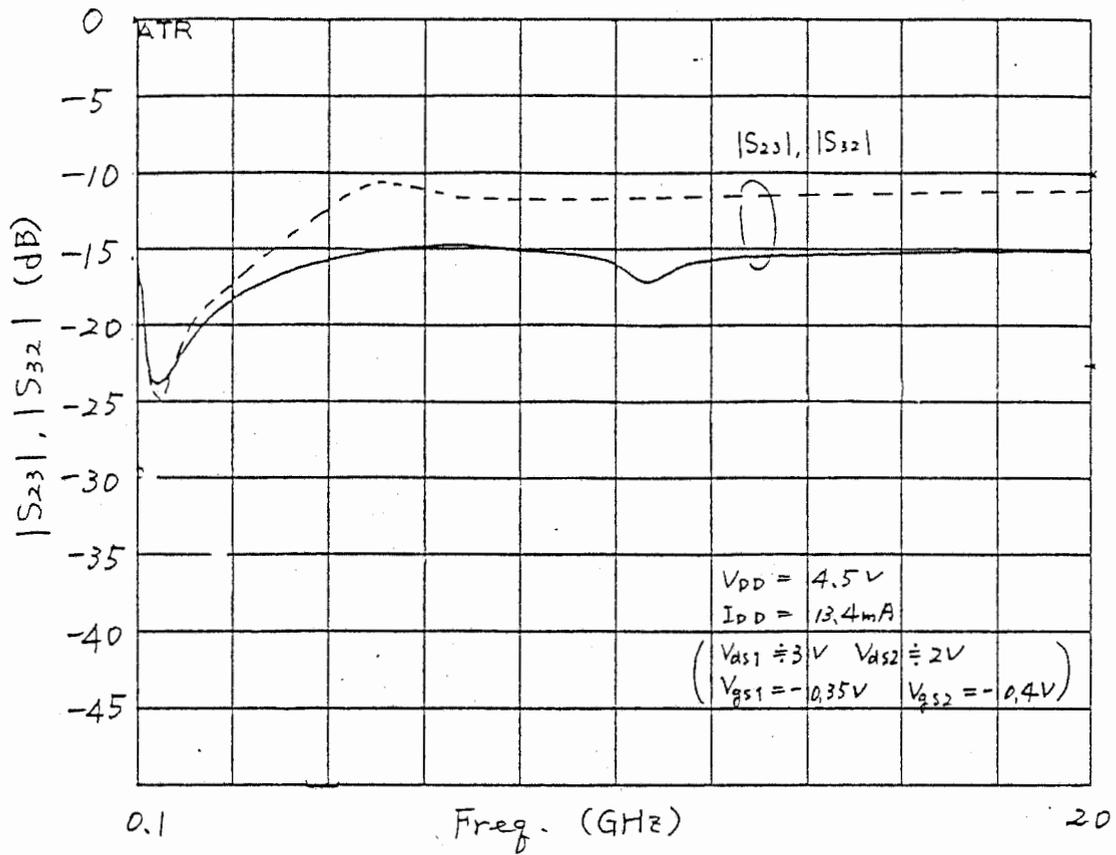


図3.15-3 パワーデバイス2の特性測定値と計算値(—測定値, ---計算値)

ATR M023DIU

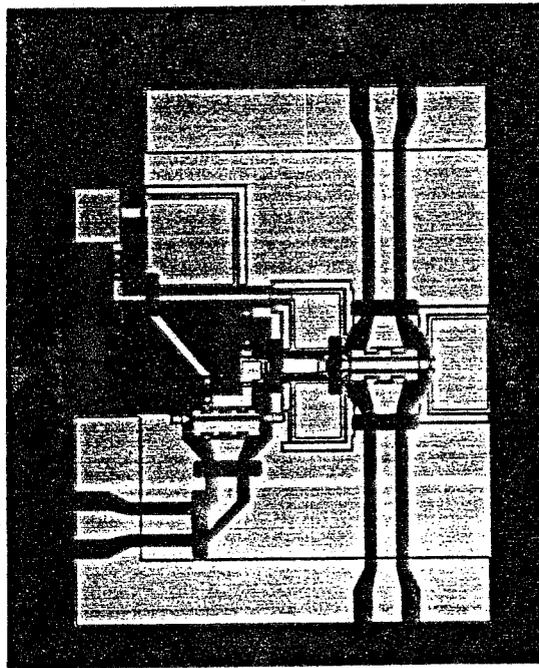
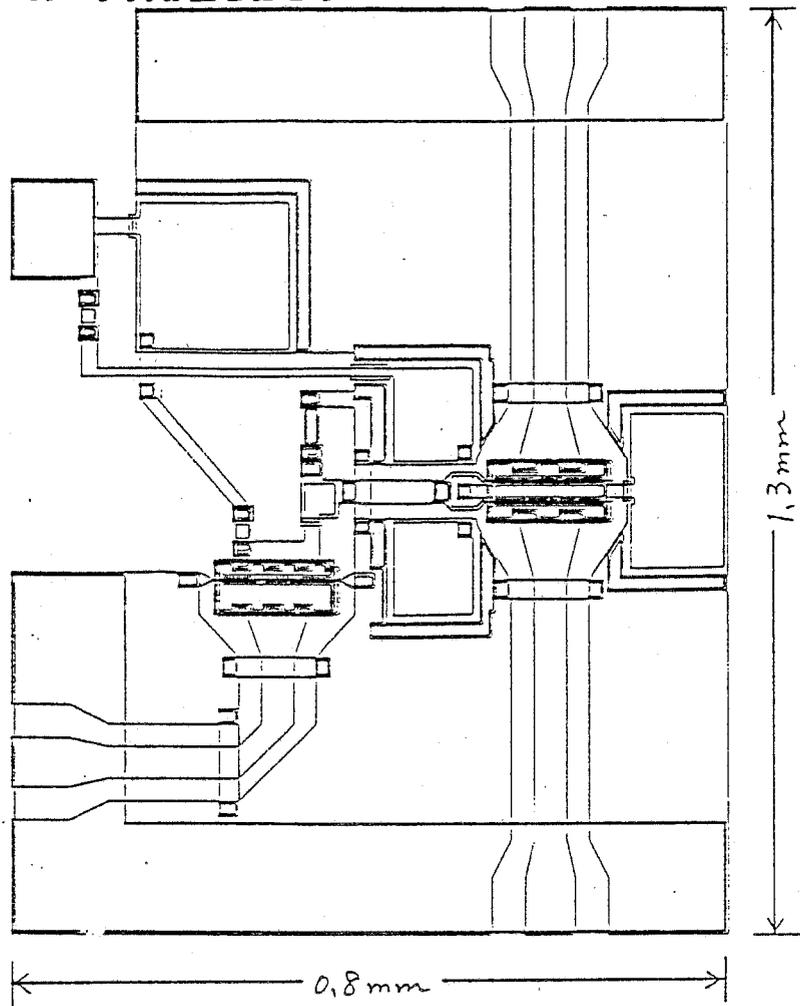


図3.16-1 ハワ-デ"バク"3の形状とチップ°写真

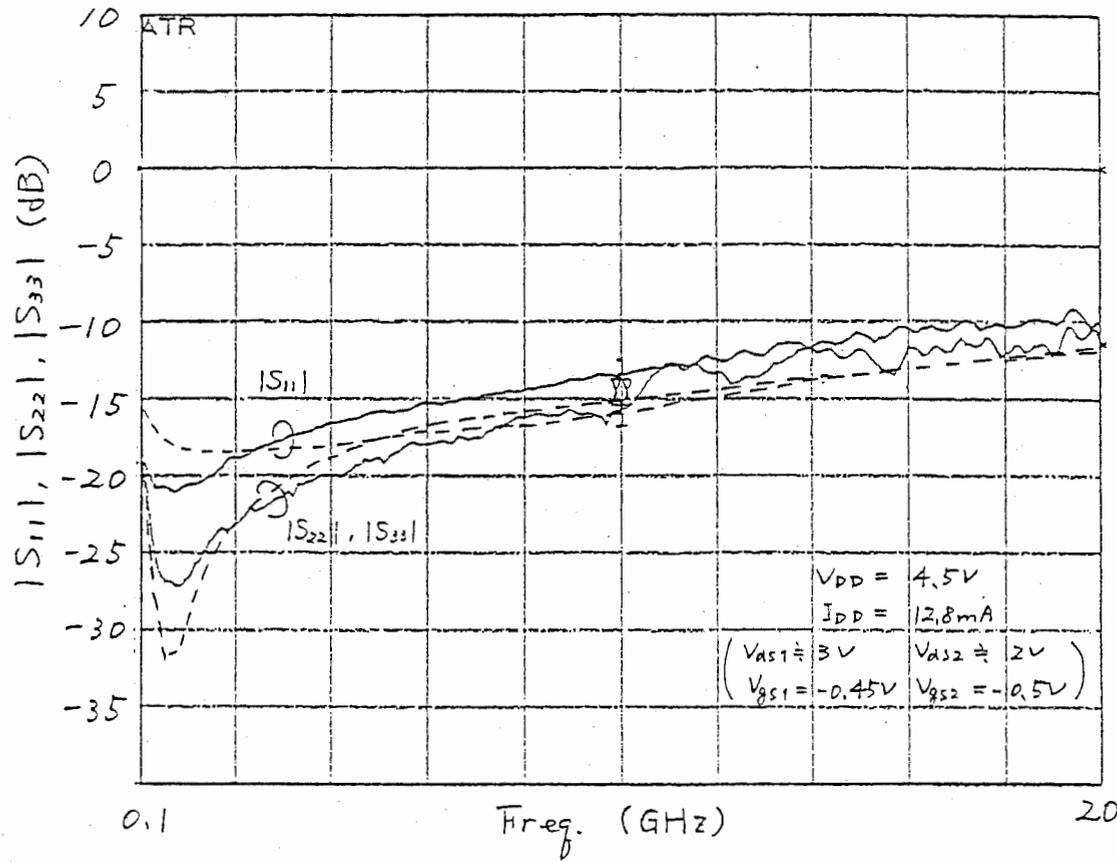
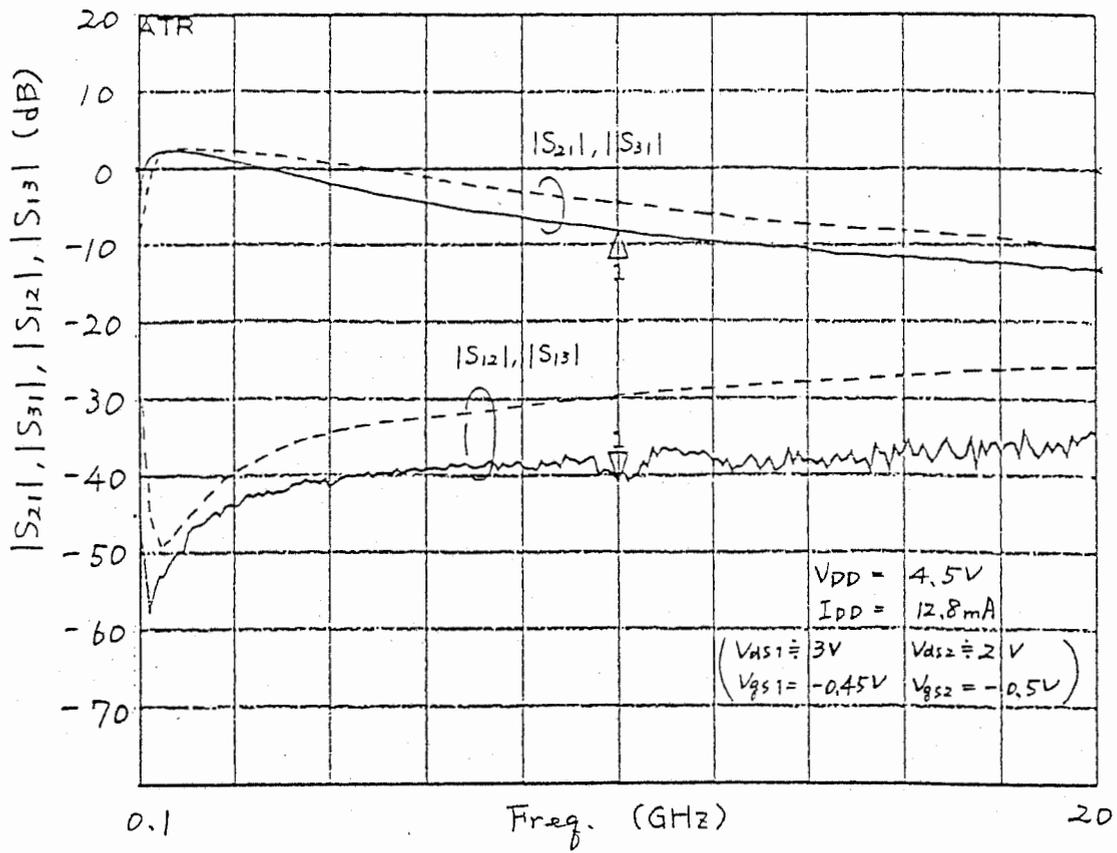


図3.16-2 パワーデバイタの特性測定値と計算値 (— 測定値, --- 計算値)

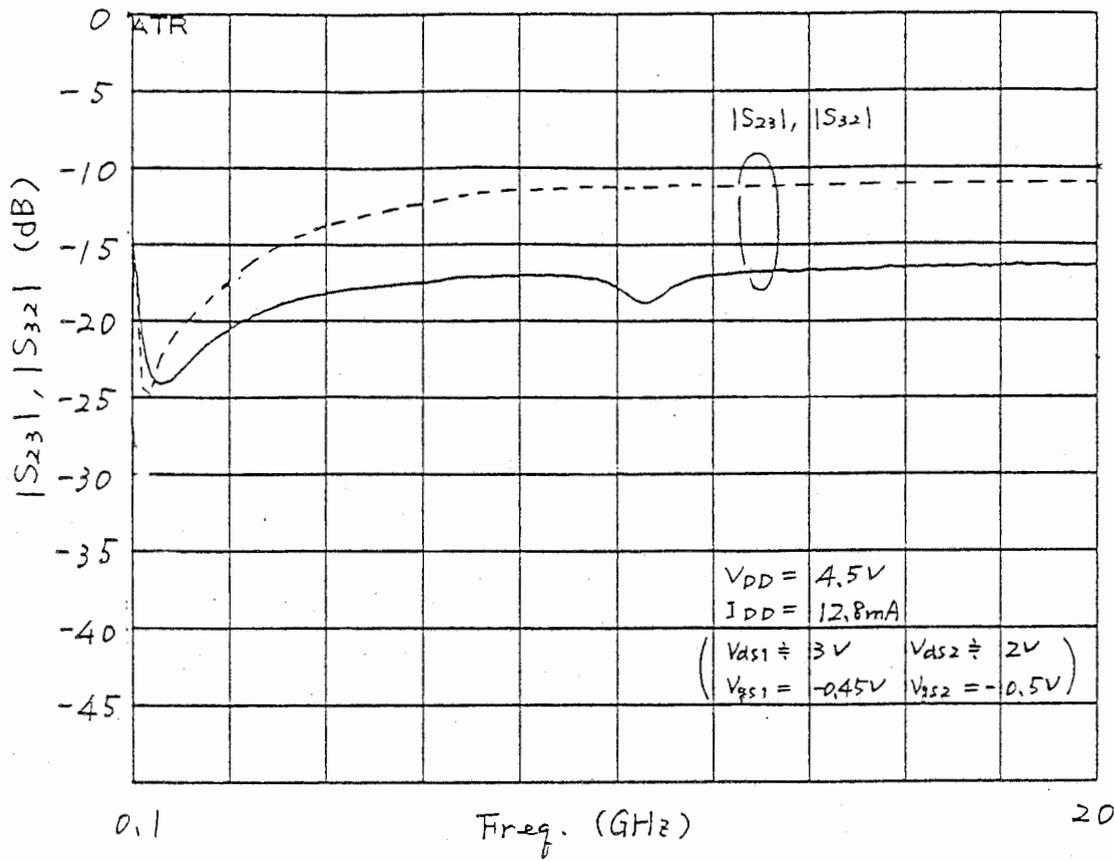


図3.16-3 パワーデバイタの特性測定値と計算値(—測定値, ---計算値)

ATR M024DIU

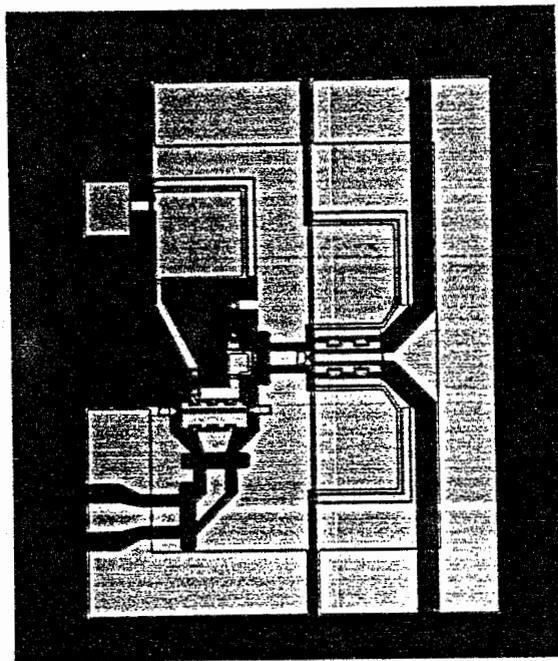
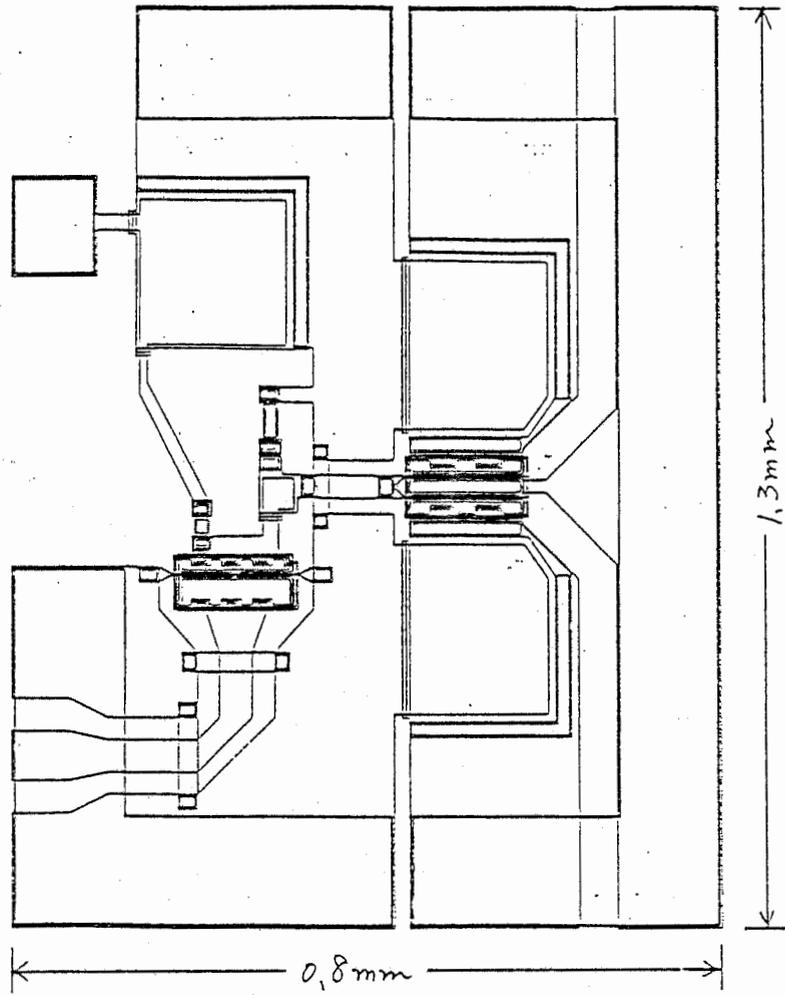


図3.17-1 パワーデバクタ"4"の形状とチップ写真

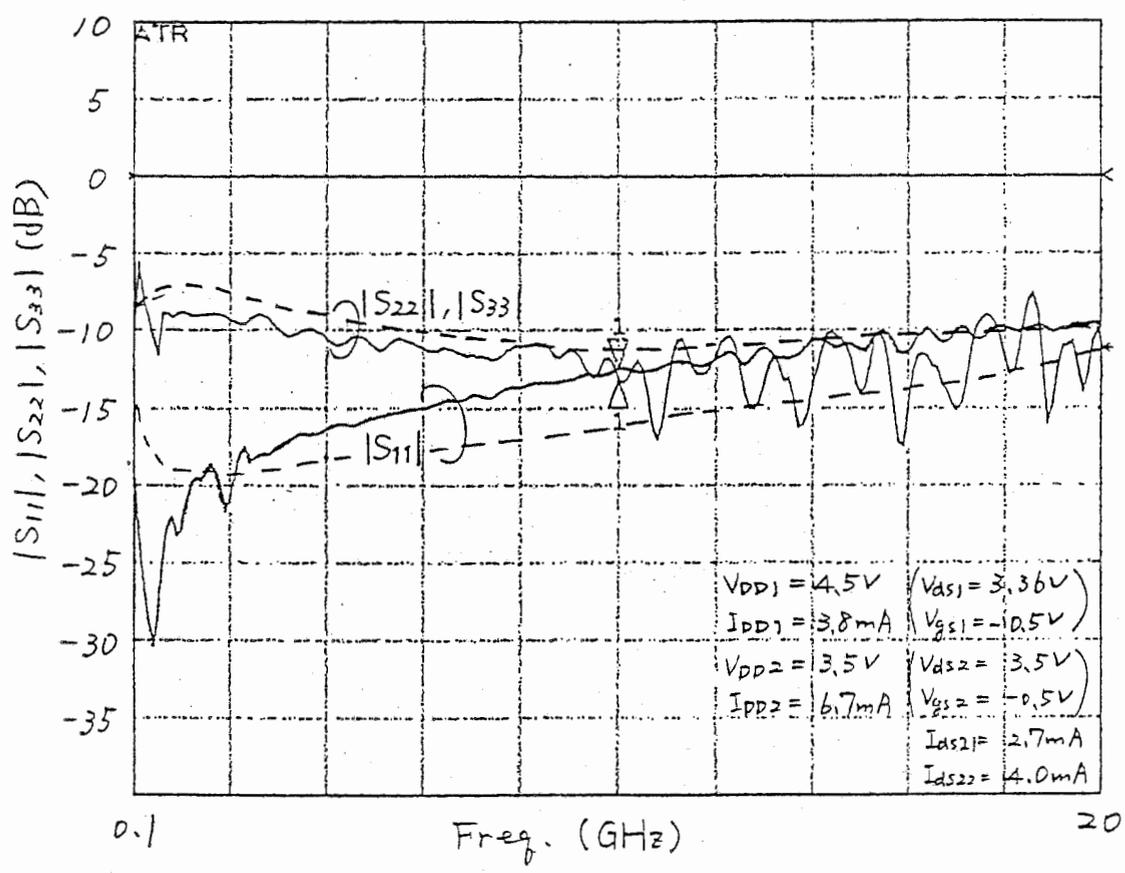
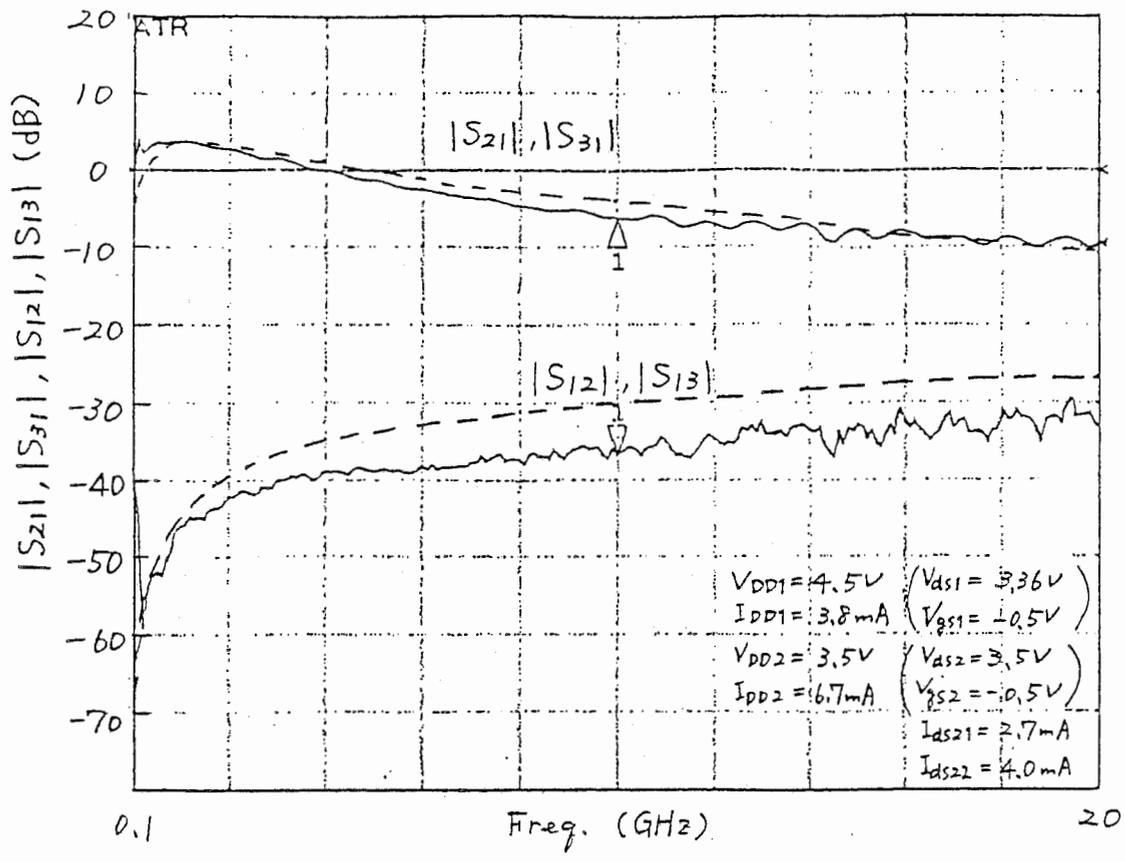


図3.17-2 パワーデバイス4の特性測定値

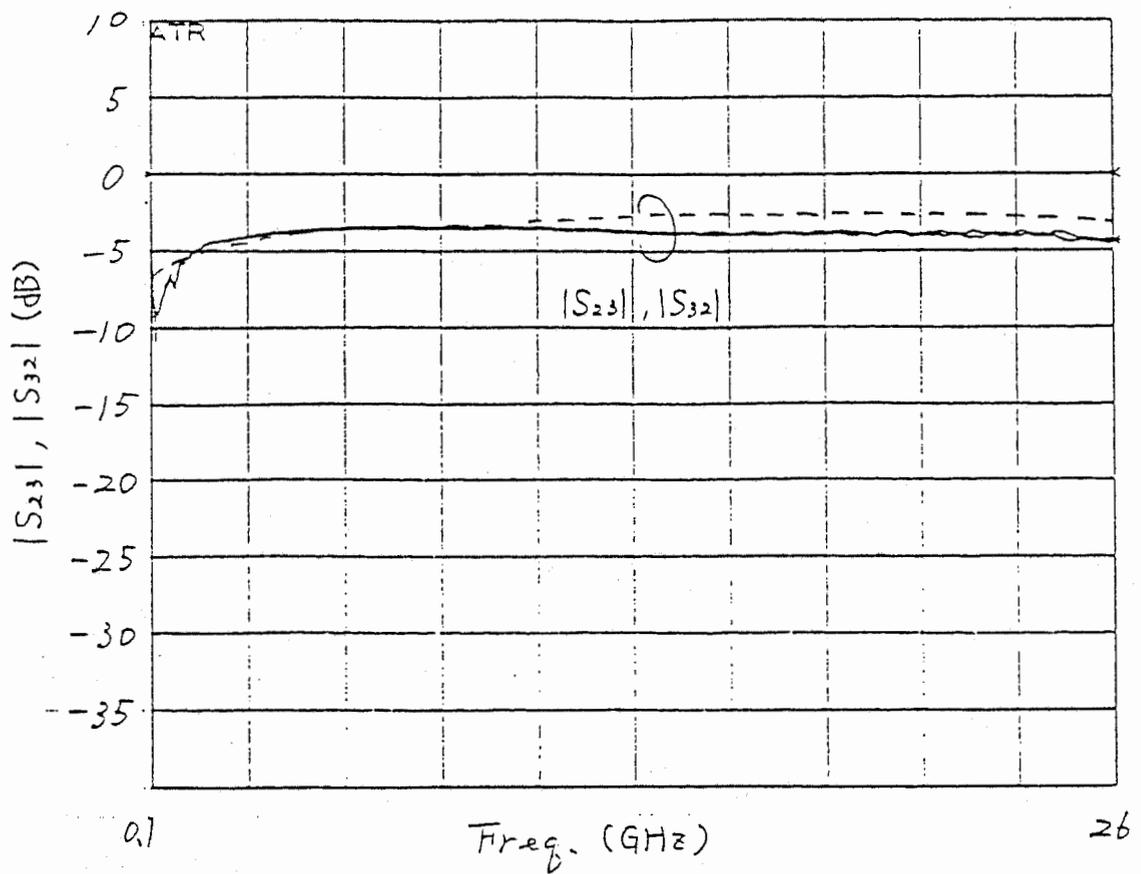
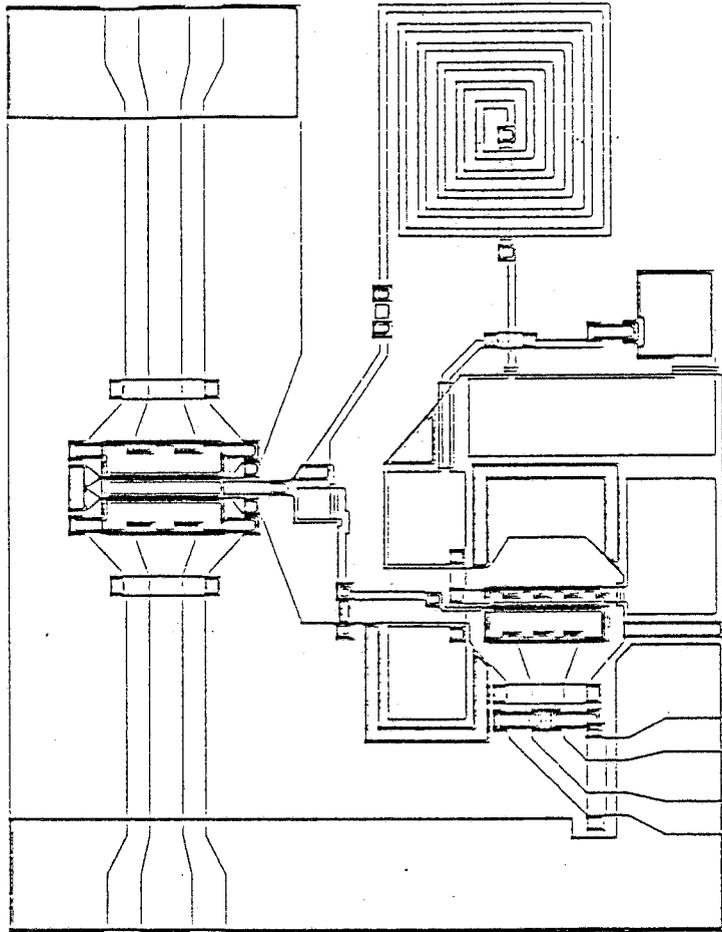


図3.17-3 パワーデバイス4の特性測定値



ATR M025COM

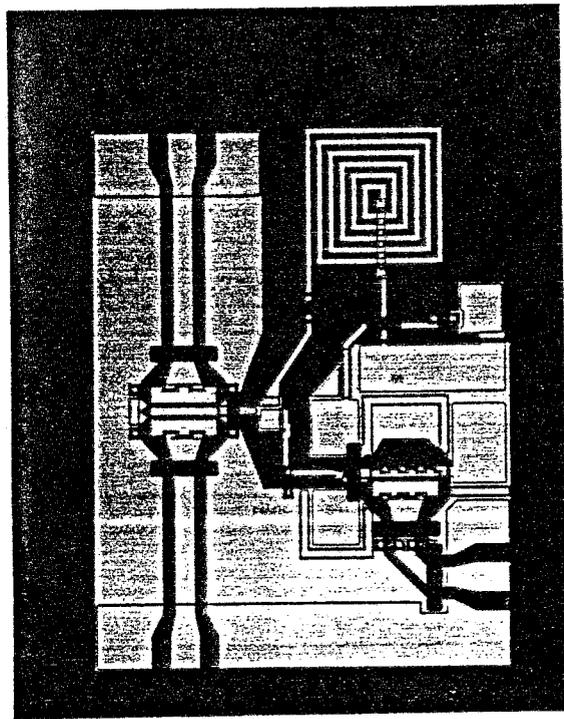


図3.18-1 パワ-コンバイナ1の形状とチップ写真

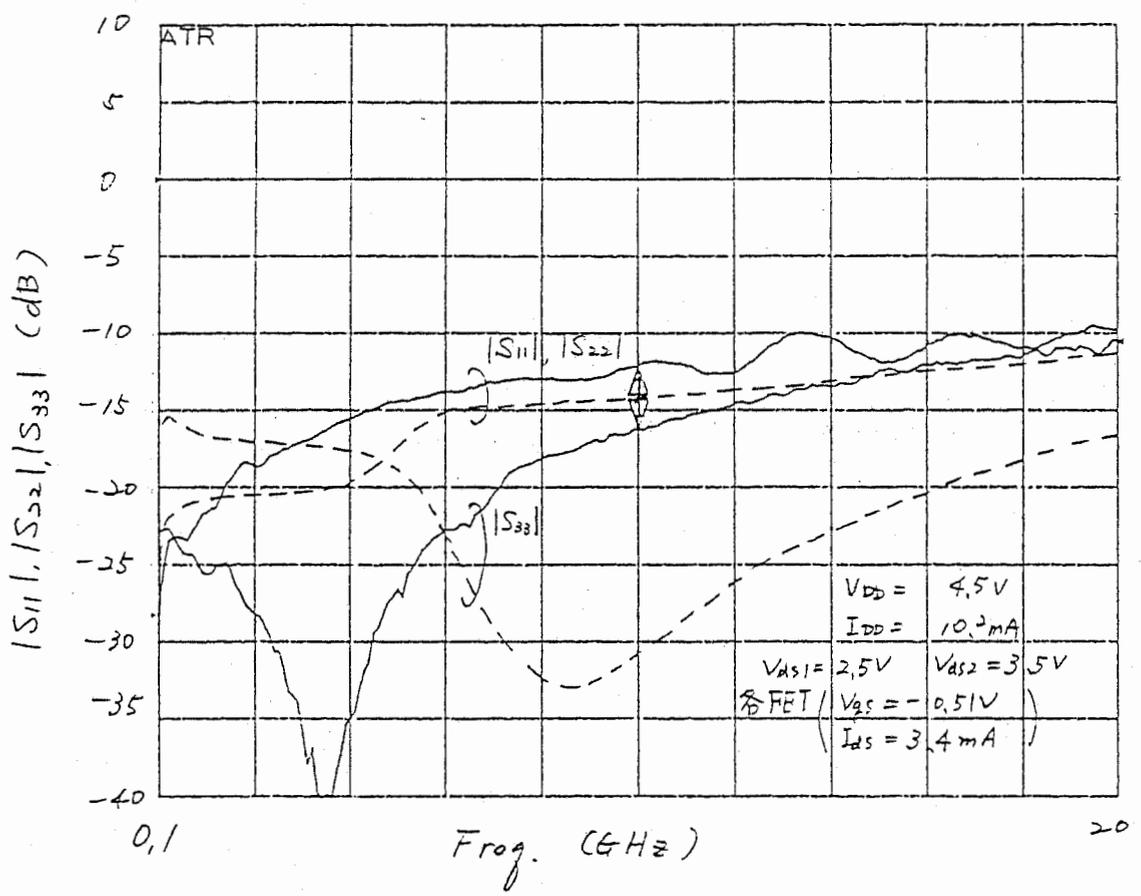
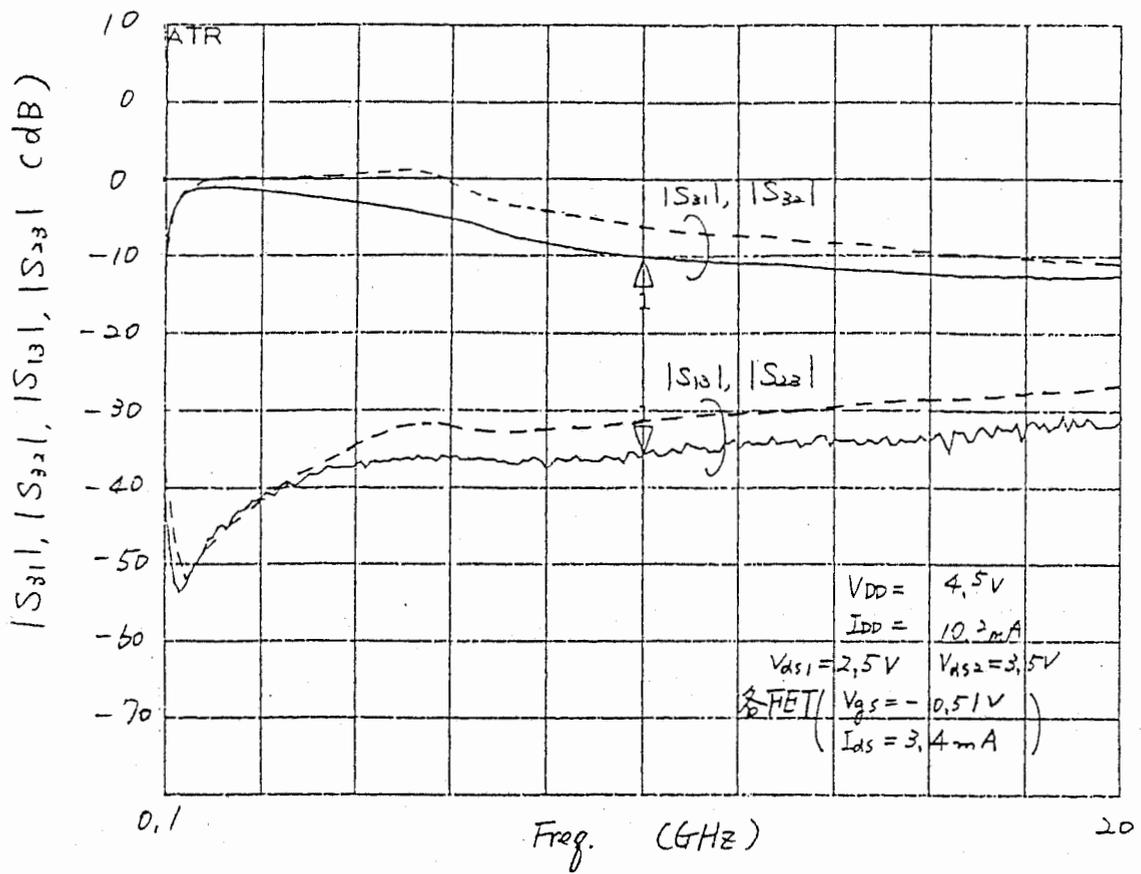


図3.18-2 パワ-コバイナ1の特性測定値と計算値 (—測定値, ---計算値)

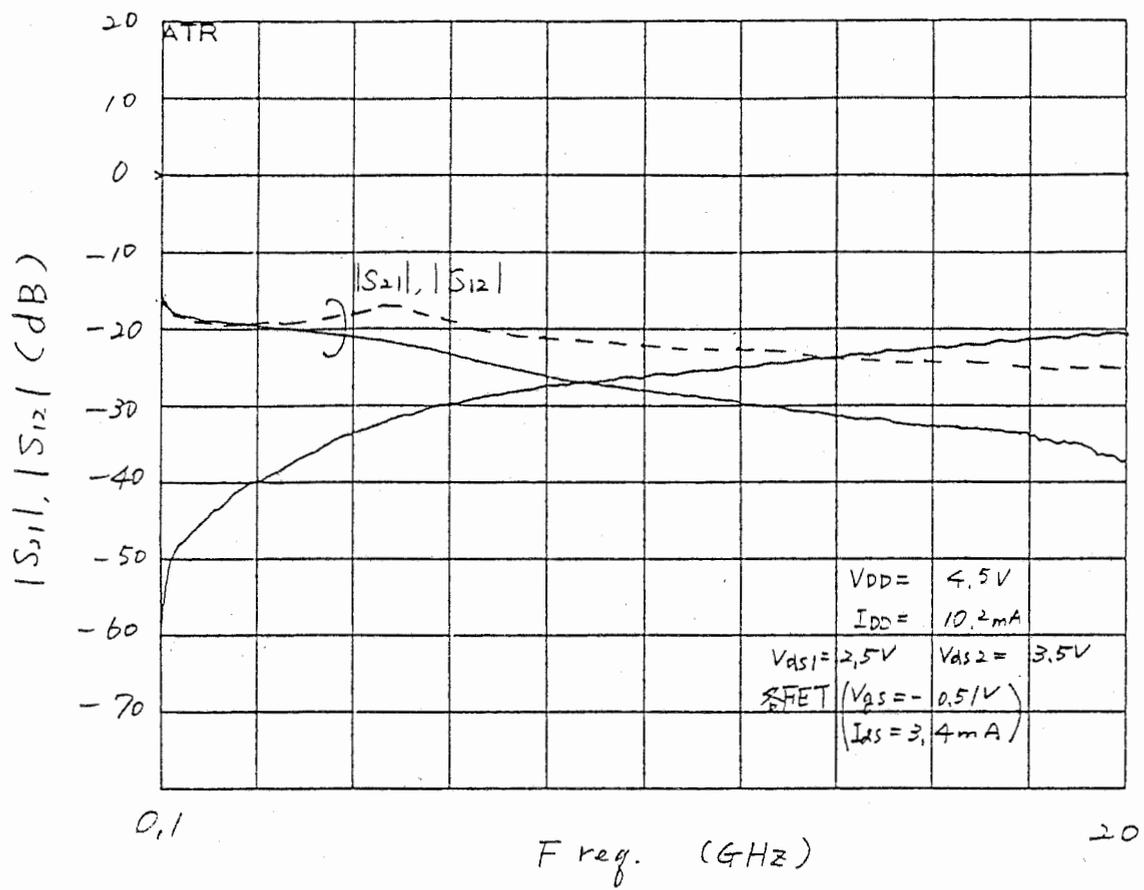
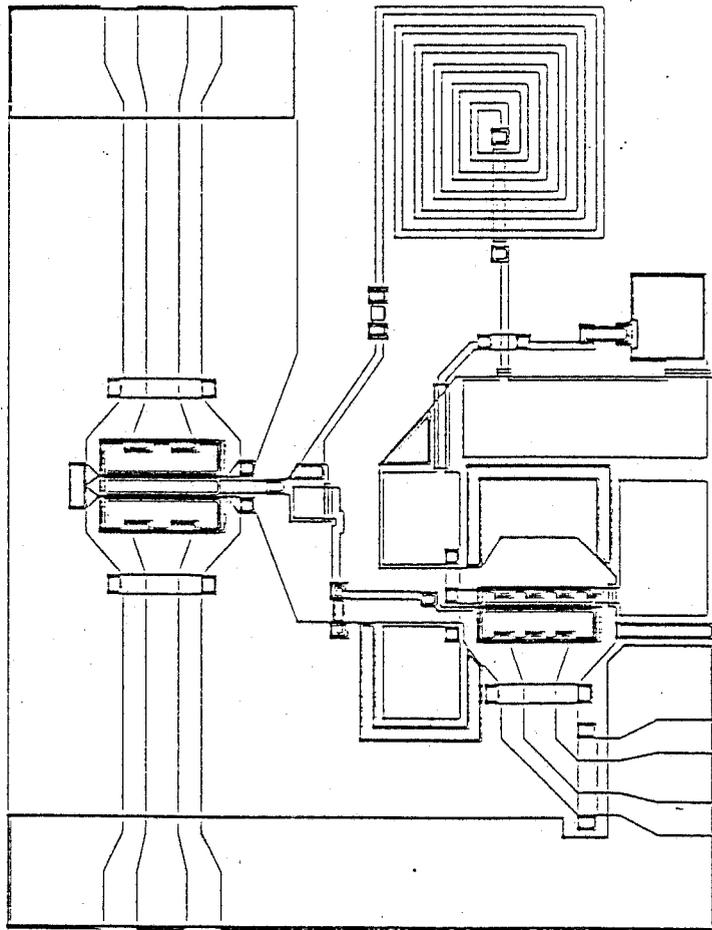


図3.18-3 パワコンバイナリ1の特性測定値と計算値 (—測定値, ---計算値)



ATR M026COM

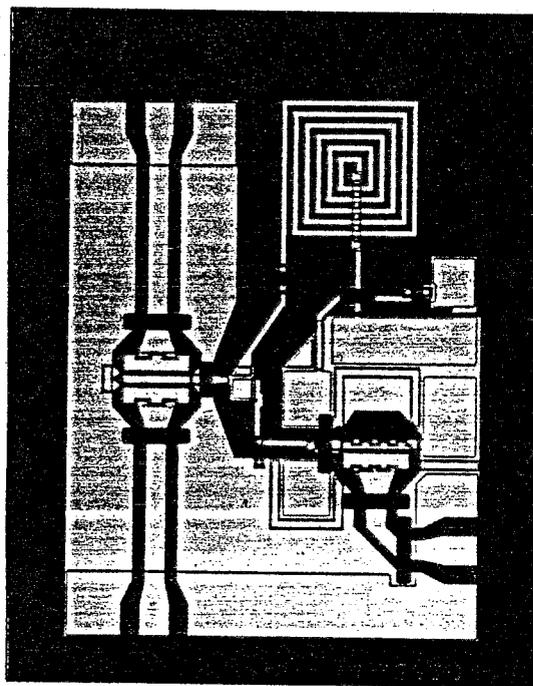


図3.19-1. 197-コンバイナメの形状と写真

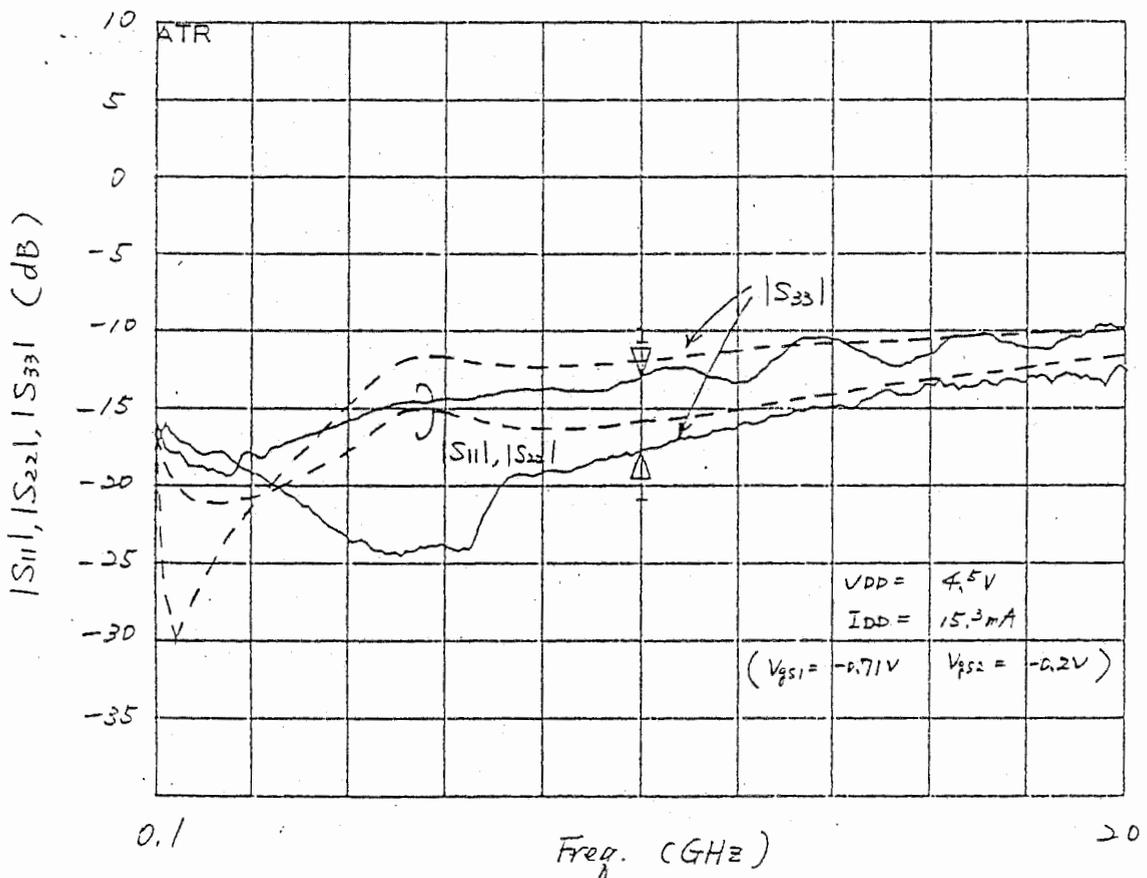
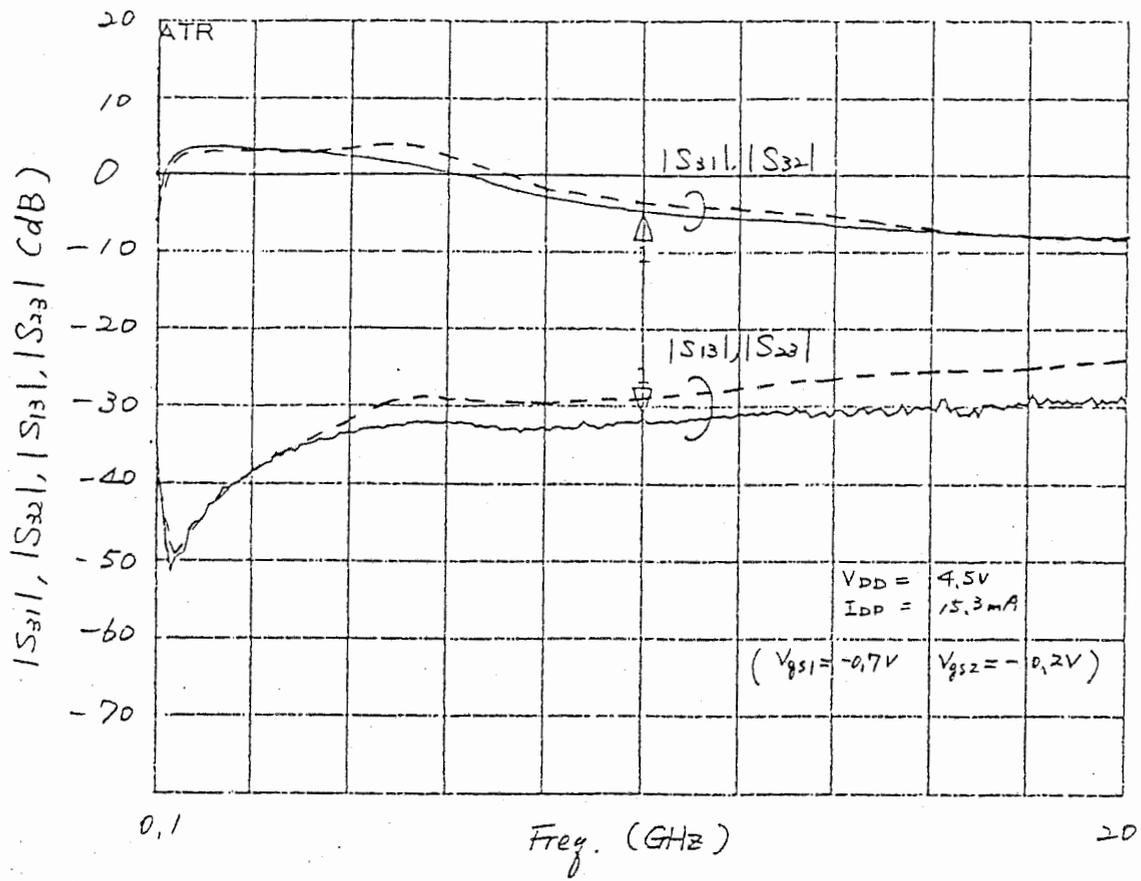


図3.19-2 1P7-コンバイナ2の特性測定値と計算値 (—測定値, ---計算値)

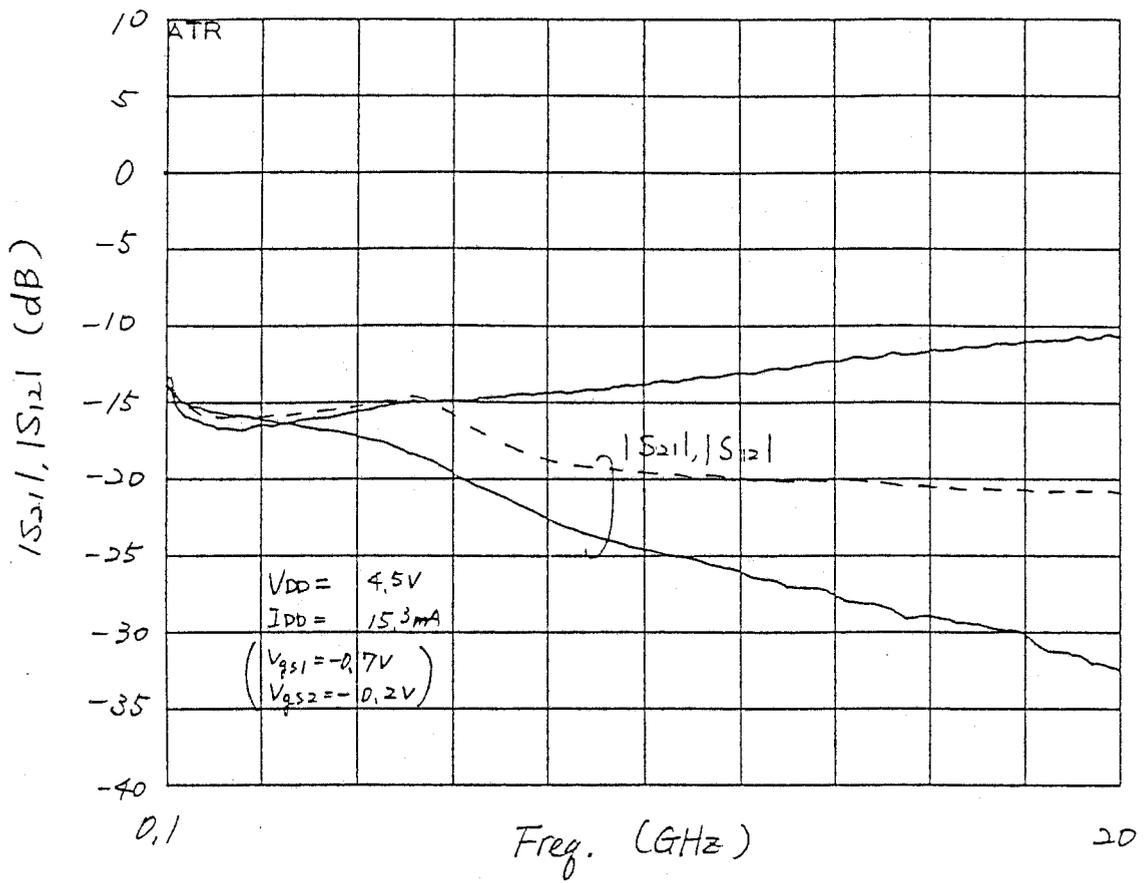


図3.19-3 パワコンバイナスの特性測定値と計算値 (—測定値, ---計算値)

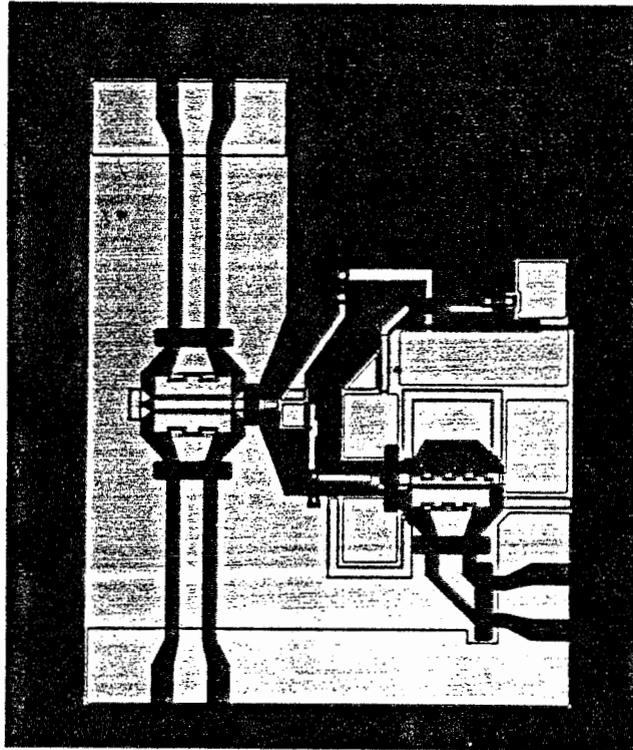
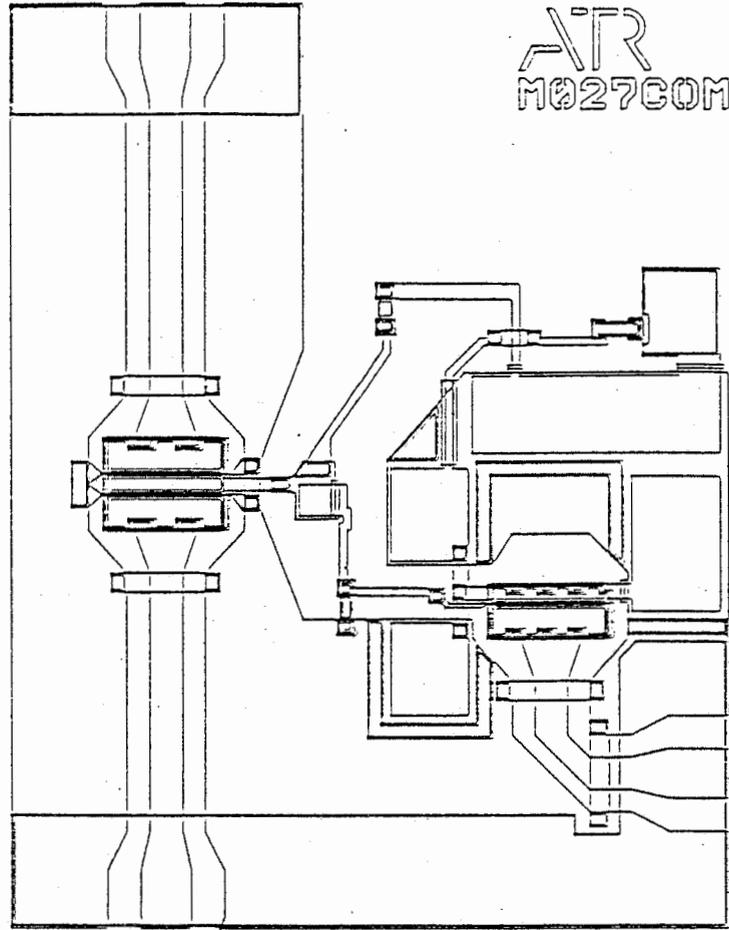


図3.201 パワ-コンバイナ形状とチップ写真

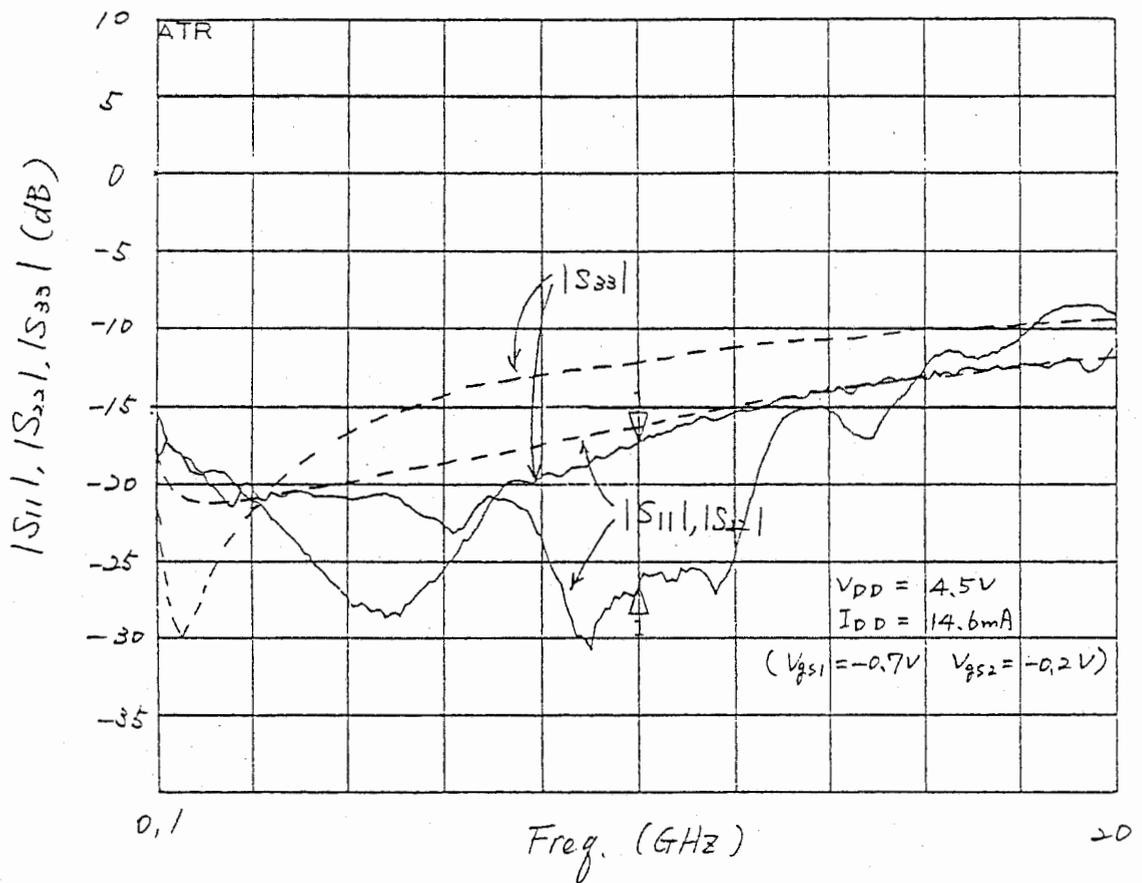
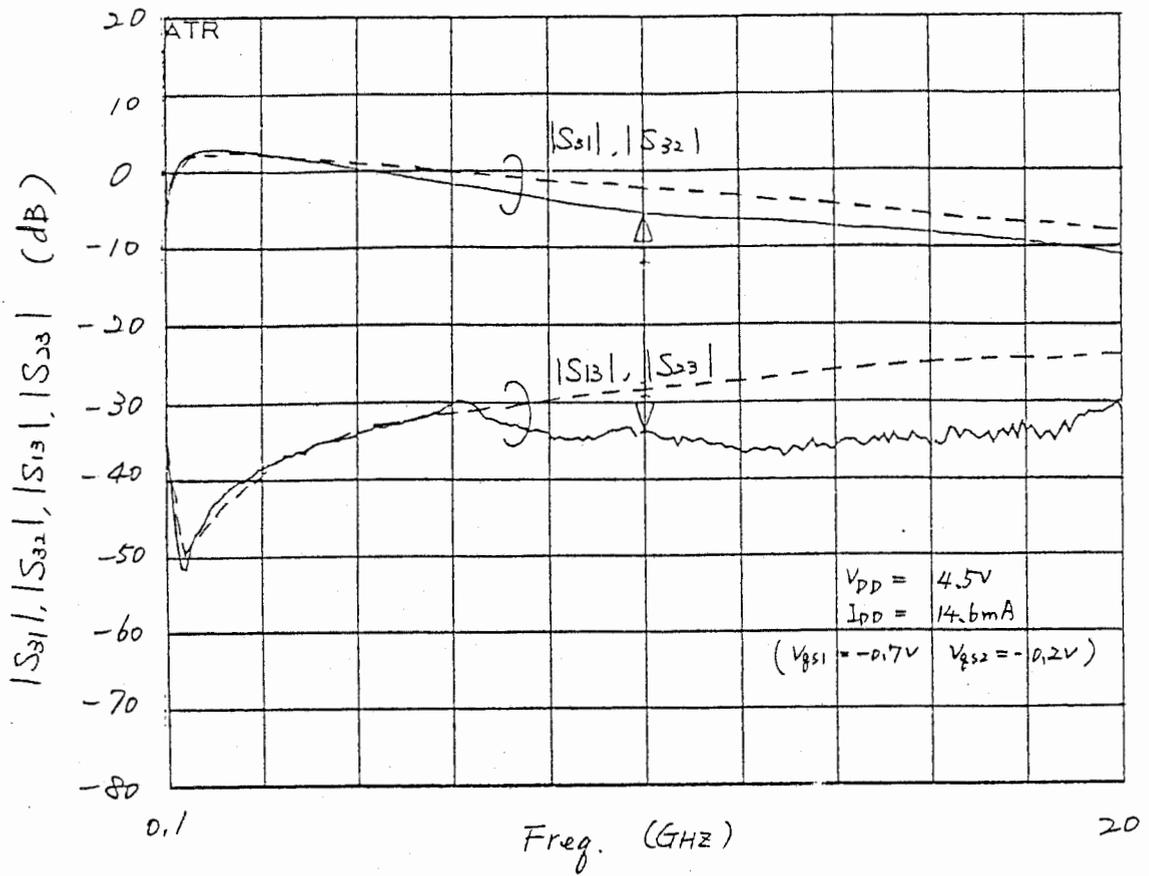


図3.20-2 パワーコンバイナ3の特性測定値と計算値 (—測定値, ---計算値)

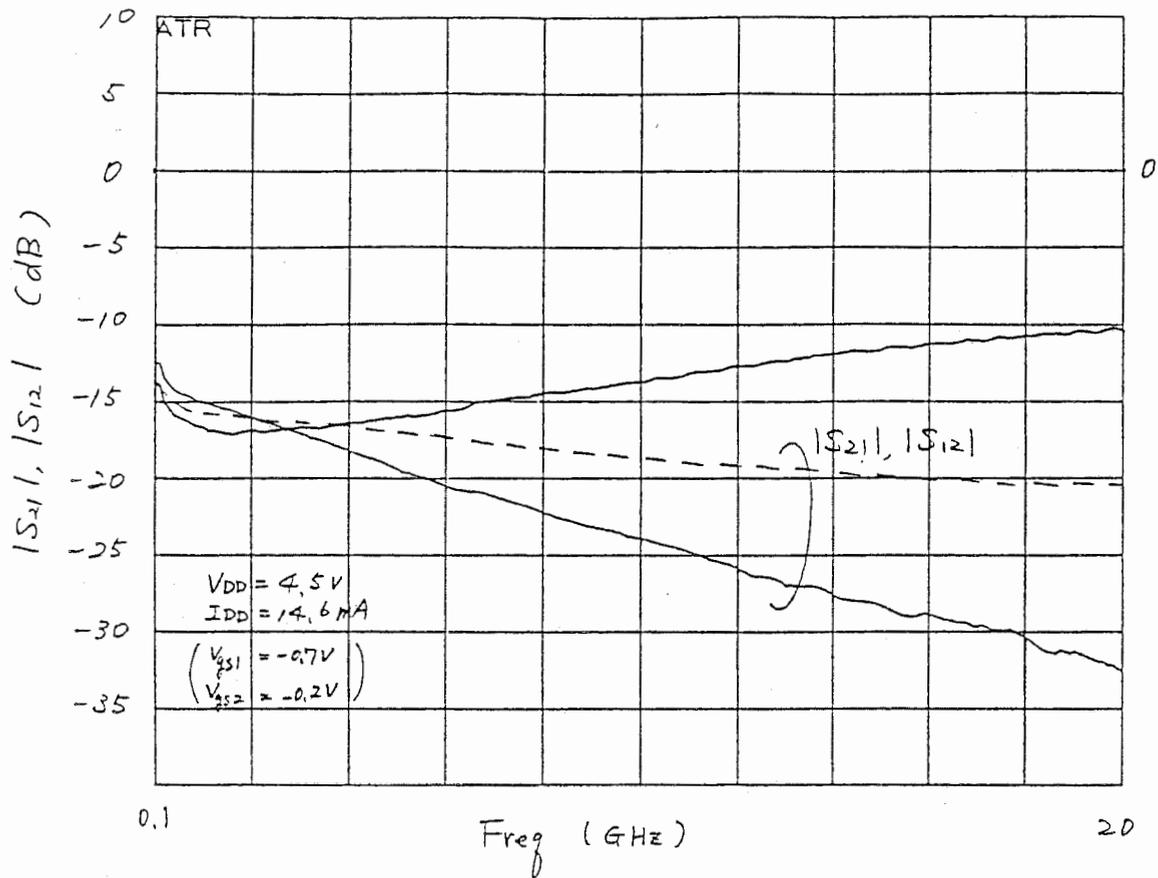


図3.20-3 パワコンバイナリ3の特性測定値と計算値(—測定値, ---計算値)



ATR  
M028COM

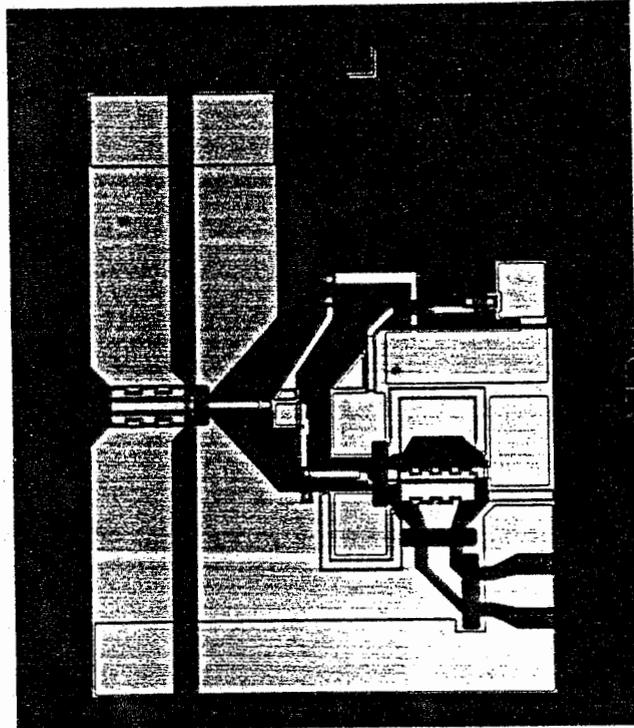
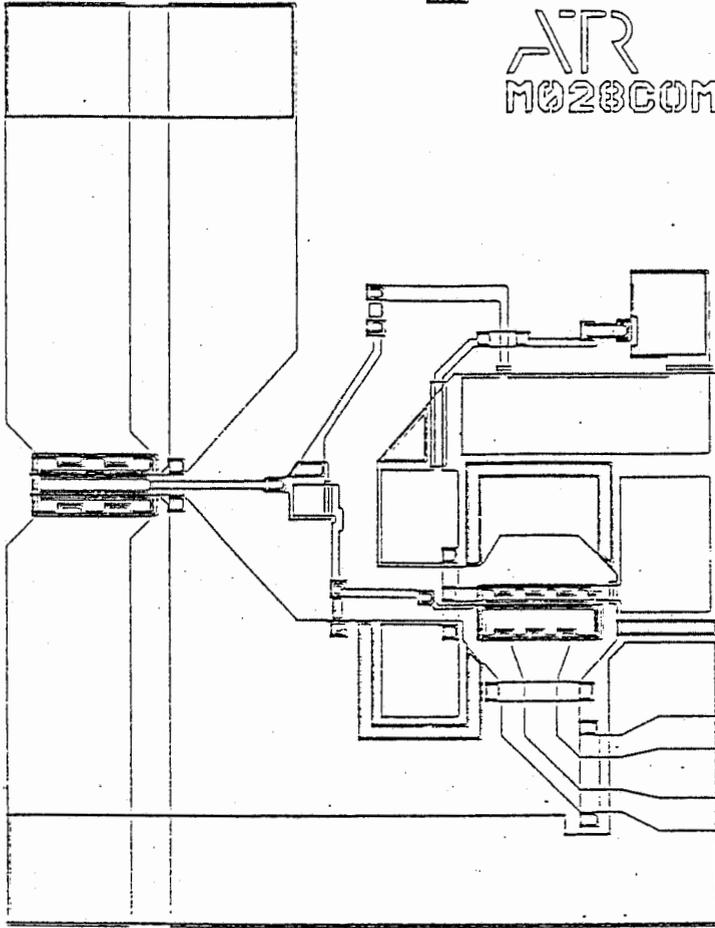


図3.21-1 パワーコンバイナ4の形状とチップ写真

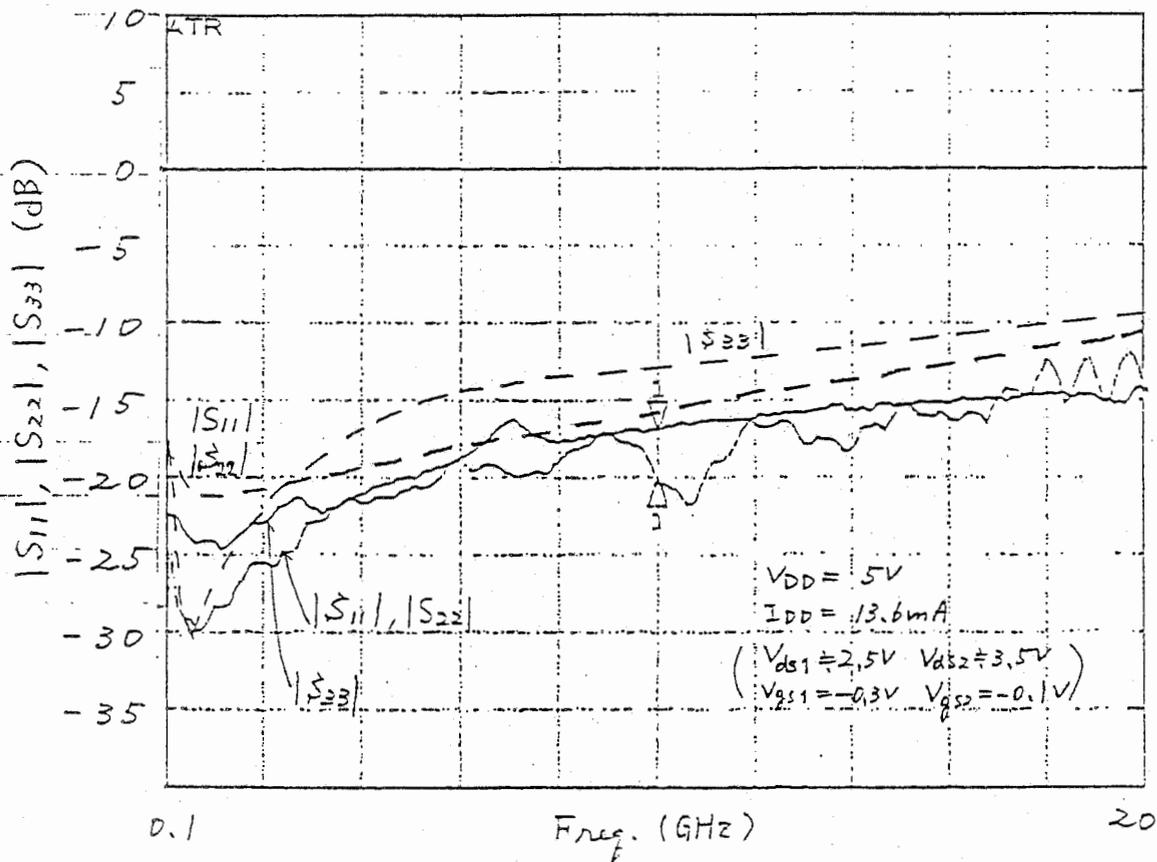
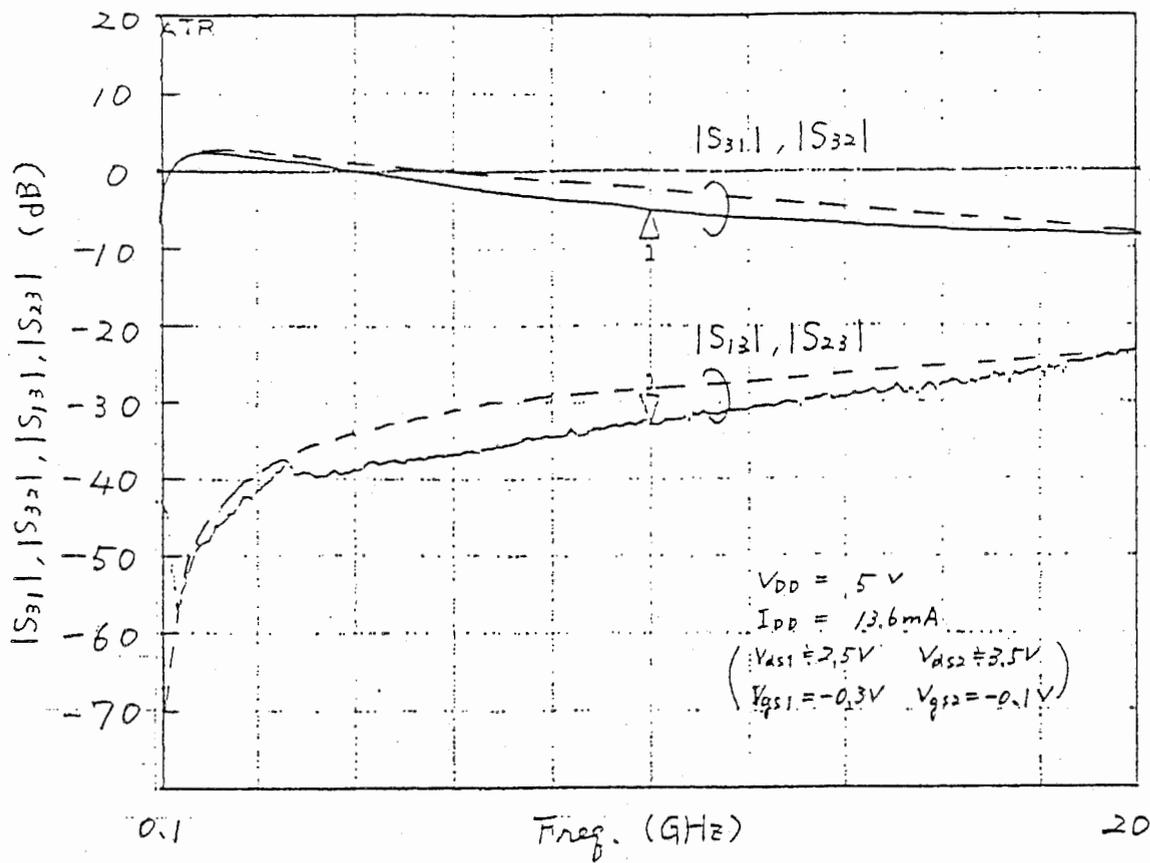


図3.21-2 パワコンバイナ4の特性測定値と計算値 (—測定値, ---計算値)

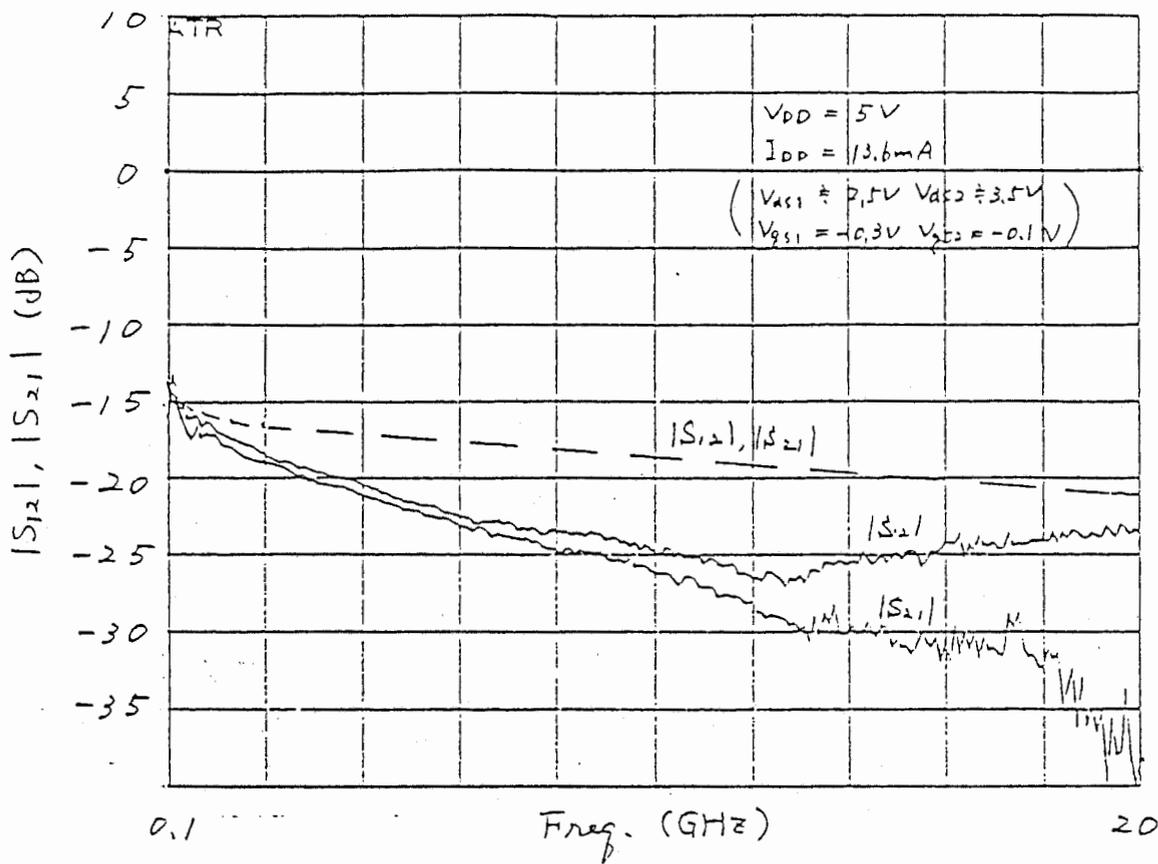


図3.21-3 パワコンバクタ4の特性測定値と計算値 (—測定値, ---計算値)

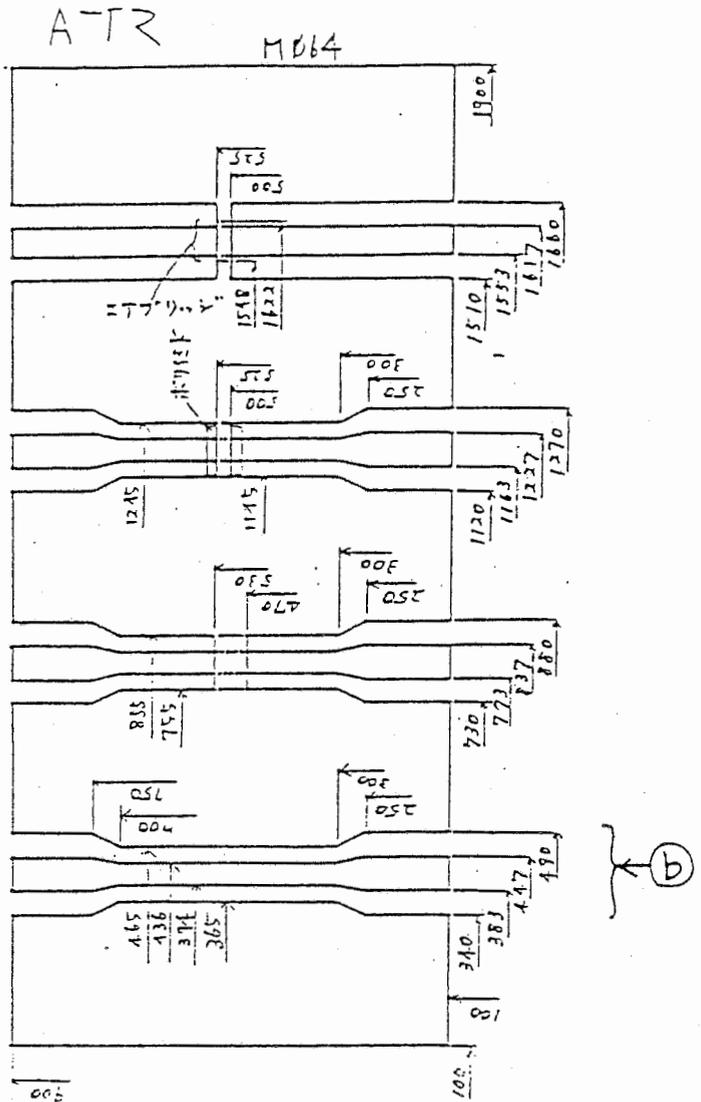
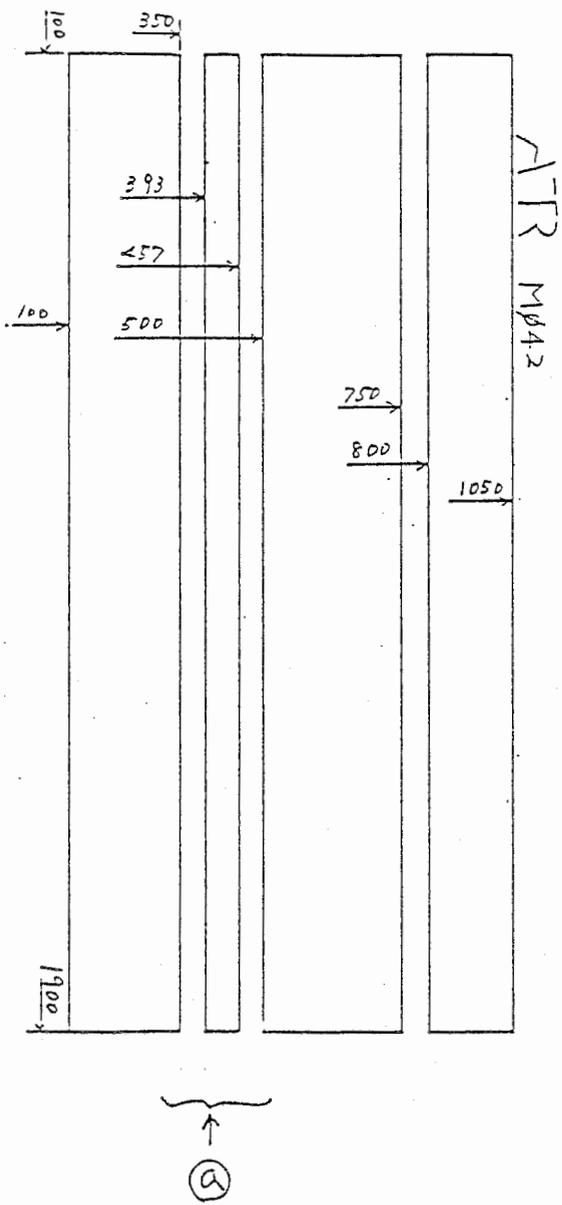


図3.23-1 GaAs基板上CPWの特性を評価するTEG (a, b)

SCALE  
10.0 dB/div

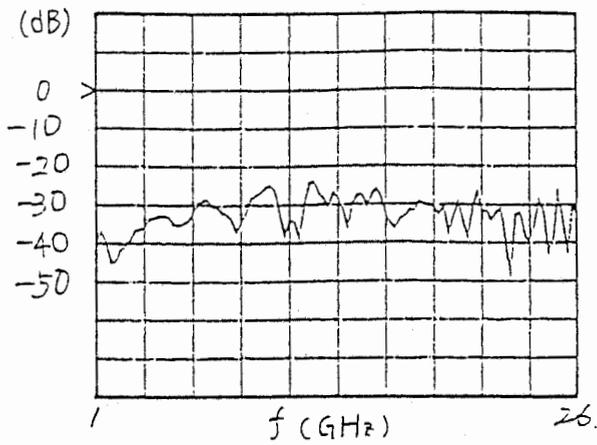


图3.23-2 (a) 反射特性

SCALE  
0.2 dB/div

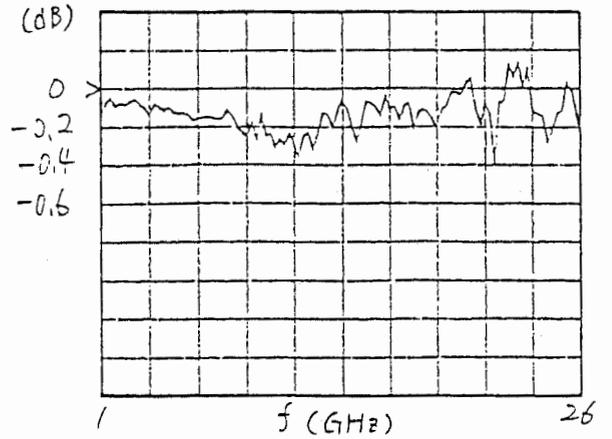


图3.23-3 (a) 通过损失

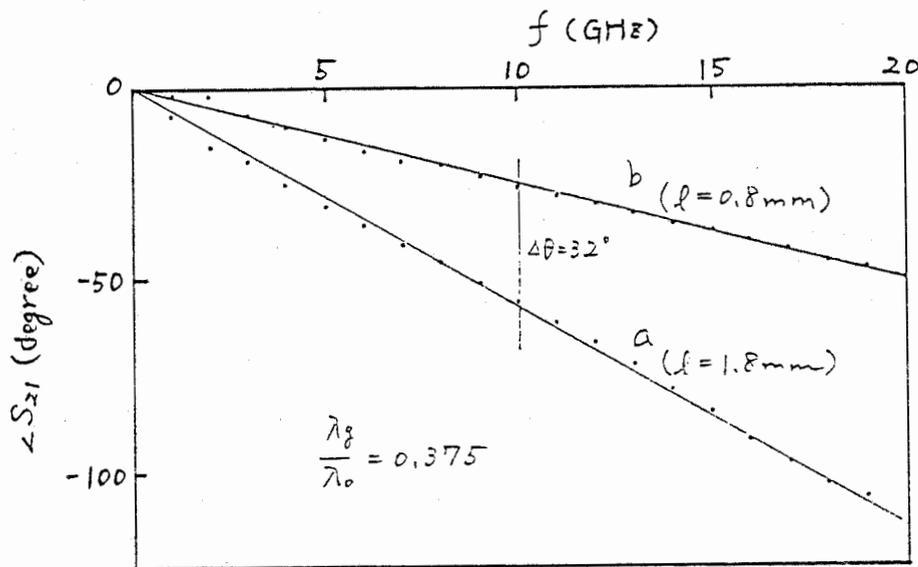
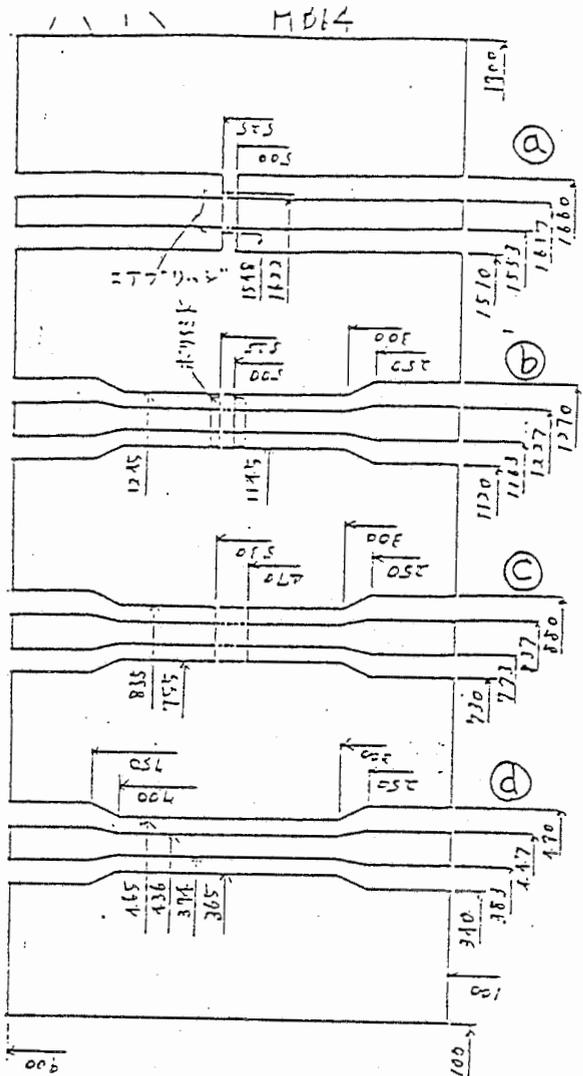
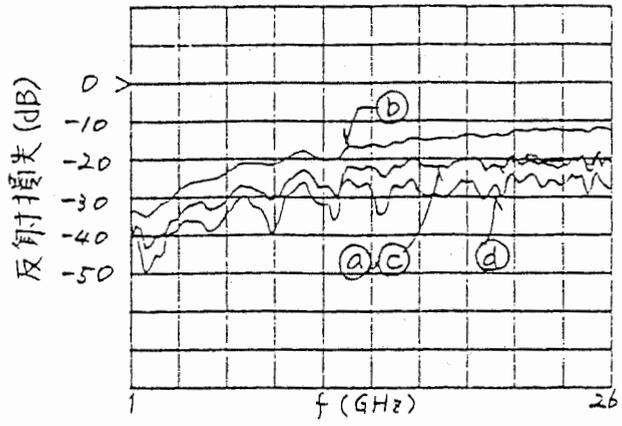


图3.23-4 通过位相差  $\gamma$  波长短缩率



SCALE  
10.0 dB/div



SCALE  
0.2 dB/div

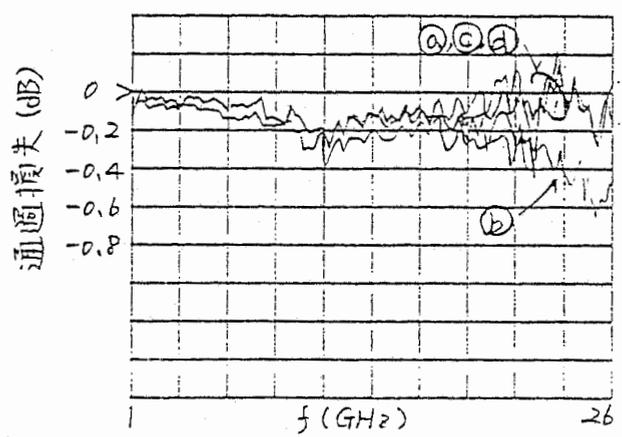
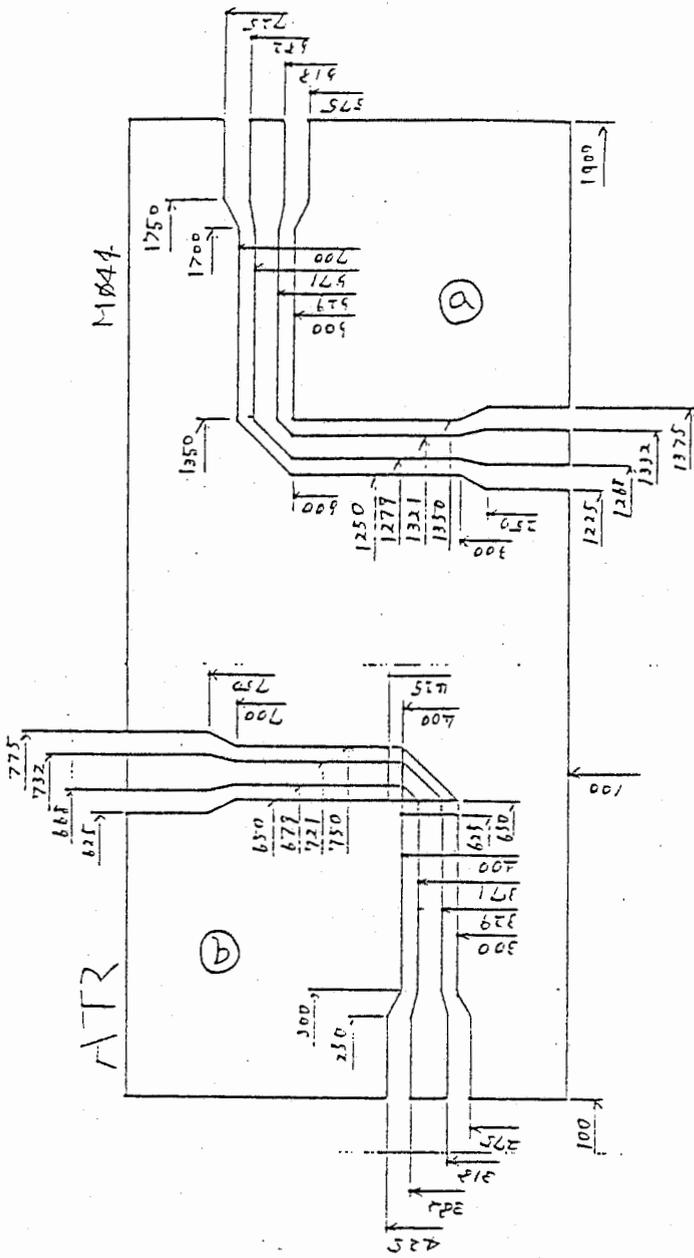


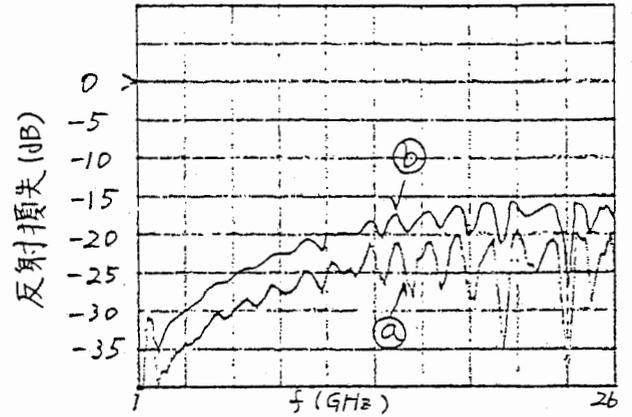
図3.24 CPWにおけるエアブリッジの影響を評価するTEG (a, b, c, d) の形状と特性



S11 log MAG  
 REF 0.0 dB  
 5.0 dB/

ATR

□  
 S



S21 log MAG  
 REF 0.0 dB  
 1.0 dB/

ATR

□  
 S

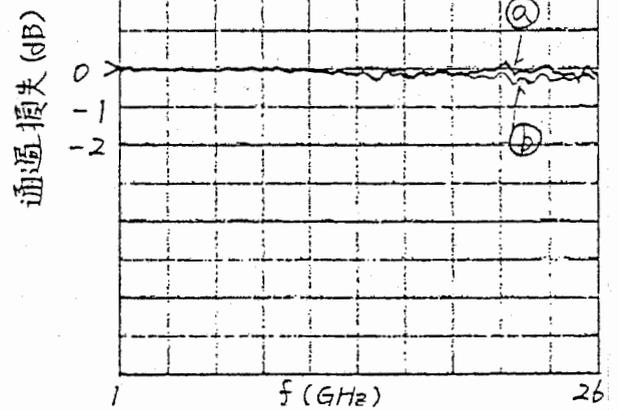
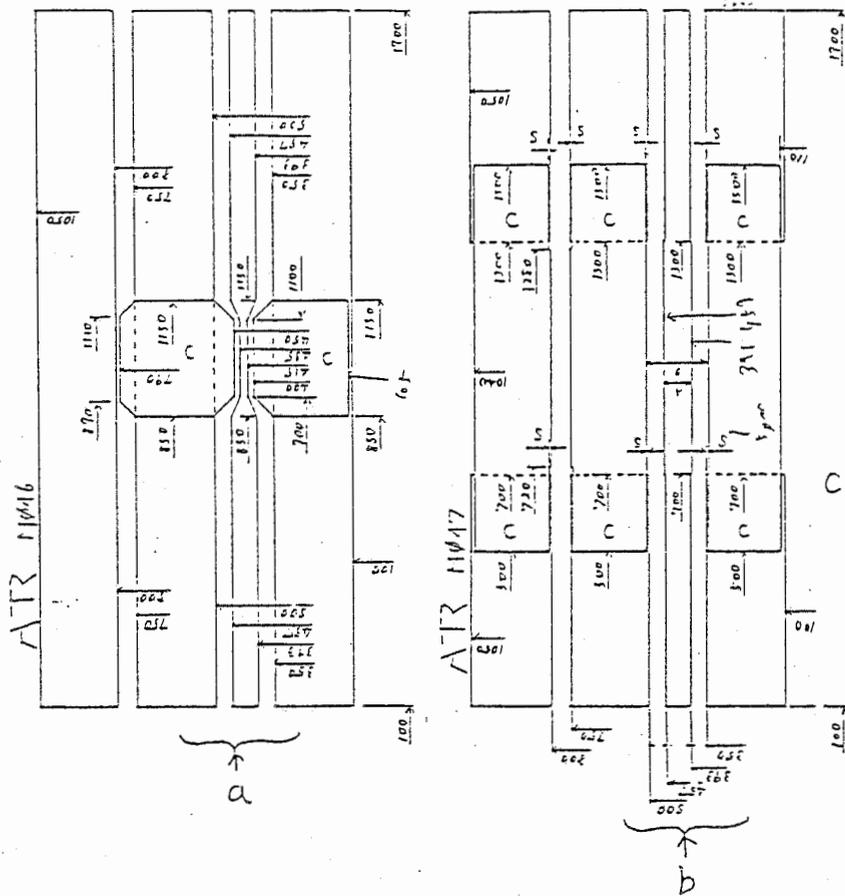


図 3.25 CPW 曲り部とエアブリッジの効果の評価用TEQ (a, b) の形状と特性



C:  $\text{Si}_3\text{N}_4$ を絶縁膜  
 するMIMキャパシタ  
 ( $\text{Si}_3\text{N}_4$ 厚は2000Å)

$S_{11}$  log MAG  
 REF 0.0 dB  
 10.0 dB/

$S_{21}$  log MAG  
 REF 0.0 dB  
 0.2 dB/

ATR

ATR

C  
 A STOP  
 26.0 GHz

C  
 STOP  
 26.0 GHz

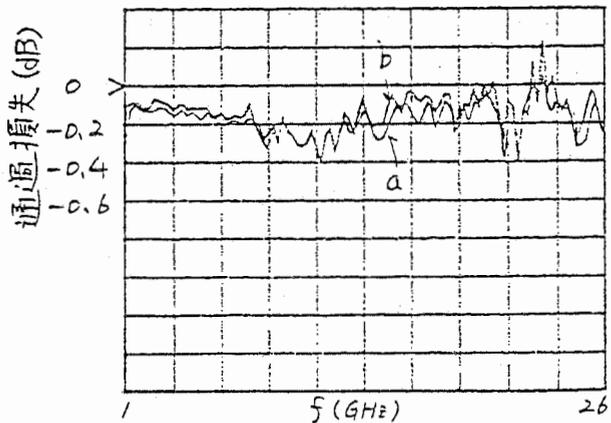
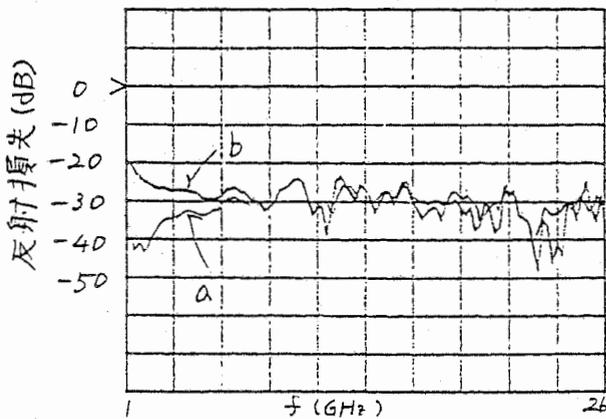


図 3.26 CPWにおいて接地導体をMIMキャパシタを介して分離した場合の影響を評価するTEG (a, b)の形状と特性

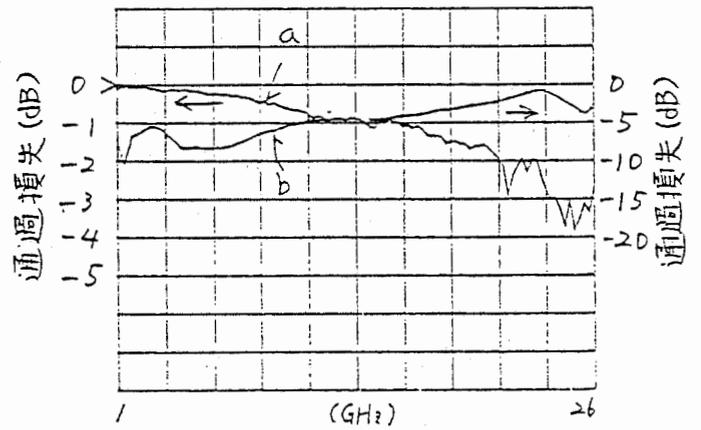
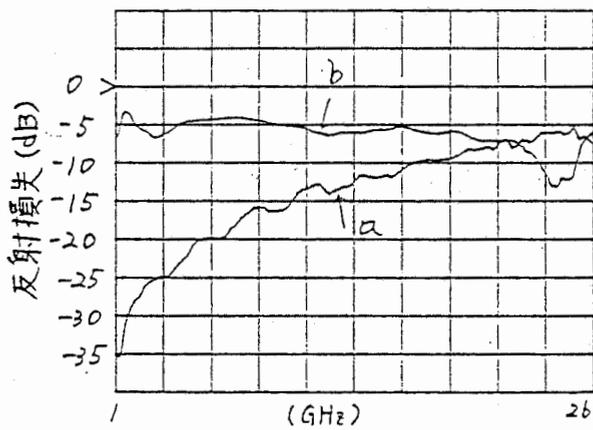
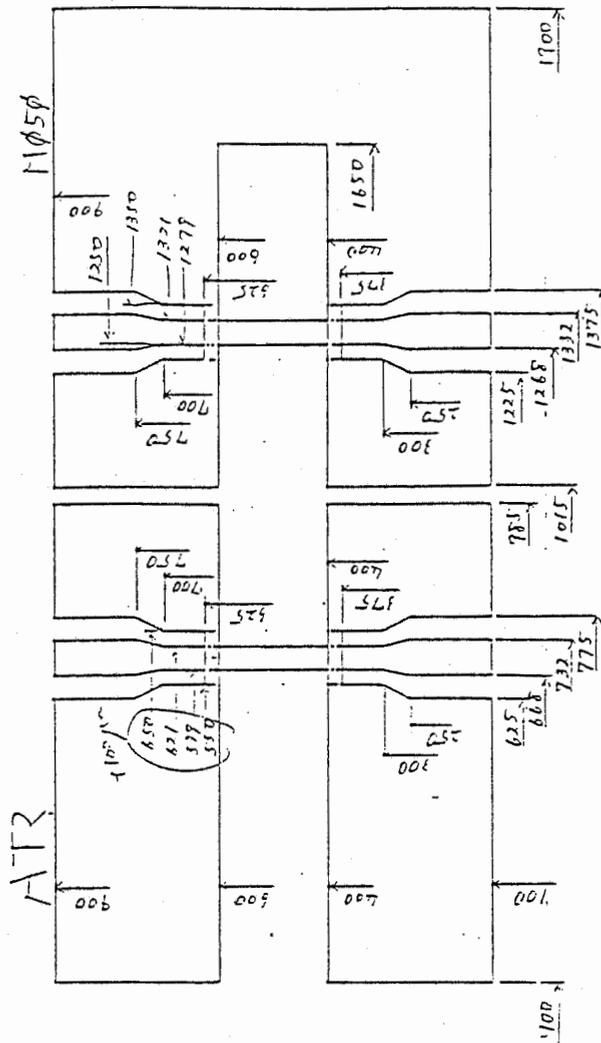


図3.27-1 CPW と集中定数回路との接続における接地導体の効果を評価する  
TEGの形状と特性

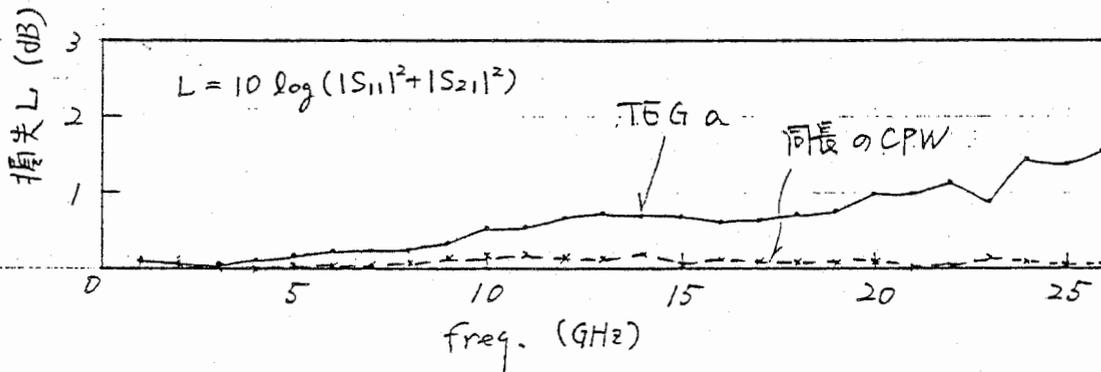
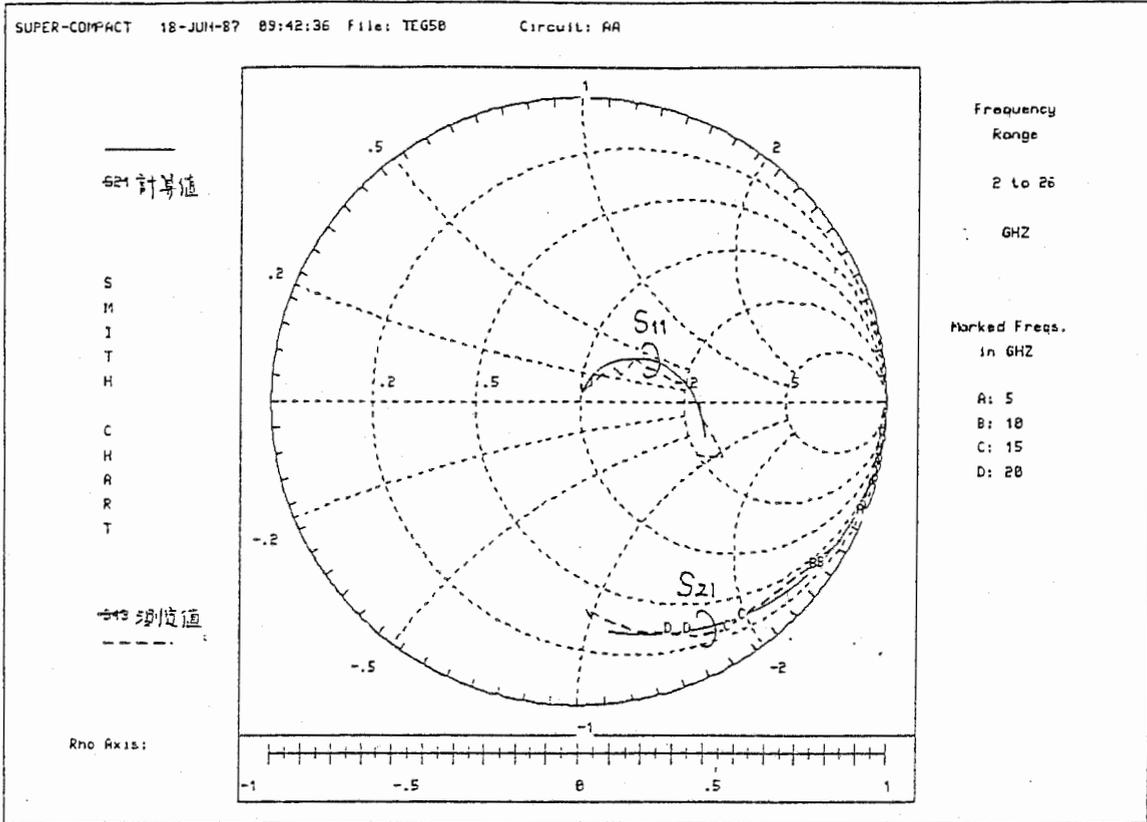
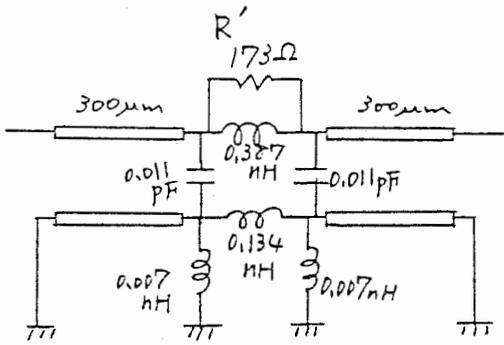


图3.27-2 TEG a の等価回路、特性フィッティング結果、損失特性

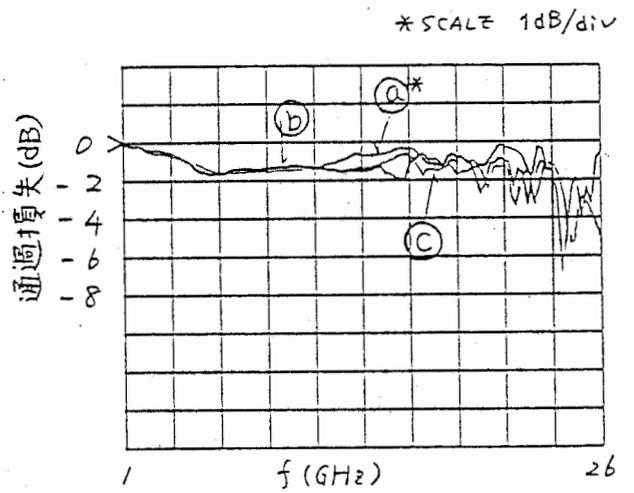
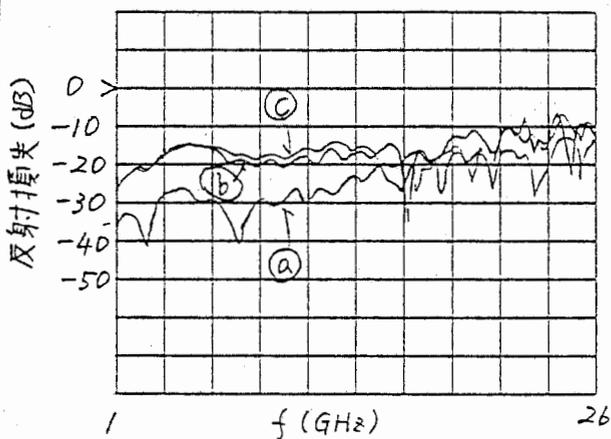
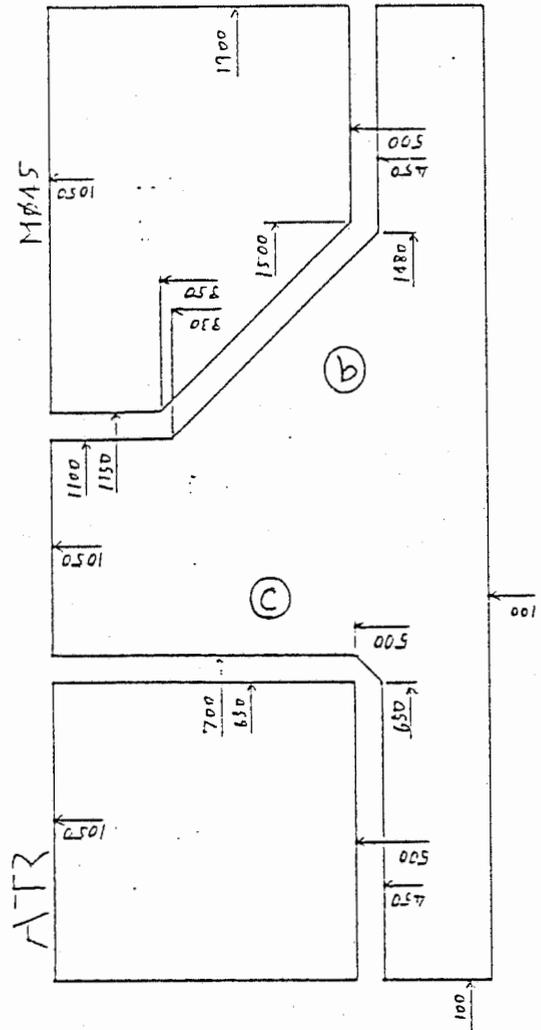
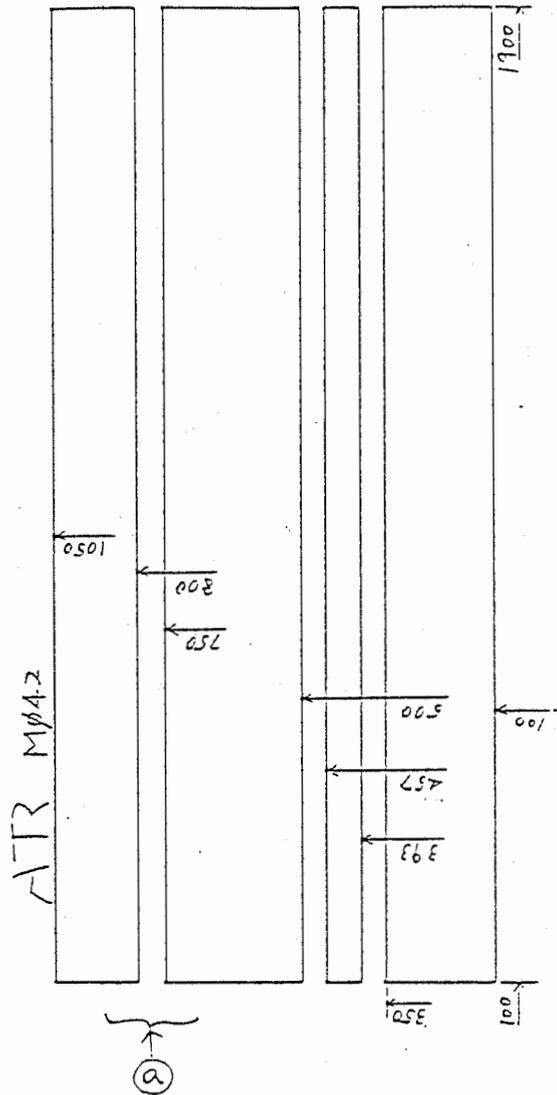


図3.28-1 GaAs基板上に形成された直線スロツラインおよび曲リスロツラインを評価するTEGの形状と特性

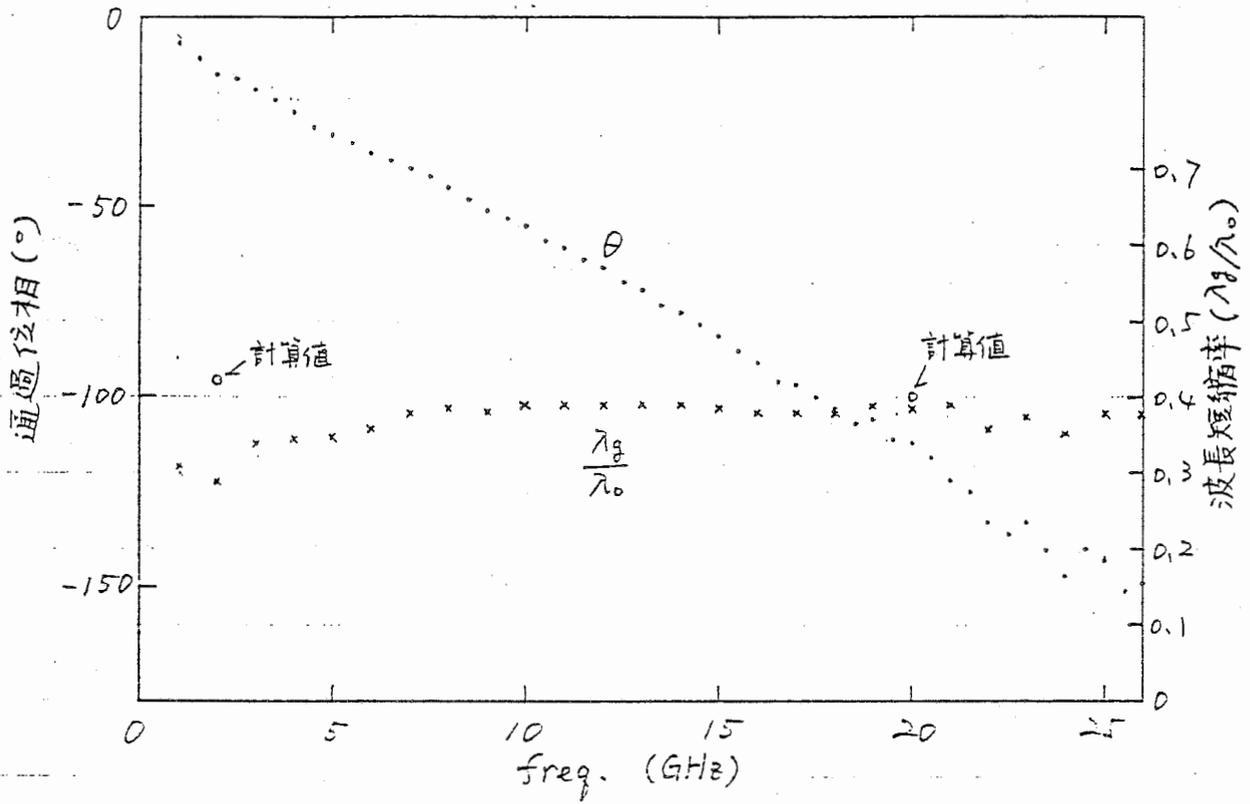


図3.28-2 GaAs基板上に形成されたスロットラインの波長短縮率 ( $\lambda_g/\lambda_0$ )

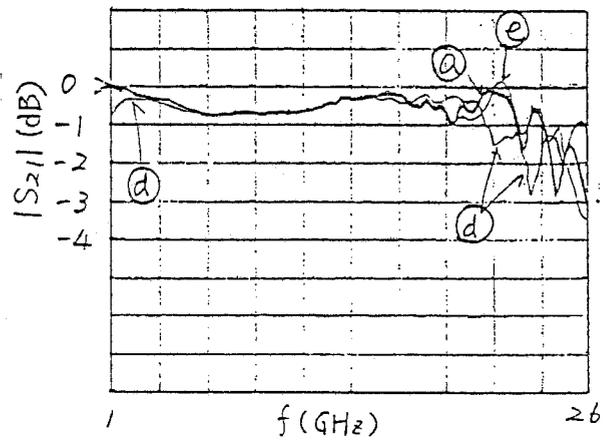
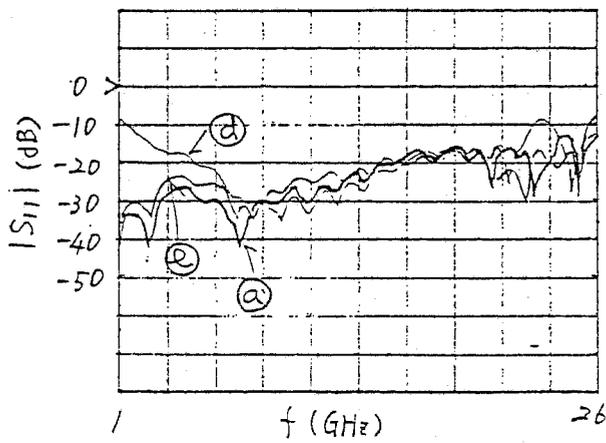
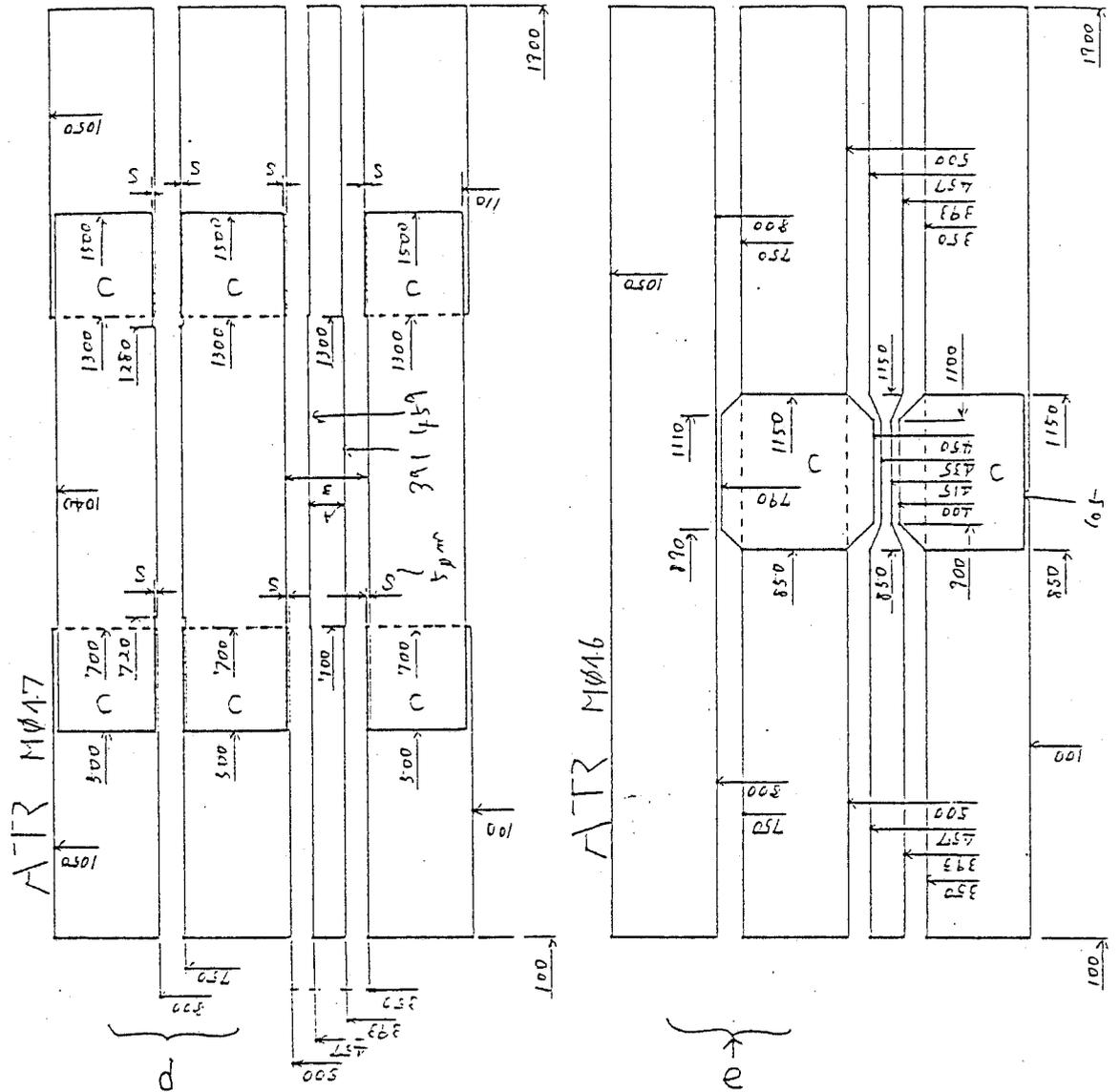
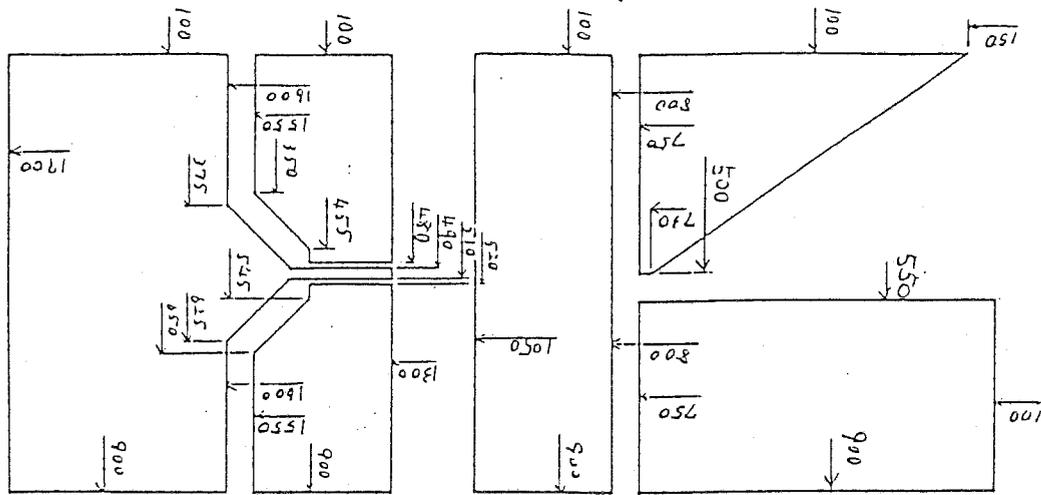


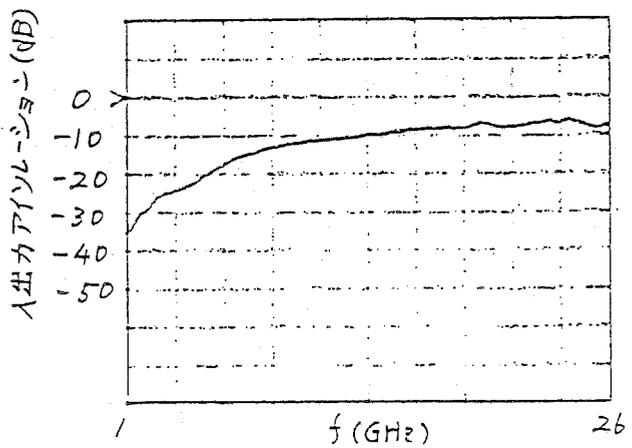
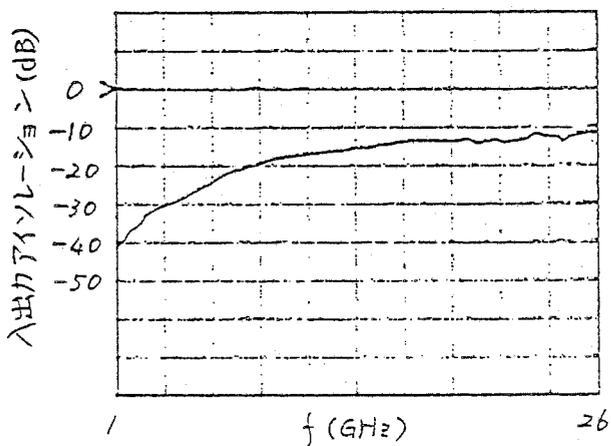
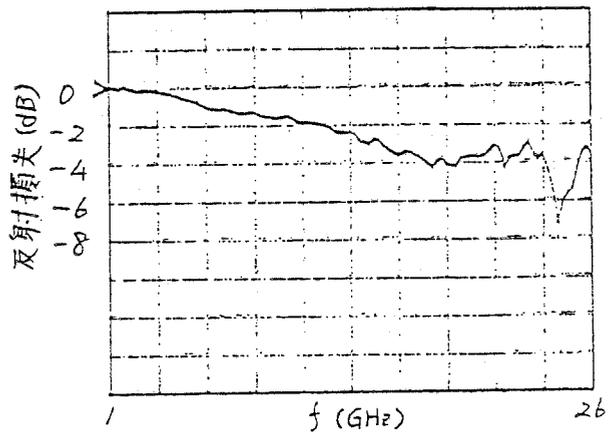
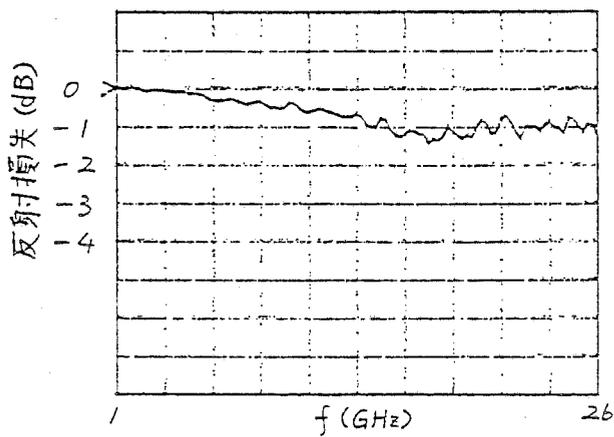
図3.28-3 SLOT線路において 導体をMIMキャパシタを介して分離した場合の影響を評価するTEGの形状と特性



ATR M14.8

a

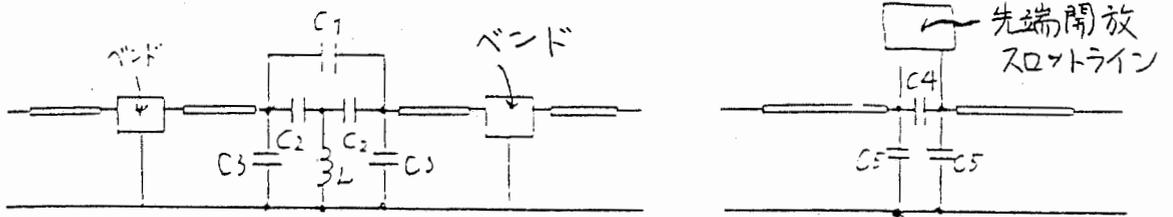
b



a の特性

b の特性

図3.29-1 入出カポートライン間の電磁的分離を評価するTEGの形状と特性(a,b)



$C_2$ は、先端開放・スロットライン

$$C_1 = 0.0002 \text{ pF}, C_3 = 0.026 \text{ pF}, L = 0.017 \text{ nH}$$

①の等価回路

$$C_4 \doteq 0.025 \text{ pF},$$

$$C_5 \doteq 0.035 \text{ pF},$$

②の等価回路

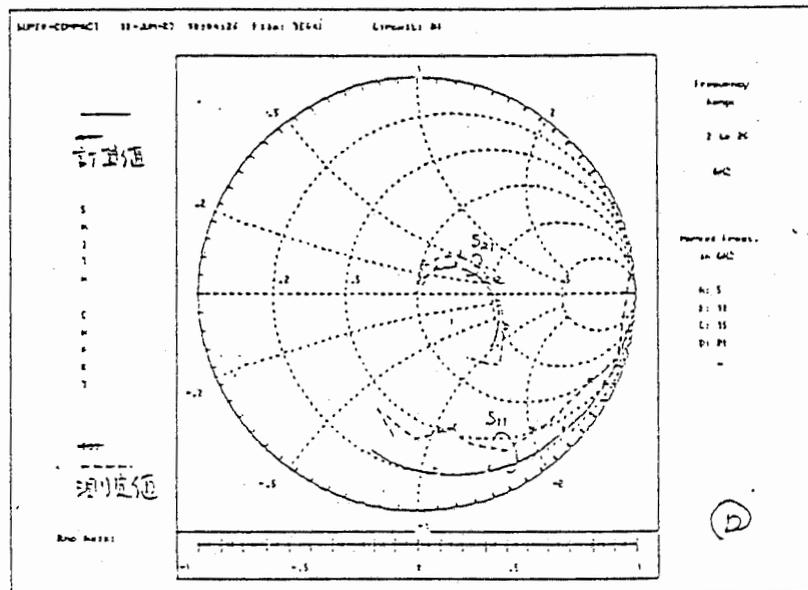
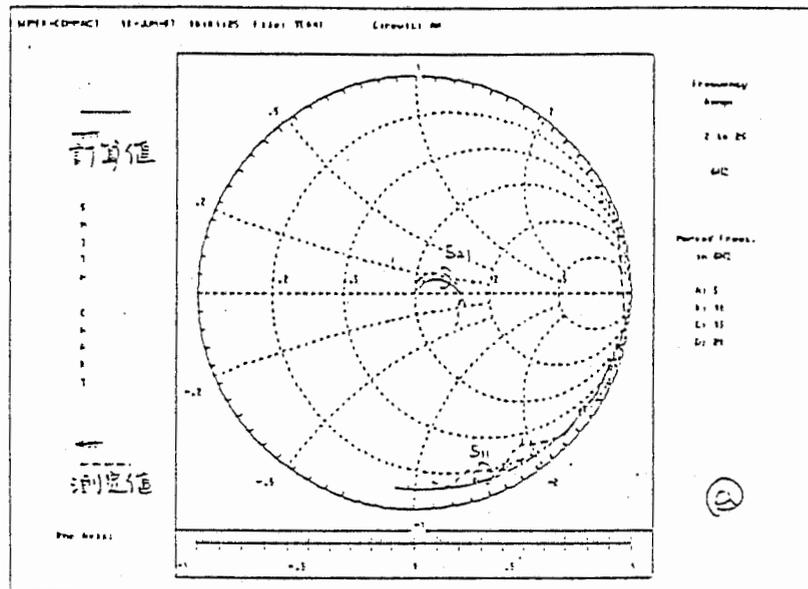


図3.29-2 a-bの等価回路と特性フィッティング結果

表4.1 多層化に適した薄膜の種類と形成条件

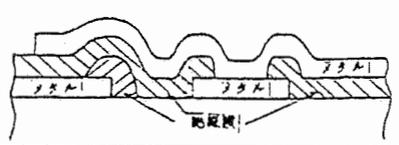
絶縁膜の種類	SIN	SION	ポリイミド
誘電率	6.5	5.7	3.8
処理温度	~300℃		
最大膜厚	8000Å		1.5μm
最大層数	2		
製作の容易性	同等		
最小ホール径	10μm以上		20μm以上
接続部形状			

表4.2 絶縁膜の種類と形成法

	蒸着	スパッタ	CVD	MOCVD	MBE	塗布	酸化
SiO <sub>2</sub>	○	○	○			○	Si
Si <sub>3</sub> N <sub>4</sub>	○	○	○				
SiO <sub>2</sub> N <sub>2</sub>	○	○	○				
PSG			○			○	
Al <sub>2</sub> O <sub>3</sub>		○	○				Al
ALN		○	○	○			
TiO <sub>2</sub>		○	○				Ti
CaF <sub>2</sub>	○				○		
Al <sub>2</sub> O <sub>3</sub>	○		○		○		
窒化シリ			○		○	○	
SiO					○		
ポリイミド						○	

表4.3 SiON膜の物性定数

	組成比 O/N	誘電率 ε <sub>r</sub>	屈折率 n	CuAs基板上 の応力	密度 ρ
SiO <sub>2</sub>	∞	3.9	1.46	3 × 10 <sup>9</sup>	2.1
Si <sub>3</sub> ON <sub>2</sub>	∞	∞	∞	∞	}
	1	5.8	1.7	5 × 10 <sup>8</sup>	
Si <sub>3</sub> N <sub>4</sub>	0	7.4	2.03	3 × 10 <sup>9</sup>	3.1

(dyn/cm<sup>2</sup>) (g/cm<sup>3</sup>)

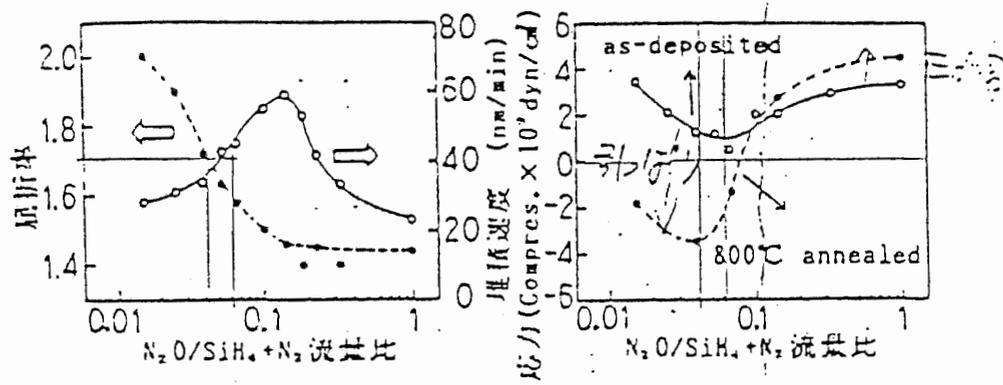
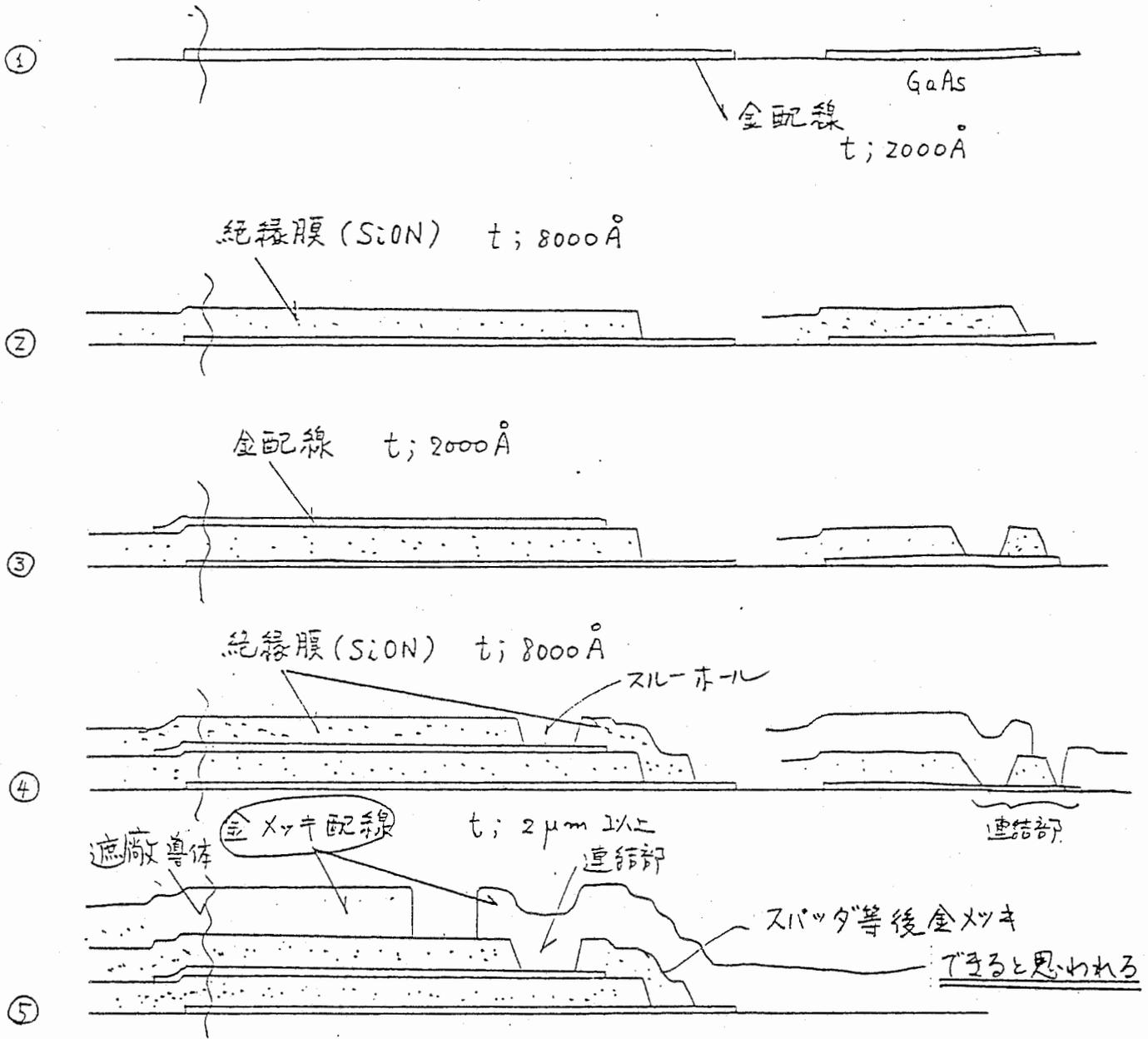


図4.1 流量比と屈折率、堆積速度、応力との関係



遮蔽導体と有する多層化伝送線路  
用プロセスフロー

誘電体薄膜上マイクロスト  
リッパ線路各用プロセス  
フロー

図4.2 誘電体薄膜上の伝送線路と入出力伝送線路との連結  
プロセス

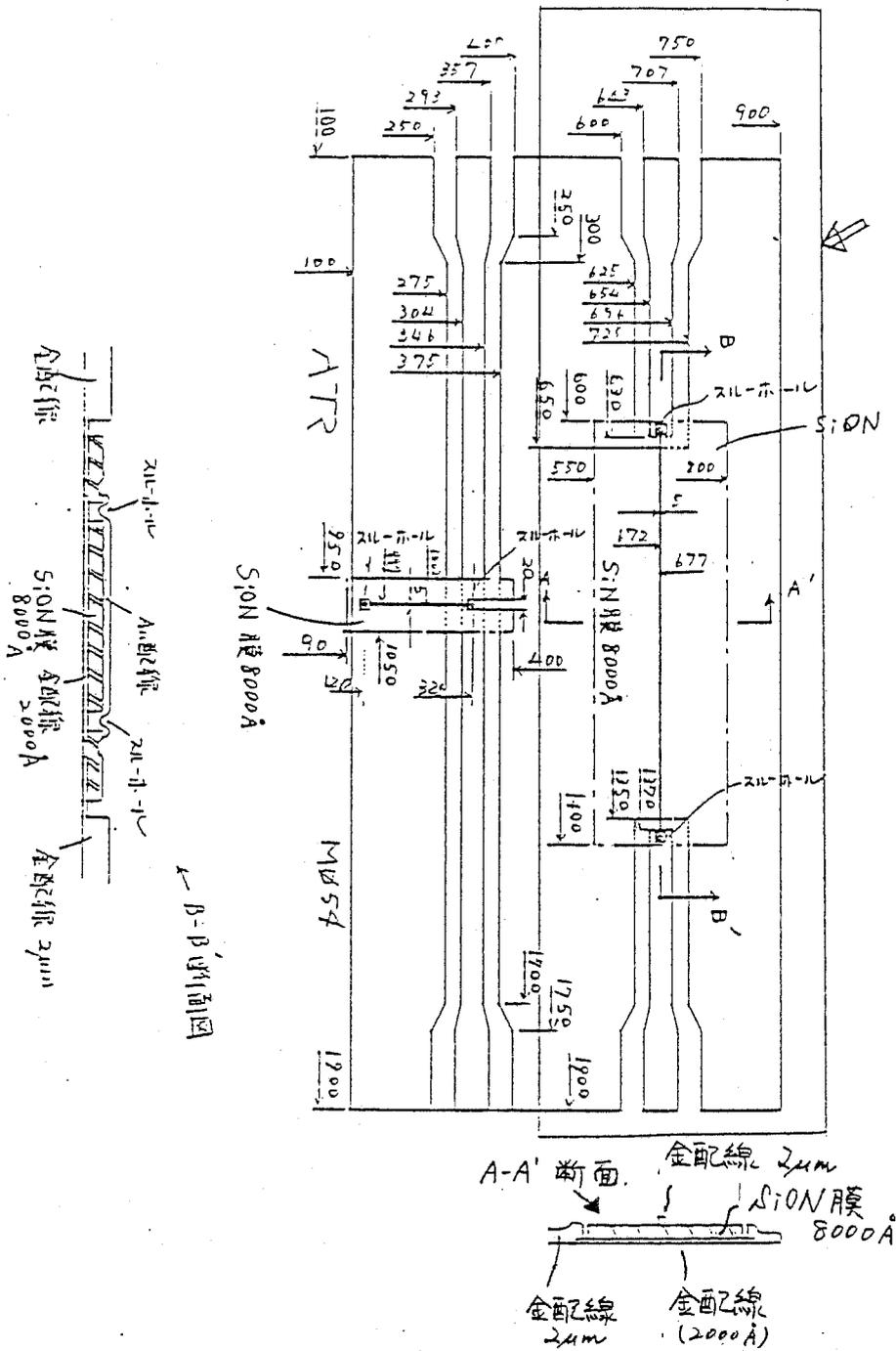


図4.3-1 薄膜上に形成された直線状マイクロストリップラインの形状  
(⇒で示す枠内)

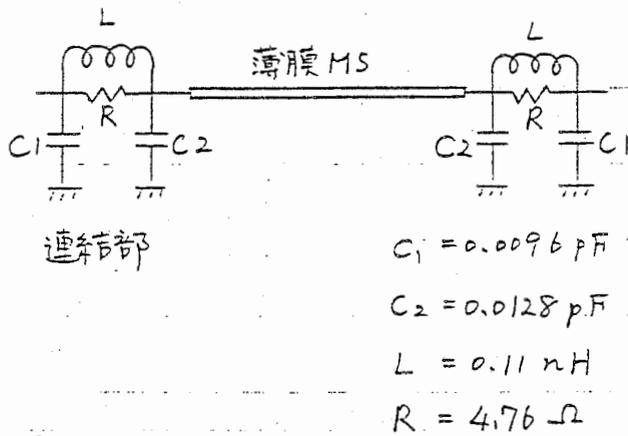
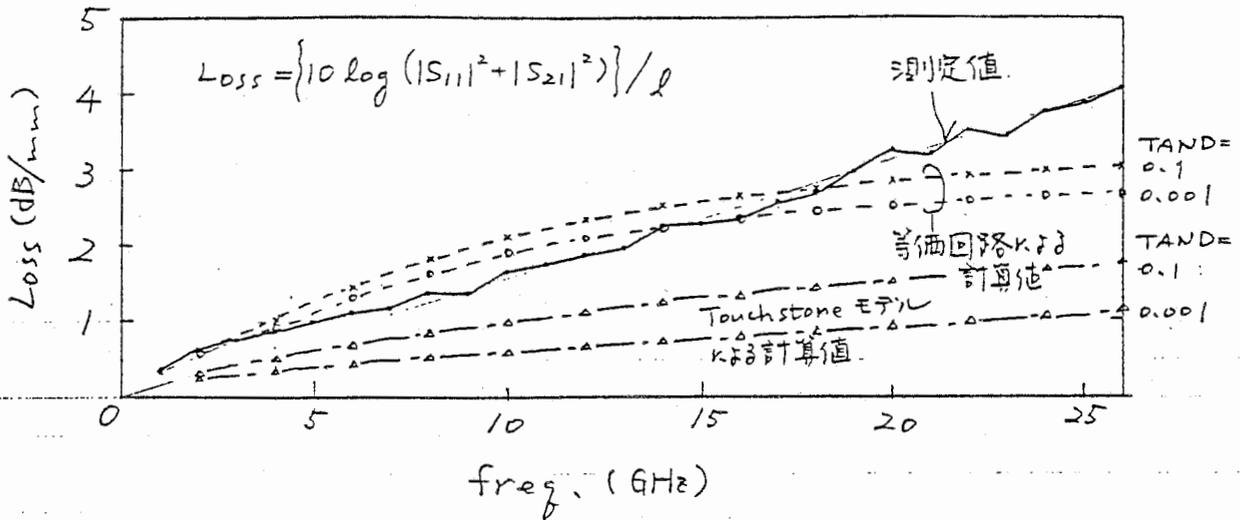
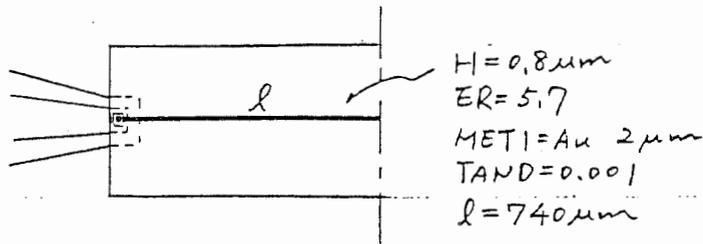


図4.3-2 薄膜エレクトロニック形成された直線状マイクロストリップラインの損失特性と等価回路

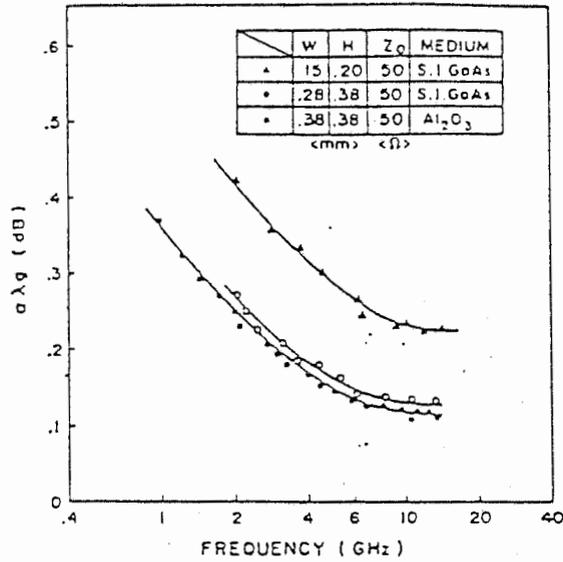


図4.3-3 マクロストリップラインの  
損失特性例 (50Ω line)

( A. HIGASHISAKA, T. MIZUTA : 20-GHz Band Monolithic  
GaAs FET Low Noise Amplifier, IEEE Tr., vol. MTT-29,  
No. 1, JANUARY 1981 )

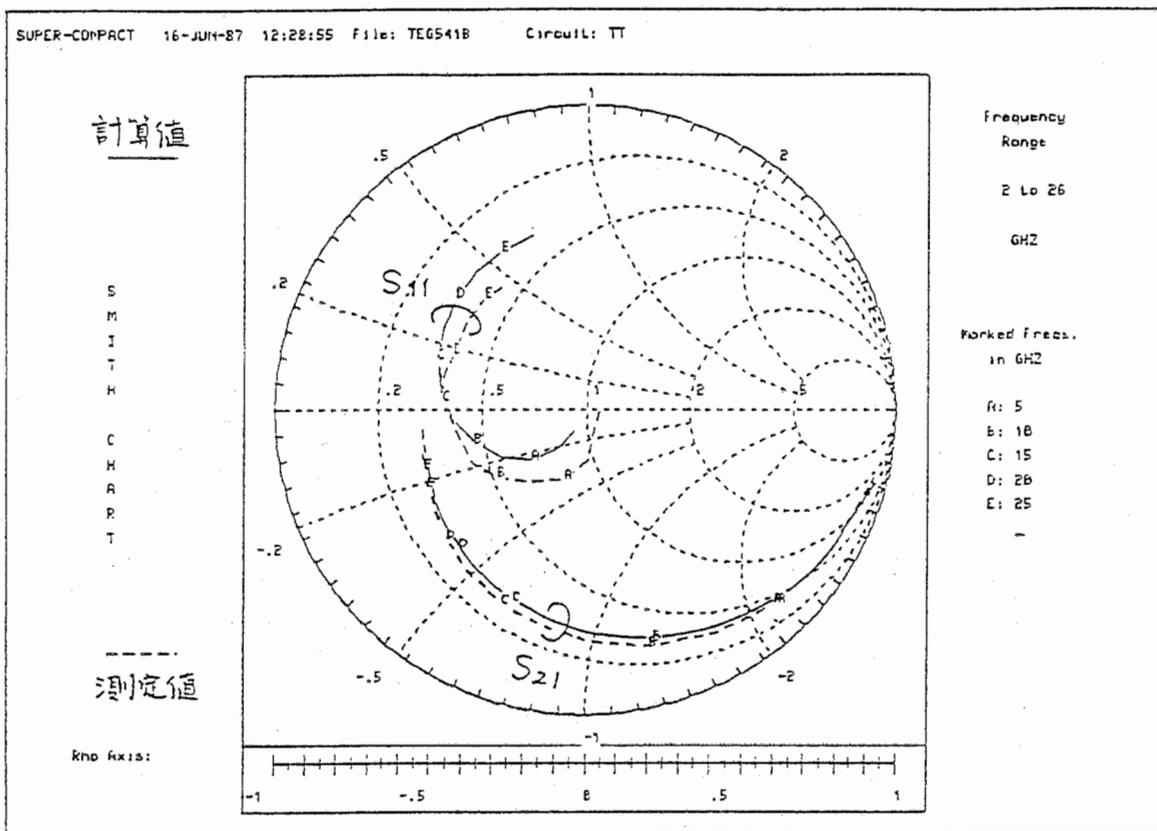
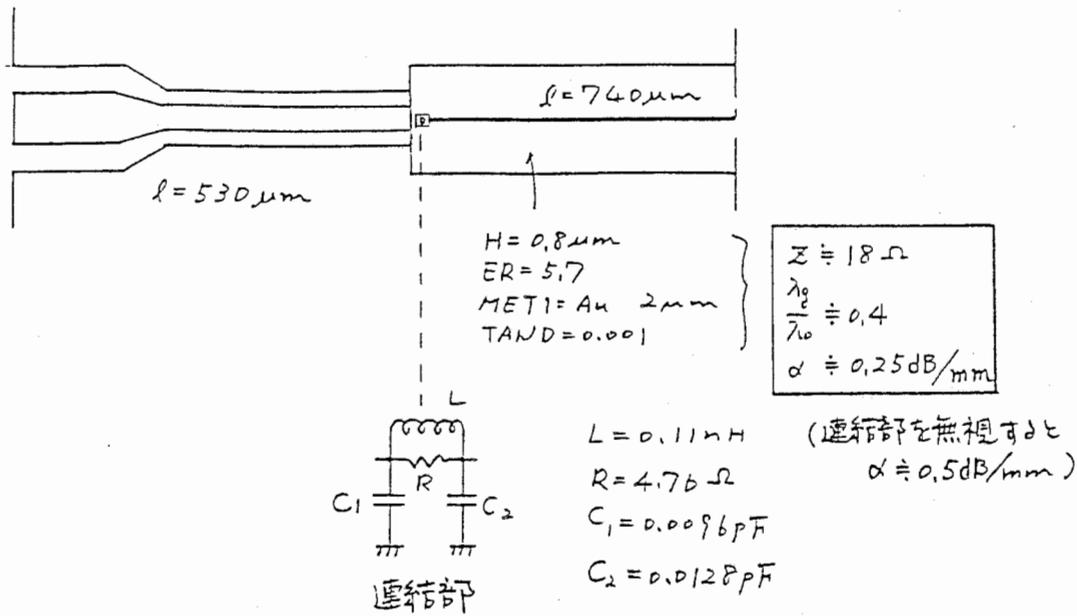
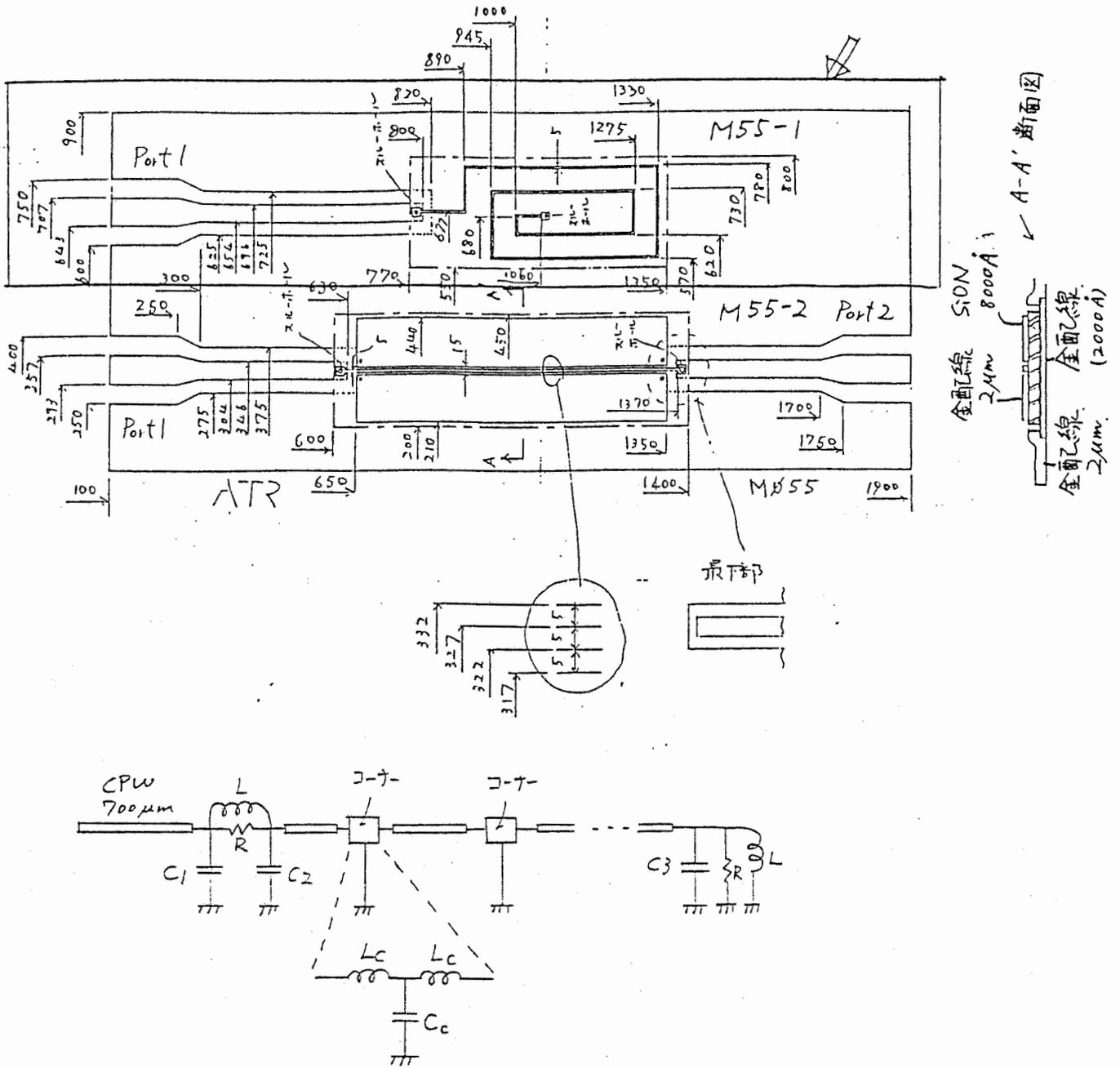


図4.3-4 薄膜上に形成された直線状マイクロストリップラインの特性ファitting結果



$$C1: 0.0096\text{pF} \rightarrow 0.0168\text{pF}$$

$$C2: 0.0128\text{pF} \rightarrow 0.0197\text{pF}$$

$$L: 0.11\text{nH} \rightarrow 0.2\text{nH}$$

$$R: 4.76\Omega \rightarrow 8.63\Omega$$

$$C3: 0.0125\text{pF}$$

$$Lc: 0.0056\text{nH}$$

$$Cc: 0.0714\text{pF}$$

$$Z_0: 18\Omega \rightarrow 22\Omega$$

$$\frac{\lambda_g}{\lambda_0}: 0.4 \rightarrow 0.414$$

$$\text{Loss}: 0.25\text{dB/mm}$$

図4.4-1 薄膜上に形成されたスパイラル状マイクロストリップラインの形状 (4で示す枠内) と等価回路。

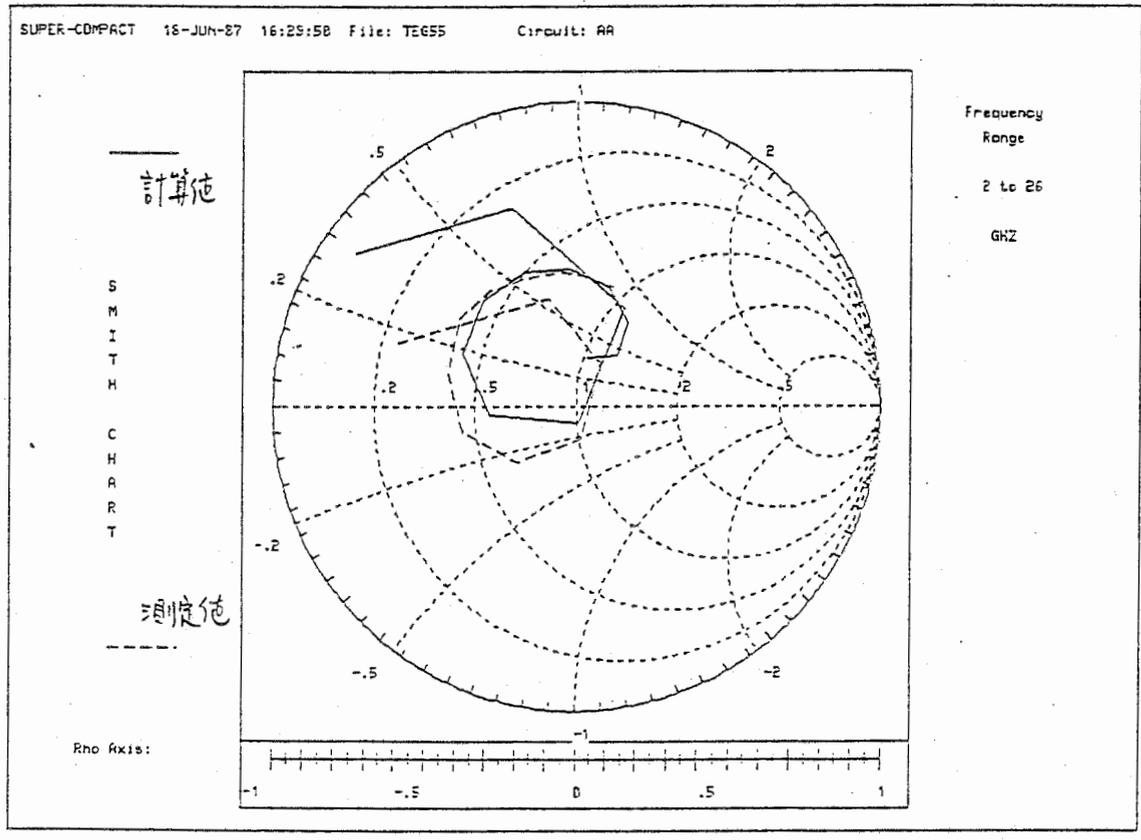
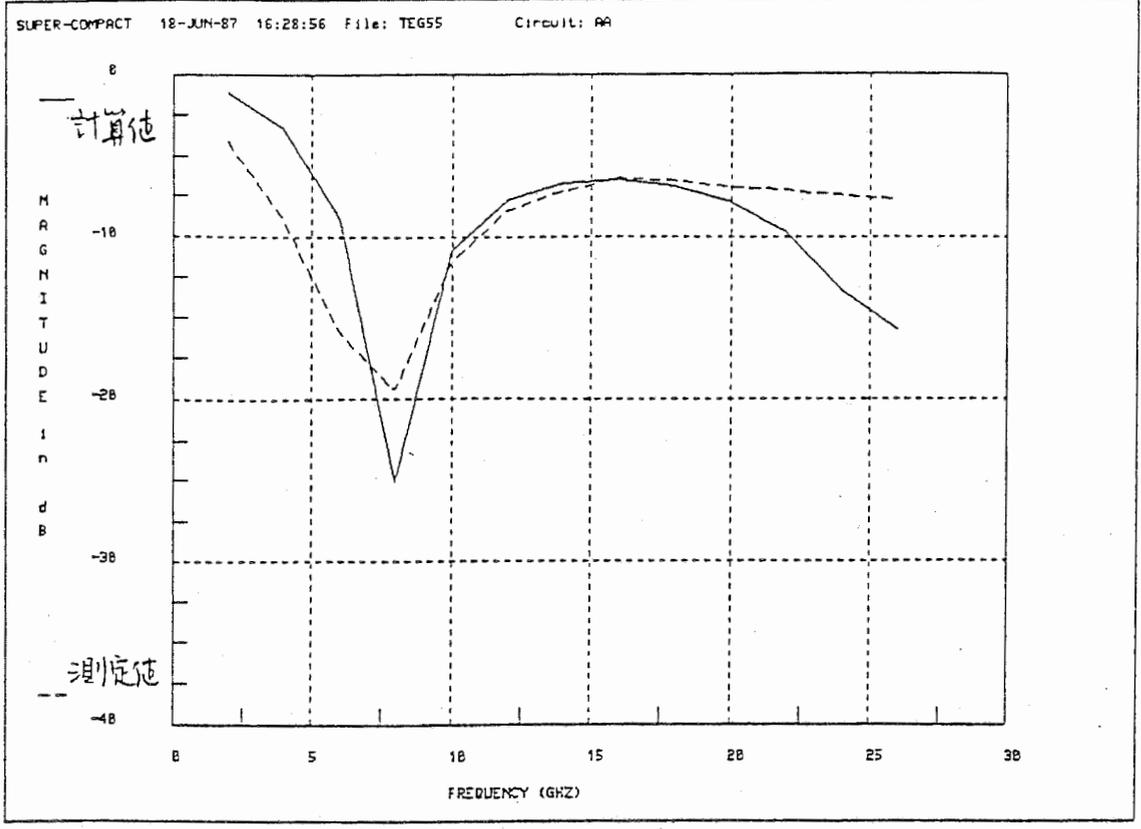


図4.4-2 等価回路に対する特性フィッティング結果



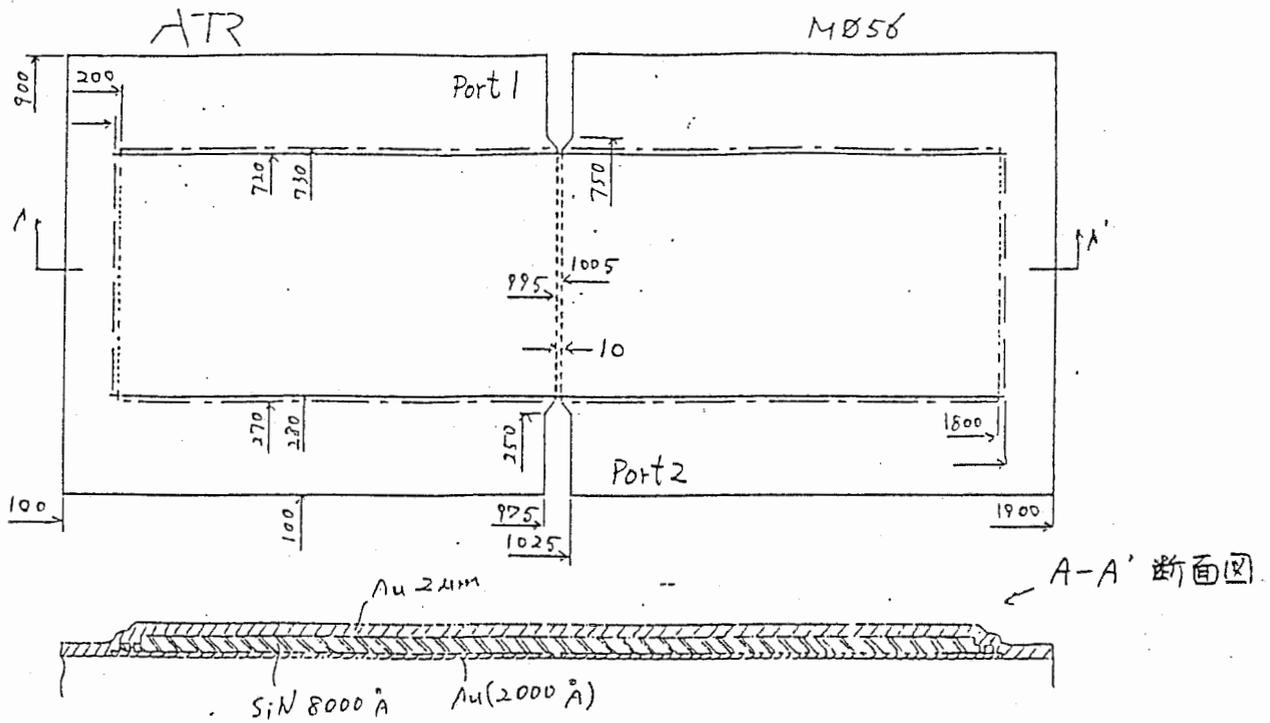


図4.6 薄膜を用いた新しいマイクロ波線路 ㉑

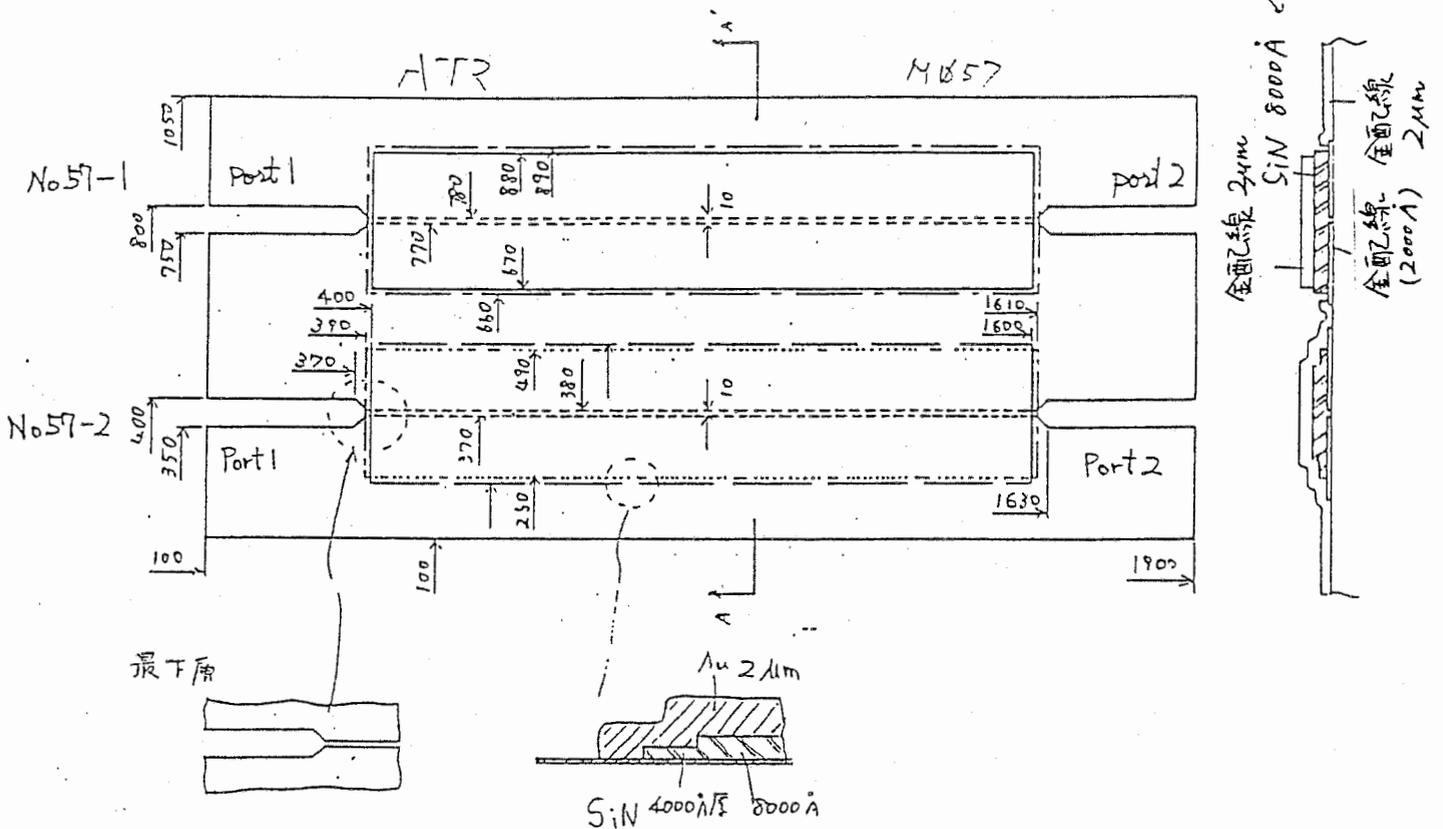


図4.7 薄膜を用いた新しいマイクロ波線路 ㉒



表4.4 マイク波線路の積層構成

項目	構成	膜厚
第1金属配線	Au/Ti	2000 = 200 Å
第1層絶縁膜	SiON	8000 = 800 Å
第2金属配線	Au/Ti	2000 ± 200 Å
第2層絶縁膜	SiON	8000 ± 800 Å
第3金属配線	Au/Ti	2.5 ± 1 μm

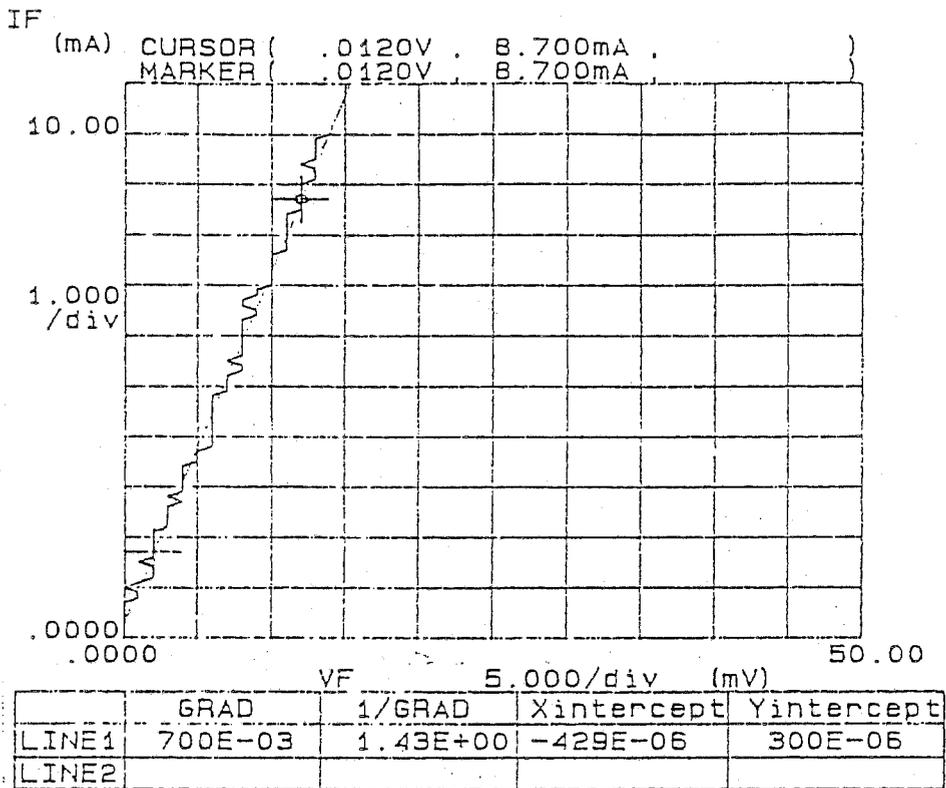


図4.10-1 測定系配線抵抗の測定結果

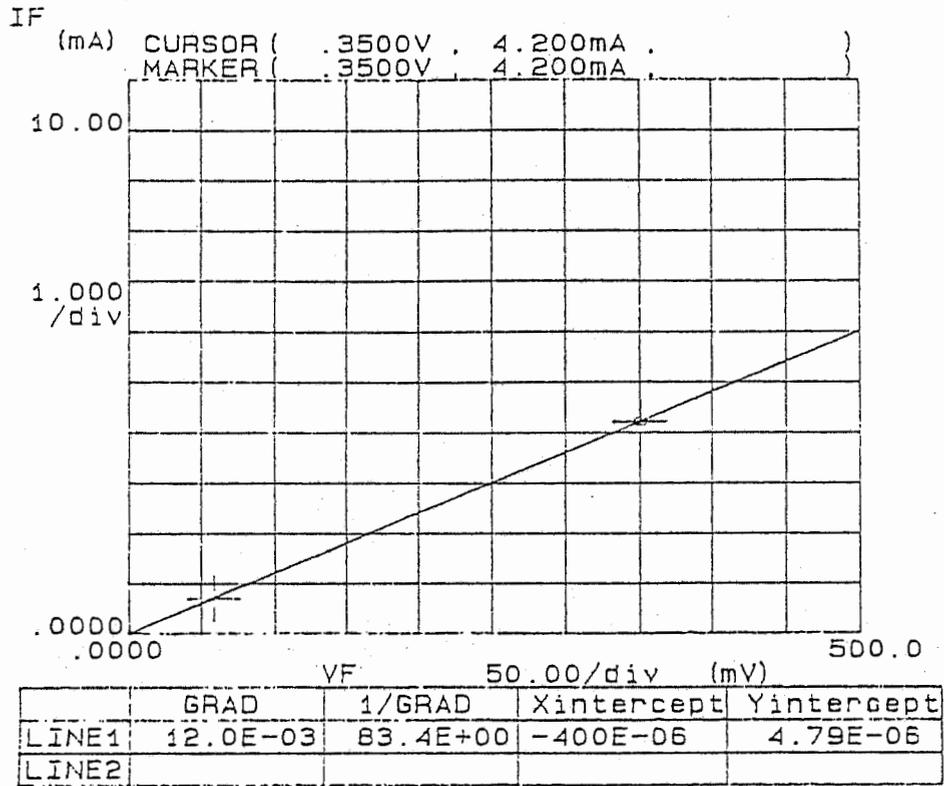
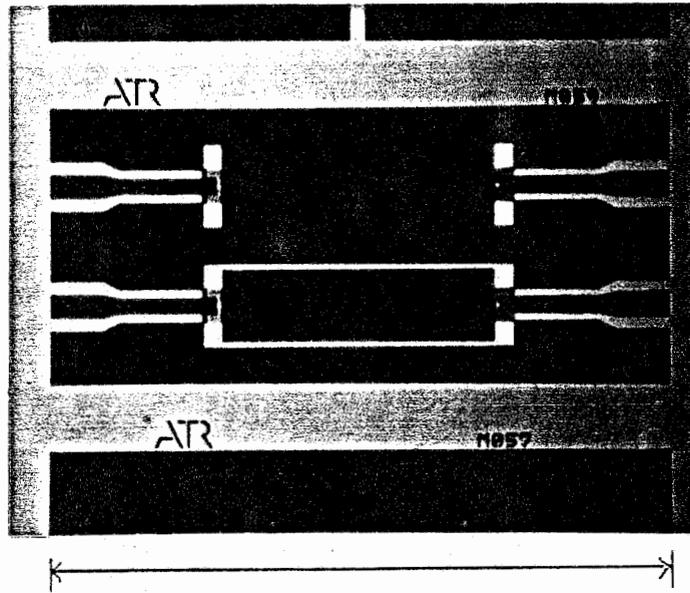


図4.10-2 ② の第2金属配線 (T=2000 Å) 抵抗の測定結果

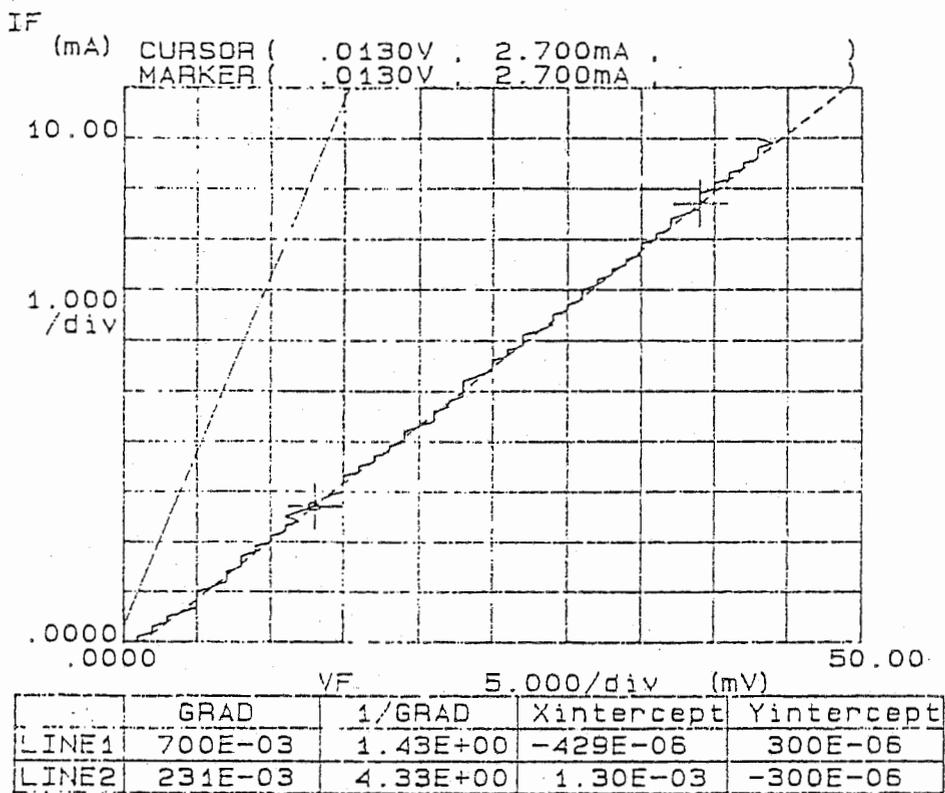
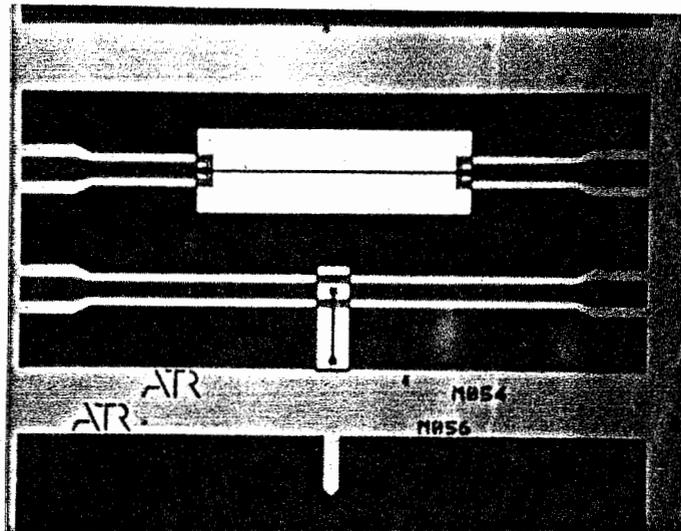


図4.10-3 図4.3-1 (薄膜上マイクロストリップライン:  $T=2.5\mu\text{m}$ ) の  
 第2金属配線抵抗値の測定結果

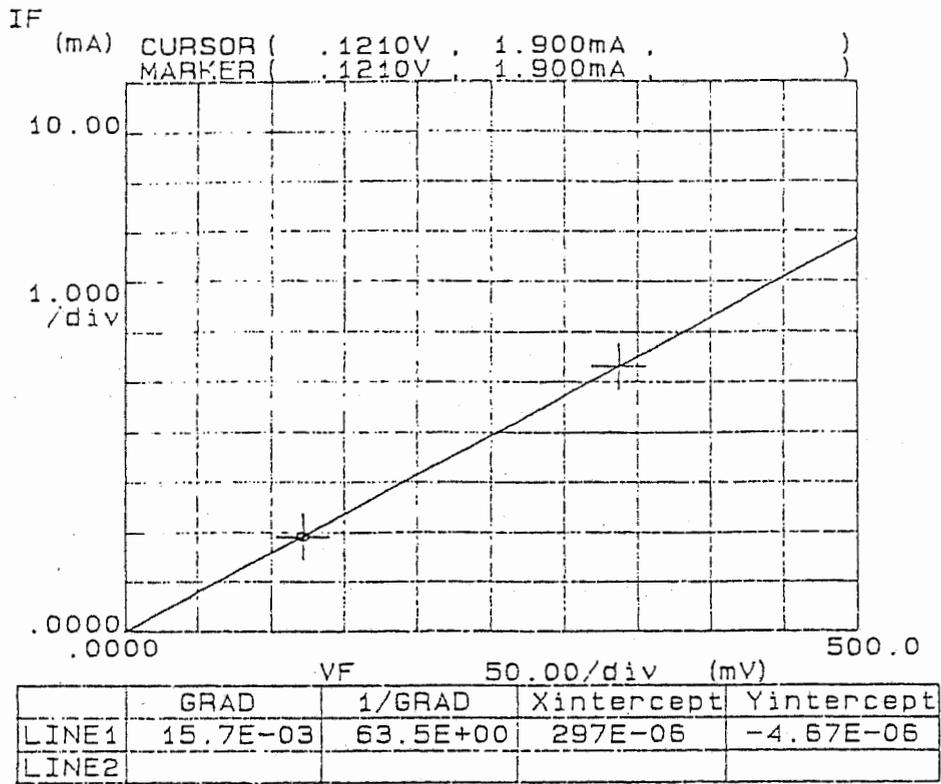


図4.10-4 © の第1層金属配線 ( $T=2000\text{\AA}$ ) 抵抗の測定結果

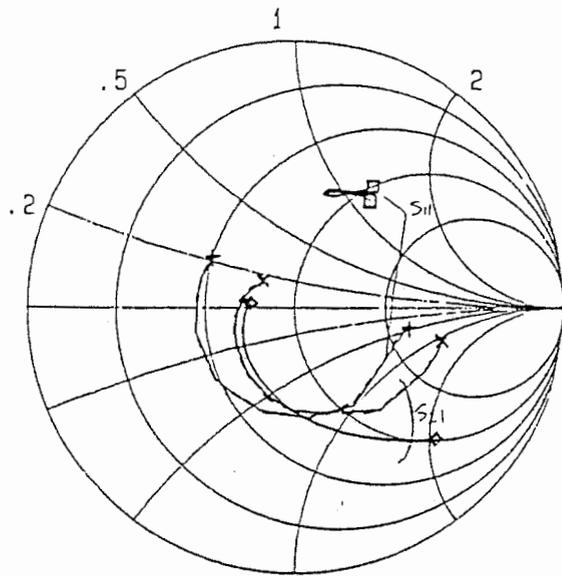


図4.11-1 損失を有する伝送線路として扱った場合の計算値  
(単位長当り損失  $0.04 \text{ dB}/\mu\text{m}$ )

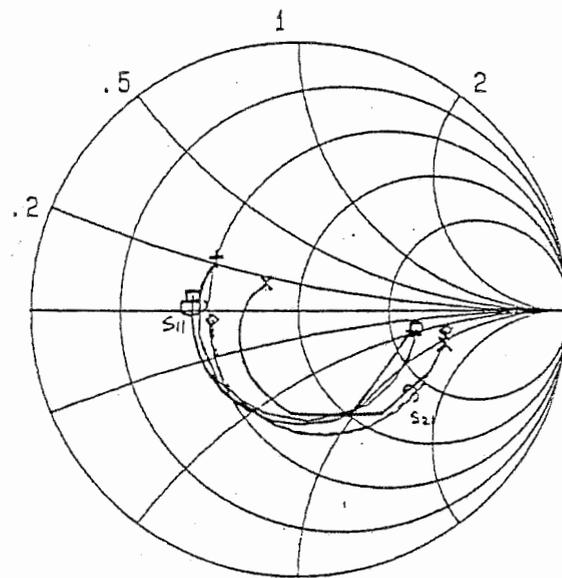


図4.11-2 TFRとして扱った場合の計算値  
(シート抵抗  $0.5 \Omega/\square$ )

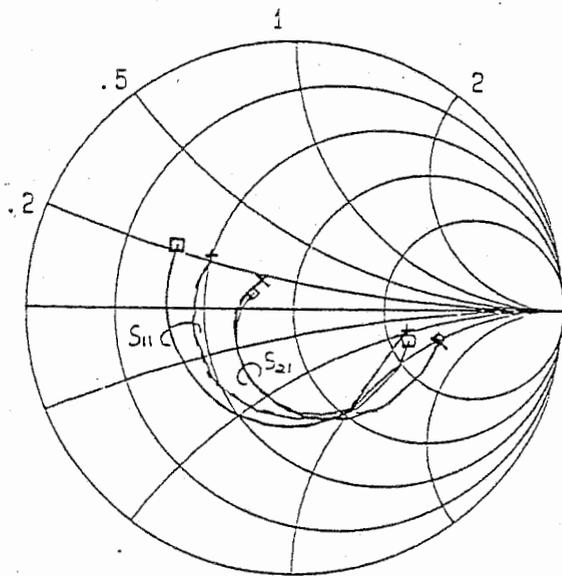


図4.11-3 直列抵抗と並列容量が分布するとして扱った場合の計算値  
(単位長当り抵抗  $0.1 \Omega/\mu\text{m}$ )  
(並列容量  $0.0007 \text{ pF}$ )

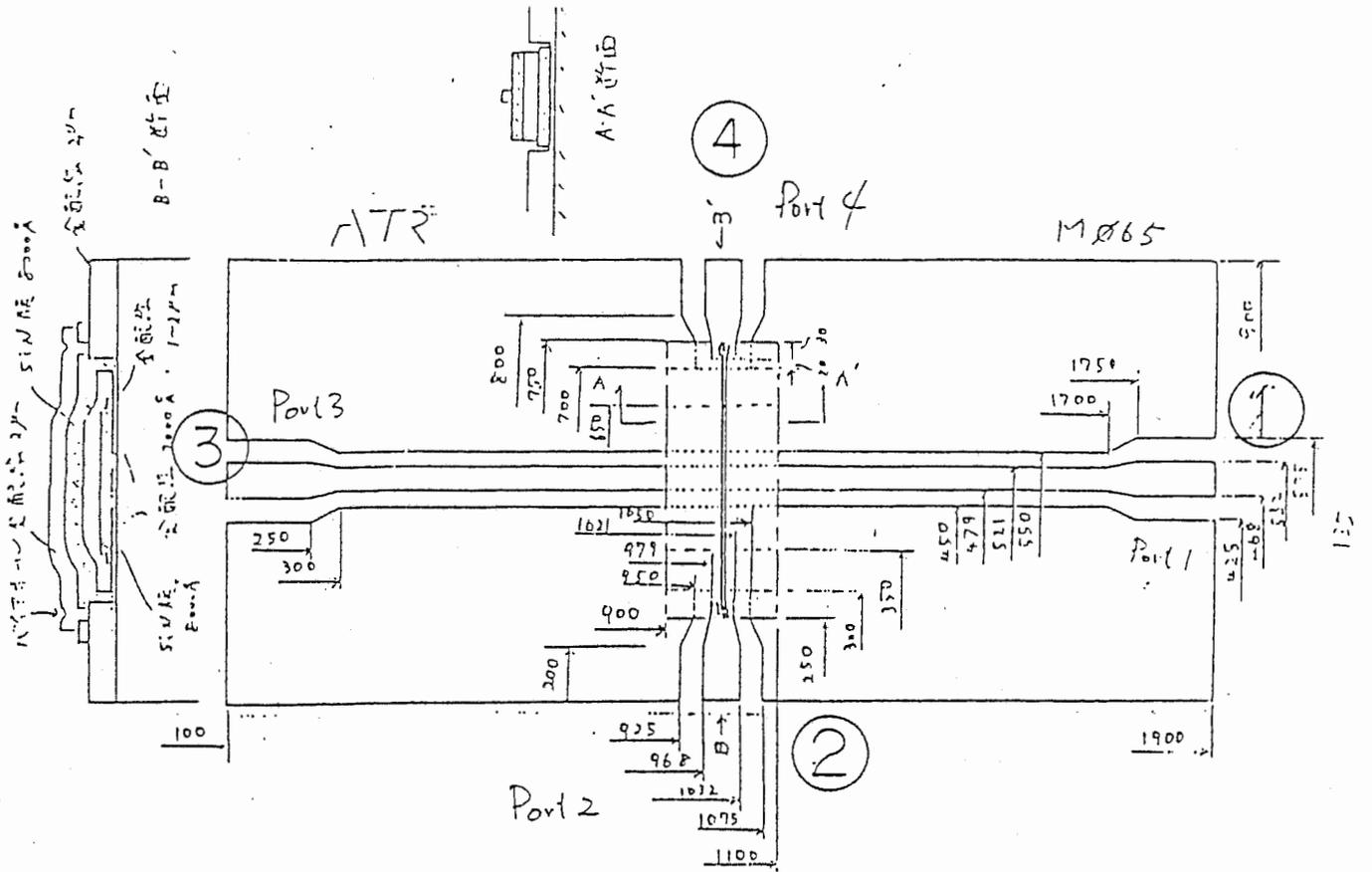


図 4.12

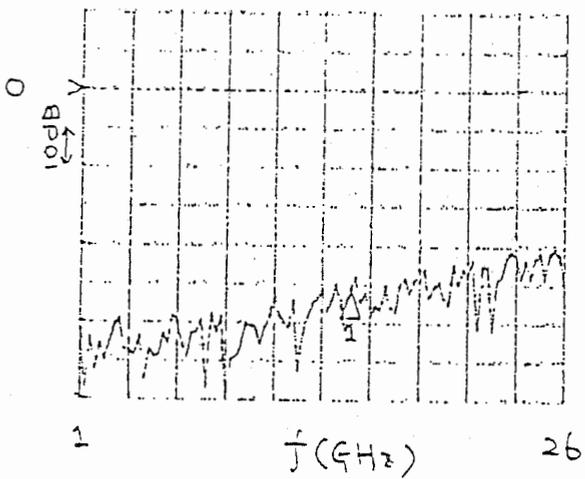


図 4.13  
(プロ-バオーブン特性)

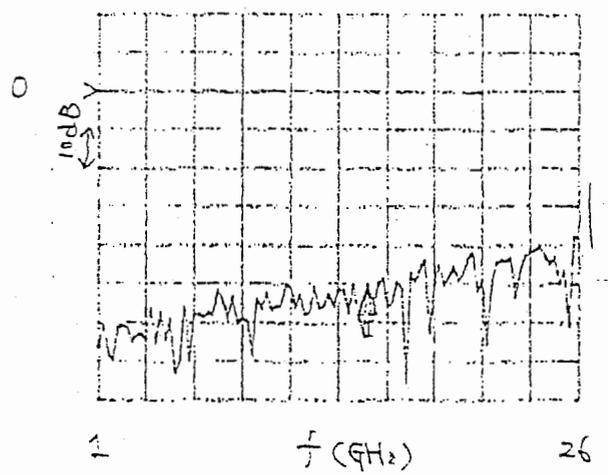


図 4.13-2.  $\rho_{12}$

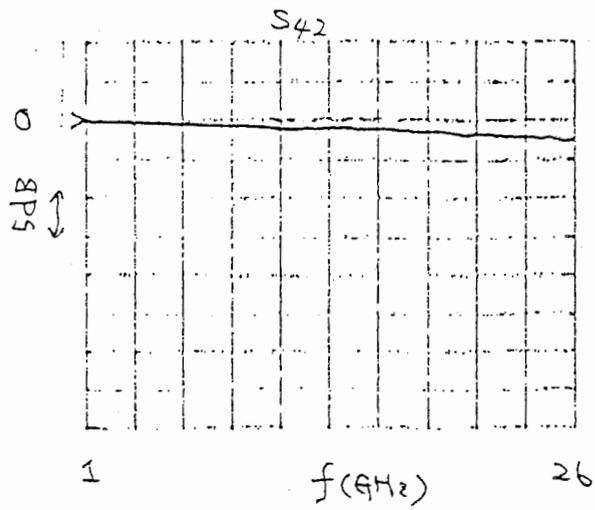


图 4.14-1

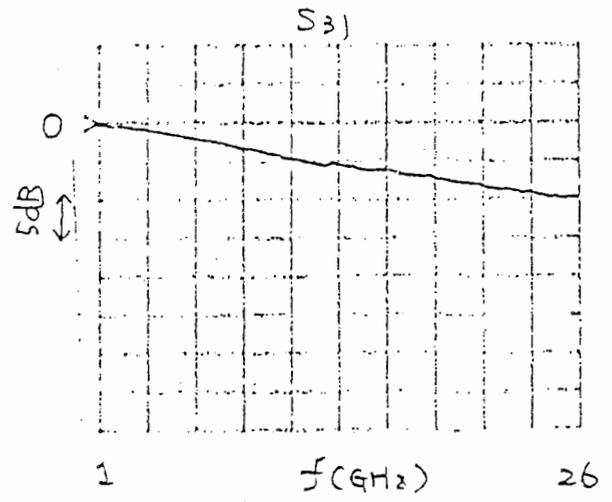


图 4.14-2

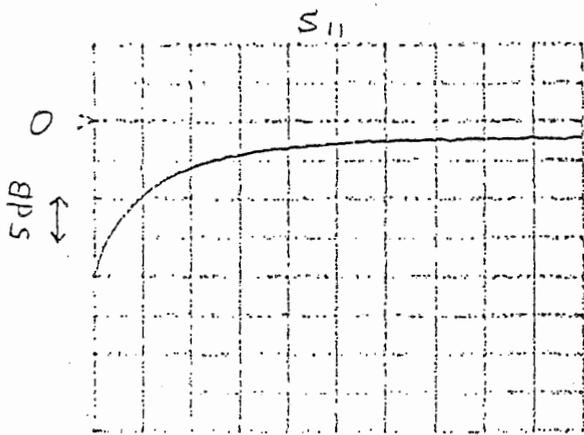


图 4.14-3

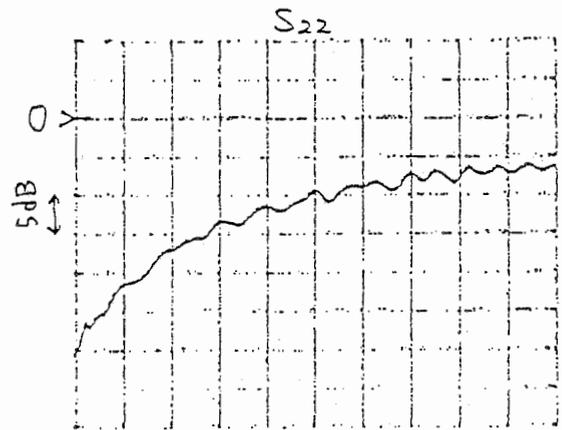
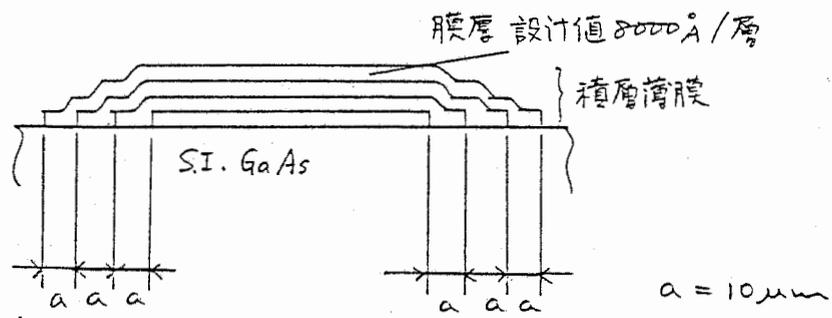
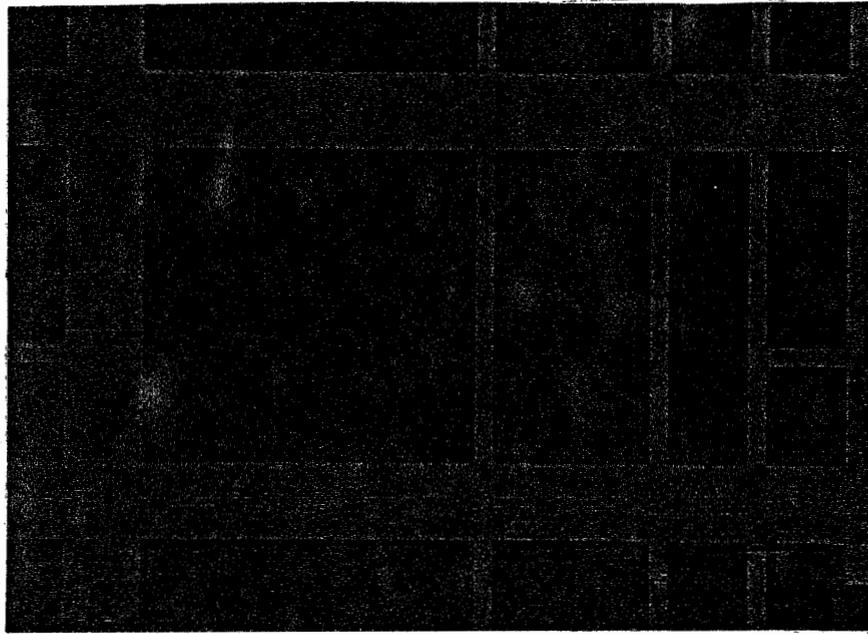


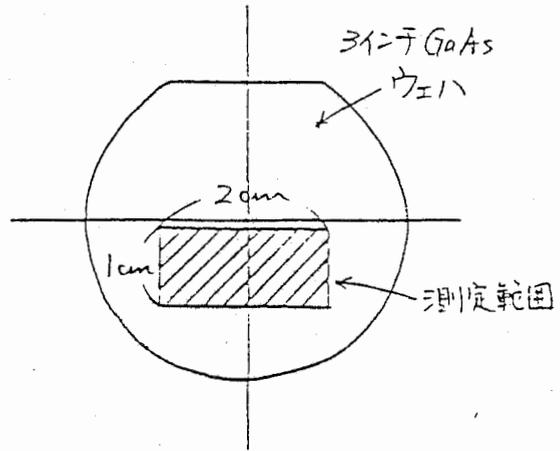
图 4.14-4



集積構造

#### 4.15 積層化薄膜パターンおよび断面構造

	1.729	1.745	1.744	1.745	1.742	1.742	1.745	1.744	1.745
	16271	16282	16272	16285	16245	16229	16220	16189	16189
1.717	1.735	1.746	1.745	1.742	1.741	1.740	1.745	1.746	1.745
16136	16189	16228	16217	16169	16228	16226	16215	16216	16148
1.724	1.746	1.745	1.745	1.744	1.742	1.739	1.741	1.739	
16254	16243	16186	16158	16155	16152	16186	16153	16151	
1.725	1.742	1.741	1.742	1.740	1.742	1.740	1.743	1.740	
16232	16225	16214	16213	16160	16112	16112	16053	16071	
1.745	1.744	1.744	1.741	1.745	1.745	1.742	1.743	1.740	
16148	16122	16141	16078	16088	16060	16072	16024	16043	16007
1.744	1.747	1.744	1.744	1.744	1.741	1.734	1.738	1.738	1.740
16097	16054	16090	16085	16108	16076	16077	16014	16026	15991
1.738	1.739	1.739	1.739	1.738	1.737	1.737	1.736	1.738	1.741
16117	16114	16118	16120	16115	16105	16081	16054	15988	15844
1.735	1.735	1.736	1.736	1.736	1.736	1.737	1.739	1.741	1.735
16092	16101	16112	16095	16090	16019	16023	15968	15815	15662
1.740	1.740	1.741	1.742	1.745	1.744	1.743	1.742	1.745	
15936	15927	15928	15909	15875	15836	15791	15707	15574	15358
1.748	1.750	1.753	1.756	1.759	1.760	1.760	1.762	1.772	1.789
15792	15758	15689	15653	15606	15591	15587	15556	15442	15175



2層膜 ( $n_{av} = 1.745$ ,  $d_{av} = 16129 \text{ \AA}$ )

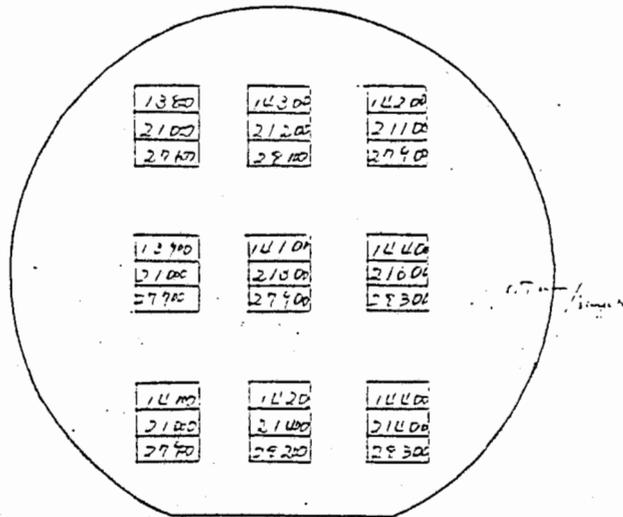
1.717	1.712	1.711	1.690	1.675	1.625	1.681	1.628
23834	23874	23875	24557	24800	24448	24225	24202
1.697	1.692	1.687	1.687	1.687	1.694	1.694	1.690
24337	24279	24368	24392	24377	24874	24557	24245
1.682	1.689	1.688	1.680	1.686	1.680	1.686	1.692
24561	24276	24342	24513	24094	24973	24309	24417
1.676	1.677	1.673	1.677	1.686	1.671	1.680	1.687
24661	24426	24683	24552	24810	24673	24406	24368
1.686	1.683	1.684	1.681	1.688	1.684	1.686	1.691
24320	24418	24374	24275	24442	24306	24227	24242
1.697	1.695	1.692	1.693	1.690	1.691	1.693	1.695
24022	24077	24083	24082	24106	24046	23942	23888
1.697	1.696	1.696	1.696	1.694	1.696	1.696	1.697
23947	23965	23943	23919	23939	23914	23847	23795
1.697	1.698	1.698	1.697	1.696	1.696	1.696	1.696
23861	23868	23865	23877	23890	23877	23810	23759
1.697	1.697	1.698	1.697	1.695	1.696	1.696	1.696
23805	23834	23824	23847	23892	23828	23778	23729
1.696	1.697	1.697	1.696	1.696	1.696	1.694	1.694
23690	23695	23699	23685	23683	23686	23647	23623

3層膜 ( $n_{av} = 1.691$ ,  $d_{av} = 24080 \text{ \AA}$ )

1.687	1.690	1.690	1.697	1.685	1.711	1.710	1.702
22158	21986	21949	22283	22044	21298	21347	21496
1.681	1.683	1.671	1.681	1.682	1.674	1.667	1.655
22322	22173	22423	22257	22127	22314	22247	22770
1.701	1.695	1.697	1.694	1.698	1.698	1.718	1.691
21714	21666	21771	21802	21652	21554	21014	21652
1.693	1.693	1.684	1.691	1.694	1.663	1.662	
21885	21872	22044	21826	21711	22504	22008	
1.692	1.701	1.713	1.706	1.723			
21725	21514	21179	21259	20825			
1.741	1.704	1.725					
20373	21207	20810					

4層膜 ( $n_{av} = 1.692$ ,  $d_{av} = 31823 \text{ \AA}$ )

図4.16 多層膜。屈折率・膜厚 $\phi$ 内分布測定結果 (エリフソメータ)



各々のパターンに7117  
ウエハ面内9点測定

装置: α-ステップ

2層膜厚 (1)
3層膜厚 (1)
4層膜厚 (1)

1層膜厚 (1)
2層 14200, 25.7, 1.5%
3層 121200, 21.7, 1.0%
4層 128000, 25.2, 1.5%

図4.17 接触針による機械的測定結果

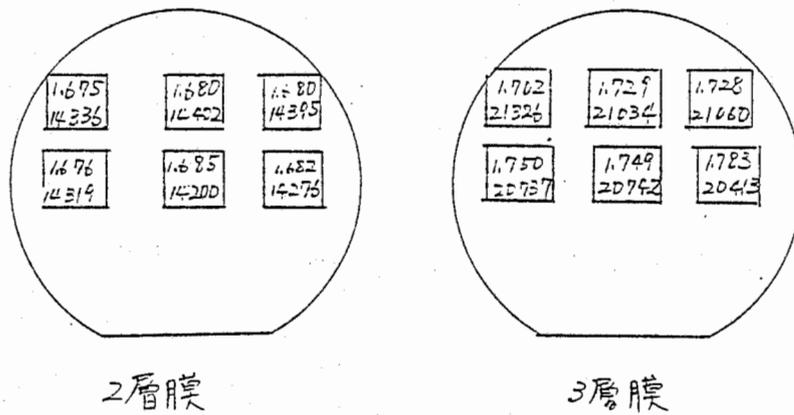
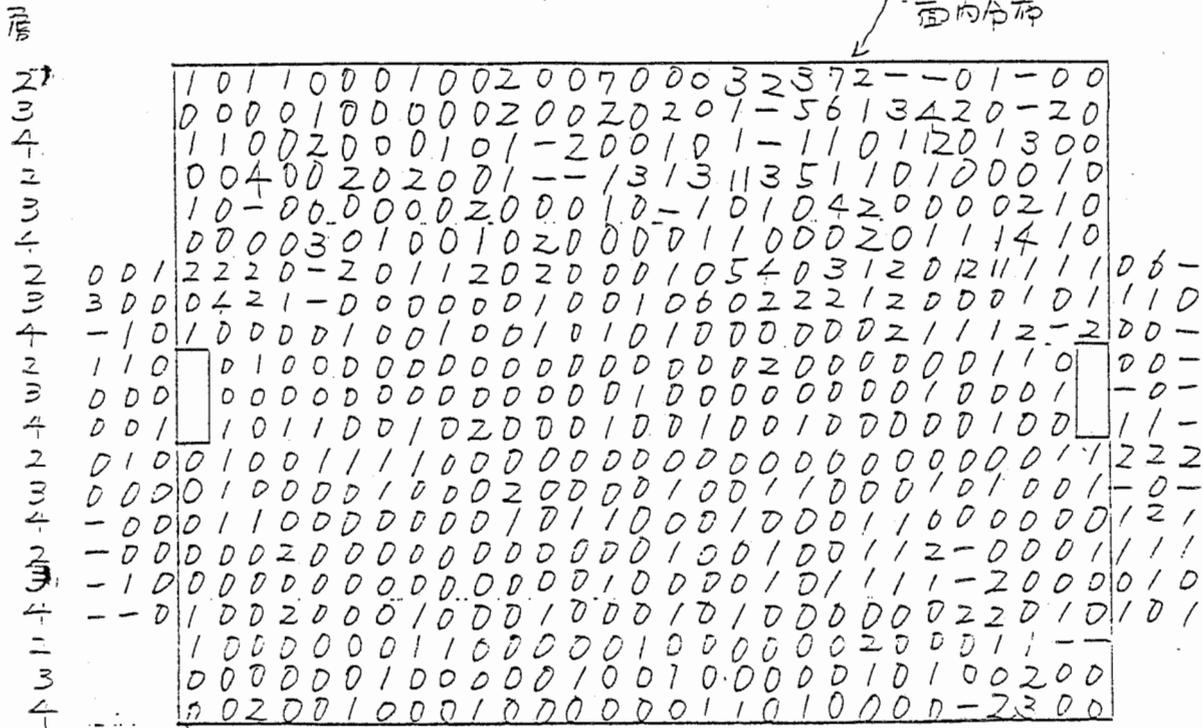
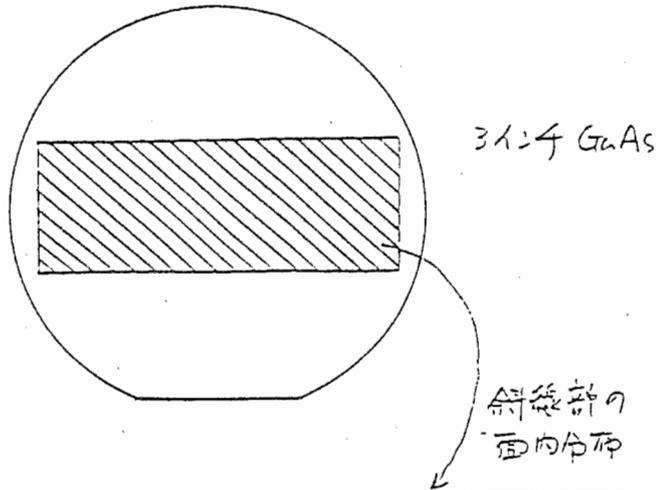


図4.18. エリフソメータによる再測定結果



16ヶ所内のピンホール数	1ヶ所数
0	386
1	129
2	45
3	10
4	5
5	3
6以上	7
不詳	18

\* 不良は、ゴッ、キズ等(見出し外大抵の)があるもの。

図4.20 ピンホール分布