TR - 0 - 0001				-
田谷	和61年度 能動素子	試作MMIC∅ ─特性評価	C	
平岡 孝啓	竹中 勉	徳満 恒雄	相川正義	

1

÷ .

-22

49

1987. 9. 3.

ATR光電波通信研究所

ATR 光電波通信研究所では、適応制御型アンテナ及び移動機の超小型化・高機能 化等に向け、モノリシックマイクロ波IC (MMIC)の高集積化の研究を行っている。昭和 61年度、共平面小型化MMIC および多層化MMICの試作を行い、順次これらの実験・評 価を進めている。本報告は、この試作MMIC について回路の基本的な特性を決定する上 で重要な能動素子(FET)の特性およびその評価について示したものである。具体的な内 容として、ばらつき等のFETとしての基本特性を示すとともに、次回の設計を行うため に必要なモデル化を行い、小信号モデルを求めた。また非線形モデルを初めて使用し、 モデルの導出結果及び問題点を示した。最後に、さまざまな形状・接地形式を持つFET の特性を示すとともに、形状から物理的に考えられる等価回路のパラメータの変更によ り容易に説明できることを示した。

•			
葉原会長			
古濱社長			
安川室長	•		
藤本室長			
高橋総括	• • •		
無線通信第2研究室			

発行時 配付先 (Initial Distribution Specifications)

備考 (Notes)

昭和61年度試作MMICの能動素子特性評価

平岡 孝啓 竹中 勉 徳満 恒雄 相川 正義

<u>目次</u>

- 1. まえがき	PAGE 1
2. 試作プロセス	
2.1. 試作品概要 2.2. 試作プロセスおよび基本特性	1 2
3. 試作FETの基本特性	
3.1. 測定結果3.2. 測定結果に対する考察	3 5
4. FETのモデリング	
4.1. 小信号モデル 4.2. 非線形(大信号)モデル	6 9
5. FETの特性	
5.1. 各種特性 5.1.1 モニタFET 5.1.2 接地形式の異なるFET	16 16 18
5.2. 形状の差のモデリング	18
6. あとがき	20
(参考文献)	20
(付録)	
①MELCOプロセスフロー	21
②NELプロセスフロー	22
③測正ポ ④DCバイマスケーブルの影響	23
w DUハイノスノニノルの影音 ⑤雷気長の補正について	23 24
のプロセス不良について	25
⑦プログラムリスト	26
⑧ドレイン電流2次多項式モデルフィッデイング結果(NEL)	26

(図面集)

1.まえがき

ATR光電波通信研究所では、適応制御型アンテナおよび移動機の超小型化・高機能化等に 向けモノリシックマイクロ波IC (MMIC)の高集積化の研究を行っている。現在は、共平面小型 化MMIC および多層化MMIC の研究のフェイズである。昭和61年度、ATRにおいて上記MMIC の試作を行い、順次試作MMIC の実験、評価を進めている。MMIC の構成要素のなかで、基本 的な特性に大きく係わるものは、増幅・周波数変換等の作用を行う能動素子 (FET)である。こ の能動素子の基本的なふるまいを明らかにし、さらにCAD 等で取り扱うモデルに合致させるこ とは、MMIC の設計および能動素子の特質を利用した新しい回路構成を検討する上で非常に重 要である。本報告では、試作したMMIC のFET について基本特性を示すとともに、この特性か ら設計に使用する等価回路モデルの導出を行う。さらに、各種の回路・形状を持つFET につい てその特性及びモデルの導出結果をまとめ、今後のMMIC 研究の基礎とする。

2. 試作プロセス

2.1 試作品概要

FET 共平面線路の一体化・機能化の検討・評価のための試作ウエーハを用いて、FETの評価を 行う。この試作MMICの概要を表2.1に示す。なお、MMIC設計をATRで行い、MMIC製作、及 びプロセス条件設定については 三菱電機株式会社LSI研究所(以下 MELCOと省略する)と NTTエレクトロニクステクノロジー(以下 NELと省略する)の2社が担当した。2社のプロセスの 基本的な違いは、MELCOのプロセスはエピタキシャル成長、NELのプロセスはイオン注入(A-SAINT)を用いている点である。

MMIC製作	三菱電気 LSI研 (MELCO)	NTT エレクトロニクス テクノロジー (NEL)
プロセス	Epitaxial法	イオン注入法 (A-SAINT)
納入形態	3インチウェーハ(600µm厚) ×1	3インチウェーハ (600μm厚)の 一部をたんざく状にCut したもの×2
レチクル数	99レチクル	32レチクル(16レチクル×2)
レチクルサイズ	6mm×6mm	4mm×4mm
レチクル内の素子	線路付FET×18 アイソレータ×3 ディバィダ×4 コンバイダ×3 受動素子×1	線路付FET×4 アイソレータ×1 ディバイダ×1 コンバイダ×1 アクティブインダクタ×2 アッテネータ×2 受動素子×1

表2.1 試作MMIC概要

- 1 -

納入形態は何れもウエーハ状であり, ウエハマップを図2.1に示す。MELCOのものは99レチ クル/ウエーハ(3インチ), NELのものは1枚のウエーハ(3インチ)から16レチクルを切り出し3つ の短冊状にしたものである。

試作品のうち、FETの種別およびパタン図を表2.2、図2.2に示す。

-	gate長	gate幅(単位ゲート幅)	形状	回路名	備考
MELCO	0.5µm	150μm(75μm×2)	🗵 2.2(a)	M004S	エアブリッジ付
	-	150µm(150µm×1)	(b)	-	
		300µm(150µm×2)	(c)	-	
NEL	0.3µm	150µm	(d)	N004CSF	ゲートフィンガ3本

表2.2 検討を行うFET

2.2 試作プロセスおよび基本特性

図2.3にMELCOのFET作成主要工程を示す。図2.3の右側は各工程後の模式図である。 MELCO製作MMICではこの後の工程として、MIMキャパシタ形成工程,エアブリッジ形成工程 がある。詳細は付録1.に示す。次に図2.4にNELのFET作成主要工程を示す。NEL製作MMICで はこの後の工程として、MIMキャパシタ形成工程,スルホールバイアメタル形成工程、エアブ リッジ形成工程がある。詳細は付録2.に示す。

GaAsFETの活性層、及びオーミック領域高濃度層作成においては、イオン注入法は注入濃度の制御性、分布の均一性で優れるが、通常のイオン注入法においてはゲートに対し、ソース・ドレインが対称構造になりゲート長が短い場合、gmが劣化するなどの短チャネル効果をま ねく。NEL製作のFET はA-SAINT (Advanced-SAINT)構造と呼ばれるもので、これはT型 ダミーゲート(レジスト)を作り、イオン注入を斜めから行うことでゲートをソースn+層に近接 するように非対称構造とし、短チャンネル効果を抑えると共に、ソース抵抗とゲート容量の低 減を図っている。さらに、チャネル下層部にp層のバリアにより基板漏電流を小さくしてあ る。しかし、工程が複雑なため、一般のアナログ信号用GaAsFETのプロセスではエピタキ シャル成長を用いることが多い。

表2.3に今回試作のMMIC設計に用いられたFETの基本特性を示す。これらのデータは MELCO、NELから報告されたものである。この表で、MELCO製FETのピンチオフ電圧は、 NEL製に比べ、負方向に大きい値をとる。また、MELCO製FETのIdss(ゲートゼロバイアス時 ドレイン電流)が大きく、gmが小さい。それぞれの特性の違いは、FETのチャネルの厚み及び 不純物濃度の違いによるもので生じている。

製作 FET	MELCO (lg=	=0.5µm,wg=300µm)	NEL $(lg=0)$	NEL ($lg=0.3\mu m, wg=10\mu m$)		
	平均 x	分散o(o/x)	平均 x	分散 o(o/x)		
Vp	-1600mV	384mV (24%)	-1005mV	260mV (26%)		
Idss	168mA/mm	42mA/mm (25%)	136mA/mm	27mA/mm (20%)		
gm	175mS/mm	11mS/mm (6%)	211mS/mm	24mS/mm (11%)		
測定条件	Vp: Vd=3V, Id=10 μ A Idss: Vd=3V, Vg=0V gm: Vd=3V, Vg= ± 50 mV		Vp: Vd=1V, Idss: Vd=2V gm: Vd=2V,	Id=5μA , Vg=0V Vg=-0.1V, 0V		

表2.3 設計に用いたFETの基本特性

<u>3. 試作FETの特性</u>

3.1 測定結果

DC特性

本節では、2.2節にある基本特性をもとに設計され、NELおよびMELCOで製作された MMICに用いたFETの基本特性について示す。但し、全てのFETについてチェックするには多 大な時間を要するため、MELCO,NEL共ソース接地型コプレーナ線路付150µmゲート幅の FET(M004S、N004CSF)を用いて評価を行った。表3.1にピンチオフ電圧により良否を判定した 歩留りを示す。

	MELCO	NEL
使用ウエーハ	2回目に納品された回 路③のウェーハ(③-1)	最初に納品された ウェーハ
歩留り	48.5% (良48個/99個)	84.4% (良27個/32個)
測定条件	Vd=3V, Id=10µA	$Vd=1V$, $Id=5\mu A$

表3.1 MELCO、NELウエーハ歩留り

- 3 -

表3.1で良品と判定されたもののピンチオフ電圧(Vp)、ドレイン電流(Idss)、相互コンダクタ ンス(gm)のヒストグラム、平均値、分散を図3.1、表3.2に示す。

表3.2 ピンチオフ電圧、ドレイン電流、相互インダクタンスの平均・分散

ピンチオフ電圧 (Vp)

	n	平均 (x)	分散 (σ)	o/x	測定条件
MELCO	48	-1740mV	230mV	13%	$Vd = 3V, Id = 10\mu A$
NEL	16	-1070mV	59mV	6%	$Vd=1V,Id=5\mu A$
 飽和ドレイン電流 (Idss)					(nは測定対象数を示す。)

	n	平均 (x)	分散 (σ)	o/x	測定条件
MELCO	48	109mA/mm	34.7mA/mm	32%	Vd = 3V, Vg = 0V
NEL	16	106mA/mm	11.8mA/mm	8%	Vd = 2V, Vg = 0V

相互インダクタンス (gm)

	n	平均 (x)	分散(σ)	o/x	測定条件
MELCO	48	178mS/mm	37.3mS/mm	21%	$Vd=3V, Vg=\pm 50mV$
NEL	16	209mS/mm	8.3mS/mm	4%	Vd = 2V, Vg = 0,1V

(*Vgの2点間のIdより計算)

これらの分布を示すMELCO,NELのウエーハマップをそれぞれ、図3.2、図3.3に示す。 MELCOのものは、ウエハ右側でピンチオフしないFET (以下、不良品とする) が数多く存在し ている。これはプロセス中でP-CVD用止金具に新しい方式を使用した際、温度コントロール 不良が生じ、パッシベーション用誘電体膜が一部はがれ、FETを劣化させたことによるものと 考えられる。また、NELのものについては、サンプル数が少なく一概に言えないが、NO.2のも のがウエハ周辺部で不良品がでている傾向を示している。

MELCOのウエハについては、その後同じマスクのウェーハ(①-2)が納入されたが、このウ エハについてはこのような問題は生じていない。この新しいウエハの結果について、表3.3およ び図3.4に示す。非常に歩留まりがよくなっている。不良品は、図3.4のウエハ周辺部に多く見 られる。ばらつきは、初めに納入したものより少なくなっている。なお、測定条件は表3.2と同 じである。

歩留り	86.9%(良86個/99個)				
	平均 x	分散 σ	o/x		
Vp	-2199mV	320mV	15%		
Idss	177mA/mm	41.1mA/mm	23%		
gm	190mS/mm	22.5mS/mm	12%		

表3.3 MELCOから新しく納入されたウエハのばらつき

AC特性

AC特性のばらつきをMELCO、NELそれぞれ図3.5、図3.6に示す。測定バイアス条件はドレイン特性のバラツキを除くため、Vd=3V、Id=5mAとした。各Sパラメータ値は周波数ごとに明確な群を成しており、バラツキは小さいと考えられる。S12は見かけ上、ばらついているがこれは値そのものが小さく測定系・測定器の精度によるものと考えられる。尚、測定のセットアップは付録3.に示す。

3.2 測定結果に対する考察

今回試作のMELCOのFETは、Vpが設計時のものよりさらに負方向に大きくなっている。 これは、ソース・ドレイン間の基板漏電流が設計時より大きいため、Vpが負方向にシフトした ものと考えられる。また、gmがほぼ同じでありながら、Idssが設計時のものより小さくなって いるのは、能動層の実効的な厚さが減少しているか、またはドナー濃度が低減していることが 考えられる。一方、NELのFETではgmがほぼ同じであり、Idssが大きくなっているので、Vp は負方向に大きくなっている。これは、MELCOとは逆に設計時のものに比べ、能動層の実効 的な厚さが増大したか、ドナー濃度が高くなっていること(あるいは結晶欠陥が低減したこ と)が考えられる。

また、サンプル数が少なく一概には決められないが、歩留り、特性のバラツキにおいて NELのFETが優れたのは、イオン注入の再現性の良さにあることと共に、プロセス条件がほと んど固まってきているためであると思われる。

以上により、試作結果のうちFETに関しては、設計前のデータが十分再現されており、満 足した結果となっている。 4. FETのモデリング

4.1.小信号モデル

小信号モデルは、バイアスによってチャネル内の状態が一定であると仮定することに よってFETの形状を線形回路素子で近似したものである。このFETの形状と等価回路の関係を 図4.1に示す。回路パラメータは、①FETの基本的な特性を決定するintrinsicな項目として、相 互コンダクタンス g_m 、電子走行効果による遅延時間 τ 、ドレインコンダクタンス Rds、空乏層 容量 Cgs、Cdg、空間電荷容量 Cdc、ゲートチャネル抵抗 Ri、チャネル下部容量 Cds があ る。②寄生項として、電極取出し部線路インダクタンス Lg、Ld、Ls、ゲート金属抵抗 Rg、 オーミック部抵抗 Rd、Rs、外部寄生容量 Cgss、Cdss、Cdgs がある。以上のパラメータを用 いた小信号モデルを図4.2に示す。

小信号モデルのパラメータの最適化は、最適化の可能な市販CADシステム(EEsof社製 Touchstone)を用いて行う。最適化の方法として、

①全てのパラメータの最適化を行う。

◎パラメータに形状から予想されるような物理的に成り立つ値の範囲を加えて行う。

③②の方法に加え、主要なパラメータについてはDC特性の結果を利用し、残りのパラ メータを用いて最適化を行う。

以上の方法がある。②、③の方法は、等価回路を物理的に説明できるため非常に有効である。 しかし、人間が手を加えなければならないこと、一般に最適化に時間がかかることといった欠 点を持っている。本報告では、①、③の方法の比較を行う。

始めにMELCOの結果について示す。フィッティングを行うFETは、3章の基本特性で用 いた M004S である。図4.3に①の方法で最適化を行った場合のフィッティング結果を示す。ほ とんど測定値と似た特性を示している。フィッティングでは、フィッティング結果を多数出力 させ、この中から物理的に等価回路定数として良いと思われるものを抜き出す作業を行うこと により、物理的に正しい値を求めることが可能となる。しかし、最適化の手法としては、最小 二乗法を用いており、それぞれのカーブが全周波数帯域で誤差最小となるように行う。このた め、最適化を行っていると図4.3の S₂₂のフィッティング結果が示すように、測定結果を横切る 形をとるような収束結果に陥り易い欠点を持っている。

次に③の方法を行った結果を示す。パラメータ設定を行うためのDC特性を図4.4、図 4.5、図4.6に示す。Ig-Vgカーブの飽和特性からゲートの直列抵抗 (Rg+Ri+Rs//Rd)=6.4Ω [ただし $R_s//R_d$ の項は、ドレインとソースが共に接続され $V_s=V_d=0V$ のために生ずる。]が求 められる。また、Id-Vgカーブから動作点の相互コンダクタンス $g_m=22.5mS$ 、Id-Vdカーブか らゲート・ソース間抵抗 Rds=950Q が求められる。 g_m はDC特性 から求まった値をそのまま使 用するのではなく、求まった値に対し測定の誤差を考えて±10%程度の幅を持たせる。ドレイ ン、ソースのオーミック抵抗 R_d 、 R_s は、物理的作用が同様であるため $R_d=R_s$ とおく。 R_{ds} に ついては従来からDCの値とACの値が一致しないことがわかっているため使用せず、 S_{22} カー ブの1GHz での値と一致させるように与える。(フィッティング結果と比較すると、DCの値は ACの値の2倍を示している。)図4.7にフィッティング結果を示す。図4.3と比較しても非常に 一致し、かつパラメータの値は非常に適切なものとなっている。ここで、 S_{12} につい てはフィッティングをある程度犠牲にして他のパラメータを合わせているが、実用的には、S₁₂ はスケールが0.2であり実際の差はS₂₁と比べても小さい。

次に、NELについては、③の方法のみ示す。フィッティングを行うFETは、N004CSF である。パラメータ設定を行うためのDC 特性について図4.8、図4.9、図4.10に示す。 $(Rg+Ri+Rs//Rd)=20\Omega$ 、 $g_m=22.5mS$ 、 $Rds=555\Omega$ が求められる。(Rg+Ri+Rs//Rd)の値 は、DC特性の値が大きくなっているが、従来のNELのFET[3]に比べDCの測定値が大きいこ と、 S_{11} のカーブがMELCOのものと比べてほとんど差がないこと、以上の理由により、並列抵 抗分がDCの値ほど大きな値をとらないことが予想できるため、無視することとした。Rds に ついては、MELCOと同様とする。フィッティング結果を図4.11に示す。MELCOのものと同 様に S_{12} の角度が若干精度が落ちていることを除けば、非常に良い近似を示している。

以上、フィッティングの結果についてパラメータの値を表4.1に示す。

パラメータ	MELCO ③の方法**	MELCO ③の方法**	MELCO 設計用データ	NEL ③の方法**
g _m (mS)	23.31	23.4	19.0	34.3
τ (pS)	3.38	3.82	3.3	2.33
R_{ds} (Ω)	450	487	660	270
C _{gs} (pF)	.15	.13	.13	0.17
C _{dg} (pF)	.018	.022	.019	0.02
C _{ds} (pF)	.006	.008	.021	0.027
C _{dc} (pF)	.016	.007	.025	0.009
$R_s(\Omega)$	3.1	2.3	3.7	1.8
$R_d(\Omega)$	3.1	2.45	3.7	1.8
$R_{g}(\Omega)$	4.3	7.58	8.25	3.62
R_i (Ω)	3.0	1.68	1.3	2.05
$(R_{g} + R_{i} + R_{s} // Rd)$	8.9	10.4	11.4	6.6
C _{gss} (pF)	.009	.021	.014	0.013
C _{dss} (pF)	.009	.01	.002	0.010
L _s (nH)	.02	0	0	0.02
L _d (nH)	0	0	.084*	0.02
L _g (nH)	0	0	.063*	0.02
測定条件	$V_d = 3V$ $V_{\sigma} = -0.5V$	$V_d = 3V$ $V_{\sigma} = -0.5V$	$V_d = 3V$ $V_g \approx -0.6V$	$V_d = 3V$ $V_g = 0V$

表4.1 小信号等価回路パラメータ

*形状により加わった項

**本文中参照。

ここで、等価回路パラメータとAC特性(Sパラメータ)との関係について説明する。厳密 には、相互に関係を持っているが、ここで示す関係を用いることにより、特性と変更すべきパ ラメータがある程度明確にできるため、フィティングのスピードをあげることが可能となる。 表4.2に、ソース接地の場合の等価回路パラメータとSパラメータの関係をまとめる。表中の基 本項は、AC特性のカーブの形を基本形に支配している項目を表し、付加項については、その

- 7 -

カーブを若干変更するものを示している。但し、表4.2内のAC特性の矢印の方向の増分と各パ ラメータの増分が対応している。(パラメータのマイナスはパラメータ値の減少を示す。)

表4.2 AC特性と等価回路パラメータの関係



AC特性 (Sパラメータ)

	基本項	付加項
S ₁₁ ①	Cgs,Cgd	Lg,Ls,Cgss
2	Ri + Rg + Rs	-
S22 ③	Rds	-
A	Cds	Ld,Ls,Cdss
S ₂₁ ©	gm	(-Rs),(-Ls)
6	L	· _
S ₁₂ ⑦	Cdg	Cdc
8	τ	Ls

以下に小信号モデルを導出した結果をまとめる。

- (1) 小信号モデルとしては、③の方法を用いることにより非常によい近似を得られた。
- (2) 全てのパラメータの最適化を行う場合、物理的に取りえない値で収束することがあるため、パラメータの値を十分チェックする必要がある。
- (3) MELCOのフィッティング結果は、特にCdsの値が非常に小さい。これは、測定時 電気長の過補正のためである。(プローブの接触位置がパタンの端から50µm程度内 側であるため、余分に補正していたことが考えられる。)
- (4) ③の方法では、S₁₂についてフィッティングをある程度犠牲にしたが、例えばアイ ソレータ等の逆方向アイソレーションの検討を行う場合、誤差を生じる可能性があ

る。目的に応じて、必要な周波数で必要なパラメータを特に一致させるように再 フィッテングを行う必要がある。

- (5) 今回、MELCOのフィッティングでは、Lg、Ldは電気長を補正したため無視してい るが、
 - i) (Rg+Ri+Rs//Rd)の抵抗はDC特性のものと比べ大きな値を取ったこと、
 - ii) 5.2節で同様なフィッティングでは、Lg、Ldを用いることにより、 (Rg+Ri+Rs//Rd)がDC特性の値に近いこと、

iii) 同様にNELの結果では非常に良い結果を得られたこと、

以上の点から、ゲート・ドレインの引き出し部のインダクタを考慮することが望まし い。なお、インダクタを考慮した MELCO のものは、5章の形状の差のモデルで示 している。

4.2. 非線形(大信号)モデル

今回用いたGaAsFETのモデル[1]を図4.12に示す。このモデルでは、①ドレイン電流非 線形特性 Id=F(Vgs,Vds)、②ゲート・ソース間容量非線形特性 Cgs=G(Vgs,Vds)、③ゲー ト・ソース間順方向振り込み電流、④ゲート・ドレイン間逆方向ブレークダウン電流、以上の非 線形性を表している。モデルの等価回路については、図4.12(a)がゲートショットキ接合部分を ダイオードモデルで近似しているもので、図4.12(b)はこの接合部分を空乏層容量及び順方向電 流源で線形近似したものである。このGaAsモデルは、最近CAD化されたもので、TECAP(後 述)に組み込まれているものである。しかし、「このモデルの非線形性がどの程度適用できる のか?」、「その近似度は従来のモデルとくらべて差はあるのか?」といったことについても 不明であるため、本報告では、非線形性を適用領域およびその近似度についても考察する。こ こでは非線形をより詳しく表す (a)対称モデルを用いることとする。(但し、比較のため (b)非 対称モデルのパラメータも付す。)

GaAsFETモデルは、図4.12に示したように大きくわけて、①ドレイン電流のモデル、 ②ゲート部のモデル、③モデルに付随するもの(寄生項·共通項)の3つに分けられる。 GaAsFETモデルのパラメータを表4.3に示す。

- ドレイン電流のモデルとしては、1) 従来のJFET モデルを tanh (a V_{ds})の項によって非 飽和領域と飽和領域の間の傾きを補正したV_{gs}の2次多項式、2) Curticeら [2] が提唱する V_{gs}の3次多項式、以上の2つの方法が用意されている。Curticeら[2]によると3次多項式 は、I_d-V_{gs}特性の近似が2次モデルより良いという結果を示しているので、これを用いる こととする。なお、NEL については DC 特性のみではあるが、2 次モデルとの比較を 行ったため、この結果を付録8に示す。
- グートショットキ接合部のモデル
 ・ダイオードモデルでは容量、電流が理論式で表されている。ただしドレイン・ゲート間については、ブレークダウン効果を表す式となっている。

- 9 -

・非対称モデルでは、電流は簡単な一次近似式で表され、ゲート・ソース容量Cgsは、 Vgs、Vdsの関数をとり、ゲート・ドレイン容量Cdgは、一定としている。(詳しくは文 献[1])

③ 寄生項は、ゲート金属抵抗分 Rg、ソースおよびドレインのオーミック抵抗分 Rs、Rd、 ドレイン・ソース容量 Cdsがあり、これらは一定である。共通項としては、遅延時間、 ゲートショットキダイオードとしてのビルトイン電圧、ブレークダウン電圧がある。

	数式	パラメータ
2次 モデル	$I_{ds} = \beta * (V_{gs} - V_{to})^2 * (1 + \lambda * V_{ds}) * \tanh(\alpha * V_{ds})$	 β Transconductance parameter Vto Threshold voltage λ Channel length modulation parameter a Hyperbolic tangent function parameter
3次 モデル	$I_{ds} = (A_0 + A_1 * V + A_2 * V^2 + A_3 * V^3 + (Vds - V_{dsdc}) / R_{ds0}) * tanh(a * V_{ds})$ where: $V = Vgs * (1 + \beta (V_{ds} - V_{ds0}))$	$\begin{array}{llllllllllllllllllllllllllllllllllll$
Gate model 対称 モデル	$ \begin{array}{ll} \mbox{for } V_{gs} < F_{C} * V_{BI} \\ C_{gs} = C_{gs0} / \sqrt{(1 - V_{gs} / V_{BI})} \\ \mbox{for } V_{gs} \geq F_{C} * V_{BI} \\ C_{gs} = C_{gs0} / \sqrt{(1 - F_{C}) * (1 + (V_{gs} - F_{C} * V_{BI}) \\ / (2 * V_{BI} * (1 - F_{C})))} \\ \end{array} $	Cgd0Zero bias gate drain capacitanceCgs0Zero bias gate source capacitanceEGEnergy gap of the gate diodeIsGate junction saturation currentNGate junction emission coefficientXTISaturation current temperature exp.FcForward bias coefficient for Cgs
対称 モデル	$ \begin{split} & \text{Forward conductction gate to source model as:} \\ & \text{I}_{gs} = (\text{V}_{gs} \cdot \text{V}_{BI}) / \text{R}_{\text{F}} & \text{where } \text{V}_{gs} \geq \text{V}_{BI} \\ & = 0 & \text{where } \text{V}_{gs} < \text{V}_{BI} \\ \end{split} \\ & \text{Reverse breakdown gate to drain is model as:} \\ & \text{I}_{gd} = -(\text{V}_{dg} \cdot \text{V}_{b}) / \text{R}_{1} & \text{where } \text{V}_{dg} \geq \text{V}_{b} \\ & = 0 & \text{where } \text{V}_{dg} \leq \text{V}_{b} \\ & = 0 & \text{where } \text{V}_{dg} < \text{V}_{b} \\ & \text{V}_{b} = \text{V}_{BR} + \text{R}_{2} * \text{I}_{ds} \end{split} $	Cgd Gate drain capacitance Cgs Gate source capacitance R1 Approximate break down resistance gate to source R2 Resistance relating break down voltage to channel cureent RF Gate source forward bias resistance RIN Gate source resistance
寄生項 付加項		CdsCapacitor from drain to sourceRdDrain contact resistanceRgGate contact resistanceRsSource contact resistancetTime delay associate withm gmVBRBreak down voltage gate to drainVBIBuilt in gate potential

表4.3 GaAsモデルパラメータ

このGaAsモデルは、小信号モデル以上にパラメータが多く、抽出を行うためには手間 を必要とすることが考えられる。現在、TECAPという自動測定及びパラメータ抽出・最適化を 行うソフトウエアツールが販売されている。ここでは、TECAPを用いて、パラメータ抽出・最 適化を行った結果を示す。

TECAPでの測定手順ならびに測定によって求められるフィティングパラメータについて 表4.4に示す。DC測定では、バイアス電圧に対して、ドレイン電流およびゲート電流に関する パラメータを決定する。次にAC測定によって、単一バイアスによってキャパシタ等のAC項を 決定し、さらにバイアス条件を変化した場合の結果を用いて最適化する方法をとっている。こ の時のバイアス条件は表4.5にまとめる。MELCOのFETではゲートバイアスの範囲として、オ ン状態からピンチオフ付近のものまで幅広くとり、またNELでは比較的ON状態の場合をとる ことにより、モデルの適用性を検討した。

<u> </u>	······	· · · · · · · · · · · · · · · · · · ·
	測定項目	決定されるパラメータ
DC測定	Ig-Vg特性	V _{BI} , R _F , R _g , I _s , N
	I _d -V _g 特性 (V _d =0.5V)	Rs、Rd**
	I_d -Vg特性 (Vd=3V)	$A_0, A_1, A_2, A_3, V_{DS0}$
	I _d -V _d 特性 (V _d =3V)	β, γ
AC特性	単一バイアス	$C_{gs0},\ C_{dg0},\ C_{ds},\ R_{ds},\ R_{IN},\ R_{g},\ \tau$
	バイアス可変(V _d) バイアス可変(V _g)	フィッティング (全項目について)

表4.4 TECAPの測定手順及び決定されるパラメータ

**Rs=Rdとおく

表4.5 バイアス条件

	Vd(V)	Vg(V)	
		MELCO	NEL
ドレイン 電圧可変	1 2 3	-0.5	-0.5
ゲート 電圧可変	3	-0.5 -1.0 -1.5	0 -0.2 -0.4

表4.6にGaAsモデルのフィッティング結果を示す。測定では、MELCO:ゲート長 0.5 μ m、ゲート幅75 μ m×2、エアブリッジ付きのモニタFET (FETの種類について詳しくは5章 で示している)、NEL:N004CSF(図2.2(d)参照)を使用した。ブレークダウン電圧V_{BR}、ゲー ト·ソース間ブレークダウン抵抗R₁、R₂は、ブレークダウン領域での測定を行っていないため、求められていない。従って、ゲート・ドレイン間逆方向ブレークダウン電流を考慮する場合はこれらパラメータをさらに求めなければならない。

パラメータの値として特にめだったものは、MELCOのものが $Rg=0.001\Omega$ 、NELのものが $Ri=0.001\Omega$ と非常に小さく、物理的には成りたたない値をとったことである。このため、フィッティング結果では R_s, R_g, I_s (または R_{IN})の値が偏っている。小信号モデルではこのような値を修正する方法として、(Rg+Ri+Rs//Rd)の値を一定にしたままそれぞれの値に再配分することを行って物理的にとりうる値に近づける。しかし、このような方法を用いて最適化することは、ソフトウエア上困難であることが測定中にわかったため、ここでは行っていない。

パラメータ名	MELCO	NEL	単位
A ₀	30.6	34.3	mA
A ₁	56.4	51.4	mA/V
A ₂	33.9	17.5	mA/V ²
A ₃	6.68	-1.03	mA/V ³
R _{ds0}	562	229	Ω
γ.	2.522	3.495	v
β	72.9	148.6	mA/V
V _{dsdc}	3.0	3.0	V
Vdso	3.0	3.0	V
C_{gs0}	0.30	0.206	pF
C _{ds0}	0.094	0.051	pF
Is	5.68	115.8	рА
N	1.294	1.343	-
Fc	0.5	0.5	-
C _{gs}	0.16	0.232	pF
C _{gd}	0.034	0.018	pF
R _{IN}	9.92	.001	Ω
R ₁	œ	œ	Ω
R ₂	0	. 0	Ω
R _F	23.3	27.8	Ω
V _{BR}	œ	œ	V
VBI	0.609	0.561	V
Cds	0.07	0.054	pF
Rd	3.37	5.62	Ω
Rs	3.37	5.62	Ω
Rg	0.001	4.813	Ω
τ	3.368	2.584	pS
FET (gate幅、	TEGMONFET	N004CSF	
サンプル名)	(75µm×2 1D3)	(150µm 1A1L)	

表4.6 TECAPフィティングパラメータ一覧

MELCO結果

測定結果と最終的なフィッティング結果との比較を行う。始めに、MELCOのものについて示す。図4.13はIg-Vg特性の測定結果及びフィッティング結果である。フィッティング結果は、非常に良く一致している。ゲート電圧Vg<200mVでフィッティング結果が異なるが、このバイアス状態では測定値が負であり、log表示できないため、絶対値を用いて表示されているためである。

図4.14(a)にドレイン電圧Vd=50mV時のId-Vg特性を示す。ゲート電圧Vgが正となると、 測定結果と異なる傾向を示す。図4.14(b)にVd=3V時のId-Vg特性を示す。フィッティング結果 は、非常に良く一致している。

図4.15にゲート電圧Vgs=0,-0.2,-0.4V時のId-Vds特性を示す。 フィッティング結果は、 Vgs=0Vのときは、測定値より小さくなっているが、他のバイアス電圧では、測定値のほうが 大きくなっている。Vgs=0V,Vds=1V付近を除いて誤差が10%以下の良い一致を示している。 ドレイン電流ldの絶対的な大きさはほとんどゲート電圧Vgsに依存しているが、Idの傾き ($\partial I_d/\partial V_{ds}$)が測定値で求められる傾きと異なっているために誤差が生じていると考えられる。こ のことは、ドレイン抵抗Rdsの近似式が、他の項目に比べ評価されていない、あるいはモデル の近似式がうまく表現できていないことによることが予想される。

続いてAC特性を示す。図4.16はVd=3V,Vg=-0.5VのときのAC (Sパラメータ) 特性であ る。実線がフィッティング結果、点線が測定結果を示す。但し、Sパラメータのスケールは、 S₁₁, S₂₂:1.0, S₂₁:3.0, S₁₂:0.2がフルスケールである。小信号モデルの様に一致していないが、 傾向は十分に示している。これは、パラメータが非常に多いため、真の最適値から異なる値に 最適化の過程で収束し易いこと、DC特性から導き出せるパラメータがフィッティングのカーブ の違いによって真の値と異なっていることの2つが考えられる。例えば、gmを考えてみると、 図4.14(b)の様にフィッティング結果のカーブの傾きからgm=23.8mS、測定結果の傾きから gm=25.0mSが得られるが、この影響はS₂₁の絶対値の差に係わってくる。

引きつづいてAC特性のバイアス条件を変えた場合について図4.17にドレイン電圧を変化 させた場合、図4.18にゲート電圧を変化させた場合を示す。

ドレイン電圧を変化させた場合は、測定値の変化に比べフィッティング結果がほとんど 変化しない。S₂₁、S₁₂の変化は、ドレインバイアスが低下することにより、gmが低下した結果 である。又、ゲート電圧を変化させた場合については、測定結果はS₁₁,S₂₂の変化が大きい。し かし、フィッティング結果は変化量が小さく、ゲートバイアスを深くしていくほどその差は顕 著である。Vg=-1.0V,-1.5Vの場合は、ドレイン電流の少ないピンチオフ付近(Vp=-1.6V)であ るため、空乏層がチャネル内に比較的大きく広がっている状態であり、GaAsモデルのバイアス 条件は、ゲート電圧がゼロバイアスで設定するため、バイアスが深い領域では形状、不純物濃 度分布の影響によりモデルで用いている近似式からはずれてくることが十分に考えられる。し かし、近似式の適用領域であるドレイン電流の大きな領域では、この近似が良くあうことが予 想される。そこでNELのFETでは、ドレイン電流の大きな領域でフィッティングを行った。

NEL結果

NELのFETについての結果を示す。図4.19にlg-Vg特性、図4.20にld-Vg特性、図4.21に Id-Vd特性を示す。MELCOのものと同様に、Id-Vdカーブを除き非常に一致している。なお、

- 13 -

ドレイン電流のモデルとして2次多項式を用いたフィッテイング結果を付録®の図(付8.1)、図(付8.2)、図(付8.3)に示す。3次多項式と比べてもほとんど差がないことがわかった。

図4.21はVd=3V,Vg=0VのときのAC特性である。点線がフィッティング結果、実線が測 定値である。図4.22にドレイン電圧を変化させた場合、図4.23にゲート電圧を変化させた場合 を示す。予想通りゲート電圧にたいしてドレイン電流の大きな領域をとった場合では、この近 似が良くあうことがわかった。

気がついた点として、Vdを下げた場合にフィッティング結果が実験結果とは逆にS21の 絶対値が大きくなったこと、バイアスの変化に対して測定値よりフィッティング結果が大きく 変化していることがある。

GaAsモデルの検討

GaAsモデルではバイアスによって変化するAC特性の現象が、十分にモデルで表されていないという点に注目し検討を加える。そこで、チャネル内の現象とGaAsモデルでの各パラ メータの取り扱いについて対比する。実際のチャネル内の現象を考えてみると、

①ドレイン電圧を変化させた場合

飽和領域であれば、チャネル内の空乏層の 広がりはVdが大きくなるにつれて、ドレイ ン側に伸びると共にチャネルの下部の方へ 広がっていく。このため、Cdgが小さくな る。又、Rdsは、若干低下する。ドレイン電 流が増加するため、gmは若干増加する。

②ゲート電圧を変化させた場合

Vgが深くなるにつれ、空乏層が大きくなる。特にピンチオフ付近では、チャネル内のドレイン電流が流れる領域が大きく変化するため、gm、Rds、Cgs、Cdgは共に変化する。





(4.5)

以上のようにパラメータの変化の傾向を示すことが考えられる。次に、GaAsモデル上でのパラ メータの変化について示す。GaAsモデルのドレイン電流は次式で与えられる。

$$I_{d} = [A_0 + A_1 V + A_2 V^2 + A_3 V^3 + (V_{ds} - V_{dso})/R_{dso}] \tanh(\gamma V_{ds})$$
(4.1)

$$V = V_{gs} \left[1 + \beta (V_{dso} - V_{ds}) \right]$$

$$(4.2)$$

飽和領域では、tanh(γV_{ds})≈1となるため、この項を無視すると、g_m、g_dは、

$$g_{\rm m} = \partial I_{\rm d} / \partial V_{\rm gs} = (A_1 + 2A_2V + 3A_3V^2)[1 + \beta(V_{\rm dso} - V_{\rm ds})]$$
(4.3)

$$g_{d} = \partial I_{d} / \partial V_{ds} = 1 / R_{dso} + (A_{1} + 2A_{2}V + 3A_{3}V^{2}) (-V_{gs}\beta)$$
(4.4)

 $= g_{dso} + g_{dx}$

$$R_{ds} = 1/g_d$$

と表される。 C_{gs} 、 C_{dg} については、ゲートのバイアス V_{gs} <0Vで,

$$C_{gs} = C_{gs0} / (1 - V_{gs} / V_{BI})^{0.5}$$
(4.6)

$$C_{dg} = C_{dg0} / (1 - V_{gd} / V_{BI})^{0.5}$$
(4.7)

で表される。シミュレーションを行った場合のgm、Rds、Cgs、Cdgは、表4.7の様になる。

MELCO:

表4.7 TECAP上での値の変化

Vgs	Vds	g _m (mS)	G _{dx} (mS)	$\operatorname{Rds}(\Omega)$	Cgs(pF)	Cdg(pF)
	1	27.6	0.88	376		.057
-0.5	2	27.6	0.94	367	.22	.045
	3	27.5	1.0	359		.038
-0.5		27.5	1.0	359	.22	.038
-1.0	3	8.6	0.62	416	.19	.036
-1.5		-0.3	-0.04	573	.16	.034

NEL:

Vgs	Vds	g _m (mS)	$Rds(\Omega)$	Cgs(pF)	Cdg(pF)
	1	66.8	229		.077
0	2	59.4	229	.20	.060
	3	51.4	229		.051
0		51.4	229	.20	.051
-0.2	3	44.3	175	.18	.050
-0.4		36.9	152	.16	.048

この結果により、チャネル内の現象とパラメータの変化の傾向は対応されていると考え られる。しかし、図4.25、図4.65に上記結果を用いてそれぞれのバイアスでの小信号等価回路 のシミュレーション結果を示すと、TECAPのフィッティング結果がほぼ再現されているが、物 理的に実際のFETの特性を表していないことがわかる。以上の結果から、

- ① Vdを変化させた場合の S_{12} は実験値とシミュレーション値が異なるため、TECAP上 での $C_{d\sigma}$ は一定値をとっていると考えられる。
- ② ピンチオフ付近のCgs,Rdsが実際の測定値と異なることは、モデルで使用している式と実際の特性が一致していないためである。
- ③ ドレイン電圧の変化に対して、R_{ds},gmに注目しフィッティングを行うと誤差が小さくなることが考えられる。

が考えられる。したがって、パラメータの設定では、R_{ds},gmの一致を必要することがわかった。

以上、GaAsFET非線形モデルについてまとめると、

- (1) DC特性については、全体的に一致している。回路としてDC動作解析、消費電力等 の正確なシミュレートが可能である。ドレイン電流のモデルは2次モデル3次モデル ともにDC特性では、その差が表れなかった。
- (2) AC特性の結果および今後検討の必要な課題を示す。
 - ピンチオフ電圧より深いバイアスでの近似がよくない。このため、ミキサ、逓倍 器等の出力インピーダンスに影響が生じると考えられる。
 - ② ゲートバイアスが比較的小さな領域 (Vgs=0V付近)ではFETの実際の現象to理論 式とが比較的一致するため、よい近似が得られた。
 - ③ ドレイン電流のパラメータと特性の関係が明らかでないため、容易なパラメータの導出および確認が不可能である。従って、これらの関係を明らかにし、モデル設定に反映させることが必要である。
 - ④ ゲート・ソース間の順方向振り込み電流及びゲート・ドレイン間ブレークダウン電流による非線形効果については評価を行っていない。
 - ⑤ 今回の検討で分かったことであるが、形状により、リード部等の寄生インダクタ、寄生容量等が無視できないため、モデルのフィッティングが十分でない。今後は、Lg,Ls,Ld等の寄生項の追加を行う。
 - ③ このモデルは、理論式と実際の現象が一致する比較的形状が単純で大きな領域では、十分使用できる。しかし、サブミクロンデバイス・チャネルの厚さが非常に薄いデバイス等については、このモデルの理論式の適用範囲は小さいことが考えられる。従って、これら形状・プロセス条件をとりいれたモデル化はさらに必要である。

5. FETの特性

今回試作を行ったウエハには、色々な形状・接地形式を持つFETが含まれる。ここでは、 それぞれのFETの特徴をまとめる。

5.1. 各種特性

5.1.1 モニタFET

ウエハ内には、試作品の外に、プロセス状態をチェックするためのMONITOR FETが含まれる。図5.1にモニタFET(以下、TEGMONFETと呼ぶ。)および試作品の中のモニタFET(以下、M004Sと呼ぶ。)の形状を示す。ゲート長0.5µmで、回路形式としてはソース接地型である。TEGMONFETの特徴を表.5.1にまとめる。以下、TEGMONFETの特性について述べる。

写真	ゲート長	ゲート幅	形状の特長
1	0.5µm	$150 \mu m imes 2$	フィンガ2本
2	0.5µm	$150 \mu m imes 1$	フィンガ1本
3	0.5µm	$75 \mu m imes 2$	フィンガ2本、エアブリッジ付き
4	0.5µm	$75\mu\mathrm{m}{ imes}2$	フィンガ2本、エアブリッジ付き

表5.1 TEGMONFETの形状

① DC特性

Ig--Vg特性

図5.2にIg-Vg特性を示す。ゲート幅が150µmのものは、ほとんど一致している。 M004Sについては、Vg<200mVでゲート電流がほかのものと比べ大きくなっている。これ は、ゲート端子までの線路長が長いこと(約250µm)、電流が100nA程度であることから、線路 部分からのリークであると考えられる。ゲート幅が300µmのものは、ゲートの面積が150µmの 2倍であるため、電流も2倍を示している。以上の結果から、ゲートショットキ部分について は、問題なく作られている。

Id-Vg特性

図5.3にId-Vg特性(ドレイン電圧 Vd:3V)を示す。ゲート幅が300µmのものは、直接比較で きないため、1/2 Idをとる。(150µmゲート幅当たりに換算。) 図5.1のように1つのレチクル内 に存在しているモニタFETを測定したにもかかわらず、非常にばらつきが多い結果を示してい る。ここでは、他の場所のTEGMONFETについては結果を示さないが、1つのレチクル内では 電流の傾向として、

 $I_{d(150\mu m \times 2)} > I_{d(75\mu m \times 2)} > I_{d(150\mu m \times 1)}$

をとる。これは、MELCOのFET作成のプロセスでリセスエッチングを行うため、パタンサイズ・パターン密集度の違いによりエッチングが異なったため、チャネル電流値が変化したことが 考えられる。

②AC特性

図5.4に75 μ m×2 (エアブリッジ付)のSパラメータ(バイアスVds:3V,Vgs:-0.5V)を示す。 TEGMONFET とM004Sの2つの差として、FET 自身の g_m のばらつきによりS₂₁の差は生じていることは問題ではないが、特にS₂₂の差は大きすぎることがあげられる。M004Sの測定で線路の長さを補正するため、測定時に電気長補正を加えたが、このときウエハプローブヘッドの接触部分の長さを差し引いてなかったため、角度が小さくなったためであると考えられる。

図5.5に150µm×1のSパラメータ(バイアスVds:3V,Vgs:-0.5V)を示す。S₁₁の絶対値が小さ くなっている。形状的には、単位ゲート長が2倍になったため、ゲート端子から見たときの ゲート抵抗、ゲートインダクタンスが2倍となったことがあげられる。 図5.6に150 μ m×2のSパラメータ(バイアスVds:3V,Vgs:-0.5V)を示す。S₁₁,S₂₂の角度が大きくなったこと、S₁₂の絶対値が小さいことの特徴を示す。形状として、150 μ m×1のFETが並列接続されたものであると考えられる。

5.1.2 接地形式の異なるFET

他の接地形式のFETを示す。図5.7、表5.2に、FETの形状(パタン図)及び特長を示す。特にゲート接地形FETの接地点がゲート両端であることに注意されたい。

写真	回路名	接地形式	ゲート幅	形状の特長
0	M001G	ゲート接地	150µm×1	ゲート両端接地
2	M002G	ゲート接地	75µm×2	ゲート両端接地
3	M003G	ゲート接地	150µm×1	ゲート両端接地
•	M006D	ドレイン接地	75µm×2	
6	M005S	ソース接地	150μm×1	エアブリッジ付

表5.2 接地形式による違い

図5.8にM001G(ゲート幅150 μ m×1)、図5.9にM002G(ゲート幅75 μ m×2)、図5.10にM003G(ゲート幅150 μ m×1)のAC特性を示す。ゲート接地回路では、入力インピーダンスは低く(一般に1/g_m)、出力インピーダンスは非常に高く[1/j ω (C_{ds}+C_{dg})]となることを示している。FETの形状のよる特性の差は、ほとんど表れていない。

図5.11にM006D(ゲート幅75 μ m×2)のAC特性を示す。ドレイン接地回路では、入力イン ピーダンスは非常に高い[1/j ω (C_{gs}+C_{dg})]、出力インピーダンスは低く(一般に1/g_m)となること を示している。S₁₂の絶対値が他の接地形式に比べ大きな値をとっている。

図5.12にM005S(ゲート幅150µm×1)のAC特性を示す。電気長を補正していないため、全体的に角度が大きく示されている。

5.2. 形状の差のモデリング

形状による特性の違いを小信号等価回路を用いて説明する。5.1.節で示した形状の違いを 表5.3にまとめる。但し、75µm×1のFET部分を基本FETとして考える。これら等価回路を図 5.13に示す。フィティングの方法は、各パラメータの値は表5.3に示す形状の差に起因すると考 えられるもの及びintrinsic部分でFETのばらつきに寄因するものを除き、等価回路で共通と し、TEGMONFET(ゲート長75µm×2)の単位ゲート幅75µmのFET部分を基準に、パラメータ を決定した。intrinsic部分についてはFET自身により特性が異なるためDCの値を参考に、 4.1節のSパラメータと等価回路の関係を用いて調整した。表5.4に等価回路パラメータを示 す。

reserve a la seconda de la	· · · · · · · · · · · · · · · · · · ·	·····
回路名	ゲート幅	等価回路パラメータの特徴
MONFET	75µm×2	75μm基本FET 2個並列
MONFET	150µm×1	基本FETのRg,Lg,Ls,Ld 2倍
MONFET	150μm×2	150µm×1FET 2個並列
M001G	150µm×1	MONFET (150µm×1) の Rg ,Lg 1/2
M002G	75μm×2	基本FETの Rg ,Lg 1/2
M006D	75µm×2	

表5.3 等価回路

*ゲート両端接地のため

表5.4に等価回路パラメータを示す。上の2つのg_m,(Rg+Ri+Rs//Rd)データはDC特性から求められた値であり以下の値は等価回路パラメータであり、75μm×2,150μm×2のものは図 5.13(2)(5)のように単位FETの値である。

パラメータ	75μm×2	150µm×1	150µm×2
g _m (mS)	25.7	20.2	29.8
$(R_g + R_i + R_s //R_d)$	6	12	6
g _m (mS)	26.3	20.0	29.8
τ(pS)	3.3	←	¢
C _{gs} (pF)	.0.15	←	ti n 🗲 👔 ee
C _{dg} (pF)	0.03	←	¢
C _{ds} (pF)	0.045	←	÷
$R_{ds}(\Omega)$	500	⇒	÷
$R_s(\Omega)$	1.5	←	ŧ
R _d (Ω)	1.5	←	÷
$R_g(\Omega)$	4.0	8.0	8.0
$R_i(\Omega)$	0.5	←	←
L _s (nH)	.02	⇒	(
L _d (nH)	0.04	←	←
L _g (nH)	0.05	0.10	ŧ
$(R_g + R_i + R_s //R_d)$	5.3	9.3	4.7

表5.4 小信号等価回路パラメータ

**快昇

図5.14にTEGMONFET(ゲート幅75 μ m×2)のAC 特性を示す。点線は測定値である。シ ミュレーション結果は一致している。図5.15に、ゲート幅が150 μ m×1のTEGMONFETのAC 特性を示す。シミュレーション結果は一致している。図5.16にTEGMONFET(ゲート幅 150 μ m×2)のAC特性を示す。シミュレーション結果は一致している。

次に、他の接地形式についてTEGMONFETの等価回路をもちいてシミュレーションを 行った。なお、図5.7のコプレナ線路の部分は等価回路とし伝送線路(Transmission line)の電気 長で補正してある。(付録に等価回路データを示す)ゲート接地の回路では、ゲートが2か所で 接地されているため、等価回路定数のうちRg、Lgについては単位ゲートの値の1/2とする。図 5.17にM001G(ゲート幅150µm×1)のシミュレーション結果、図5.18にM002G(ゲート幅 75µm×2)のシミュレーション結果、図5.19にM006D(ゲート幅75µm×2)のシミュレーション結 果を示す。ほとんど良い一致を示している。

以上の結果から、形状による特性の差が、FETのチャンネル内のばらつきによる値の調整とFET自身の形状から予想される等価回路パラメータの寄生項の変更により容易に表される ことがわかった。さらに、近似を良くするためには、①寄生項の抵抗、インダクタの値を形状・プロセス条件から正確に評価すること、②チャネル内の状態(空乏層分布、不純物濃度、厚み、リセス深さ等)から、intrinsic項(gm,Rds,Cgs,Cdg)を正確に定めることのできるモデル化が 必要である。

6. あとがき

61年度試作MMICについて、回路の基本的な特性を決定する上で重要な能動素子(FET)の基本 特性を示し、今回の試作プロセス上の問題はないことが分かった。また、この結果をもとに、 モデル化を行い、小信号モデルを求めた。非線形モデルを初めて使用し、モデルパラメータの 導出を行うとともに、このモデルの問題点の抽出を行った。最後に、試作MMICに含まれるさ まざまな形状・接地形式を持つFETについて特性を示すとともに、その形状から物理的に考えら れる等価回路パラメータの変更により容易に説明できることを示した。

参考文献

1. W. R. Curtice, M. Ettenberg: "A Nonlinear GaAs FET Model for Use in the Design of Output Circuits for Power Amplifiers", Vol. MTT-33, No.12, 1985.

2. W. R. Curtice, M. Ettenberg: "N-FET, a New Software Tool for Large-signal GaAs FET Circuit Design", RCA Review, Vol.46, 1985.

3. 村口他:"26GHzコプレナ型モノリシック低雑音増幅器",MW86-70,1987.

付録1.

MELCO プロセスフロー



-21-

NELプロセスフロー

付録2.

1

A-SAINTを用いたMMIC製作工程 フトィーント モート

	エーロー程	偷 考	
1)	合わせマーク形成		
2)	P @ 形成		
3)	活性層形成		
[4)	抵抗領域形成		
5)	アニール膜形成	FET作成工程	
6)	ダミーゲート形成		
7)	オーミック領域高濃皮層形成].	
8)	活性化アニール		,
9)	フラットゲート形成		
10)	オーミック電極形成		
11)	1層配線形成		
12)	キャバシタおよびバッシベーション膜		
	形成		
13)	スルーホール バイアメタル形成	記線工程	
14)	2		
15)	去 面保 該 膜形 成		
16)	忘明け領域形成 		•.
17)	エアブリッジ めっき領域形成	1	:
18)	茲板研摩 バイアホール形成	組立工程	
19)	ダイシング 組立		
20)	剥定 評価		

÷

付録3. 測定系

図(付3.1)に本報告用いたDC.AC (Sパラメータ)特性の測定・評価系を示す。測定は高周波 用アルプローバ(マイクロカスケード社製)を用い、ウェーハ上で行った。DC特性・測定には HP 8510Tネットワークアナライザ(バイアス源はHP4145B)を用いた。測定系全体のコント ロール及び測定データからのパラメータ抽出・最適化には HP310コンピュータと半導体パラ メータ解析抽出ソフトウェア"TECAP"(HP社製)を用いた。尚、DC特性測定時、デバイスの発 振を防ぐためネットワークアナライザの交流出力分を内蔵のアッテネータにより60dB滅衰させ た。

図(付3.2)に本報告2節で用いたDCパラメータ V_p , I_{dss} , g_m の測定セットアップ及び方法について示す。

付録4. DCバイアスケーブルの影響

DCバイアスケーブルのDC特性への影響について検討する。図(付4.1)にケーブルの構成 を示す。DCケーブルのHOT側の抵抗R_{LINE}、GNDリターンをR_{GND}、プローブヘッドの信号線 側をRpとおく。ここでゲート側とドレイン側の抵抗はほぼ等しいと仮定する。 (R_{LINE1} ~ R_{GND1} ~ R_{GND2}, Rp1 ~ Rp2)

図(付4.2)に、HOT側の抵抗の測定系を示す。

 $2R_{HOT} \approx 2(R_{BIAS} + R_p) \approx 2.94\Omega$

(付4.1)

の結果が得られた。次に図(付4.3)に片チャンネルの抵抗の測定系を示す。

ゲート側		
$R_{LINE1} + R_{P1} + R_{GND1} \approx 1.68\Omega$	•	(付4.2)
ドレイン側		
$R_{LINE2} + R_{P2} + R_{GND2} \approx 1.40\Omega$		(付4.3)

が得られた。(付4.2)式 (付4.3)式より

 $2R_{HOT} + 2R_{GND} \approx 3.08\Omega$

以上より

 $R_{GND} \approx 0.07\Omega$ $R_{HOT(gate)} \approx 1.6\Omega$ $R_{HOT(drain)} \approx 1.3\Omega$

が得られた。

この抵抗の影響をDC特性の結果で比較する。図(付4.4)、図(付4.5)にVd-Id特性及びその拡大図を示す。誤差として電圧1.5%(Vd=2V)、電流0.2%(Id=19.2mA)であり、十分無視できる。但し、ドレイン電流が大きくなった場合に誤差を生じるため、30mA超える場合(5%程度Vd=1V付近)には、補正する必要がある。

付録5. 電気長の補正について

線路付FET(M004S,N004CSF等)のSパラメータ測定の際 FETのみの特性を測定するためには 線路部分で生ずる遅延を補正しなければならない。

今回(本文 3章、4章)の測定では以下の方法により補正を行った。

 ④ 線路付FET(M004S,N004CSF)に使用される線路で長さの異なるもの(M043-2と M064-4)の伝送遅延を測定する。線路の長さの違い(△FET(M004S,N004CSF)に使 用される線路で長さの異なるもの(M043-2と M064-4)の伝送遅延を測定する。線 路の長さの違い(△ℓ)と遅延の違い(△θ)の関係から電気短縮率(λg/λo)を算出す る。



② ①で求まった電気短縮率を用い任意の長さの遅延を求めることができる。M004Sの 例を下にしめす。

delay $\tau = \frac{1}{(\lambda_g / \lambda_0)^* (c/f)} \times \frac{1}{f} = \frac{650 \text{nm}}{.375 \times 3 \times 10_8} = 5.8 \text{ pS}$

 ②で求まった遅延角(Electrical Delay)をネットワークアナに入力すれば自動的に補 正できる。

付録6. プロセス不良について

MELCO納入のウェーハ①の1部のエアブリッジに以下の不良があった。 症状 : エアブリッジがない(跡形もなくきれいにない)……下記写真参照

原因 : MELCOによるとプロセス中でM-M密着させる工程がよくなかったと考えられる。多く生産すればこの現象はしばしばおこるのが現状である。



エアブリッジ不良写真 :

H-3 : 良品



D-5 : 不良品



付録7. プログラムリスト DIM FREQ GHZ RES OH IND NH CAP PF VAR 6#.005 .0131 .0263 175*2 T#0.1 3.3 6.0 F=0 C1#.05 .08 .2 !Cgs G1 = 0!Ggs R1#.5 1.5 5.0 !Ri C2#.01 .015 .04 !Cdq C3=0.00001 !Cdc C4#.01 .025 .045 !Cds R4#500 1000 1500 !Rds RS#1.0 1.5 10.0 !Rs CKT FET2 2 3 5 6^6 TAT FAF CGSAC1 GGSAG1 RIAR1 CDGAC2 CDCAC3 CDSAC4 RES 1 2 R#1.0 5.0 16.0 !Ra 75*2 RES 3 4 R#1.0 1.5 5.0 RDS^R4 RS^RS ! Rd IND 11 1 L#.01 .05 .05 !Lg. IND 44 4 L#.01 .02 .05 ! L. c) IND 5 6 L#0.01 .02 0.04 DEF3P 11 44 6 FFF !W=150um FET Model Difinition ! TOTAL FET FFF 1 10 0 FFF 1 10 0 DEF2P 1 10 CAL !Total FET Model difinition S2PA 1 2 0 TMON752 DEF2P 1 2 MES FREQ SWEEP 1 26 1 OUT CAL S11 1! CAL S21 ! CAL S12 CAL 822 GRID RANGE 1 26 1 GR1 0 1 .1 OPT RANGE 1 25 1 CAL MODEL MES

付録8. ドレイン電流2次多項式モデルフィッテイング結果(NEL)

NELのFETについて、ドレイン電流の2次多項式によるDCのみのフィッテイングを行った。その結果を図(付8.1)、図(付8.2)、図(付8.3)に示す。3次多項式の結果である図4.19、図 4.20(b)、図4.21と比較すると、説明している様に3次多項式の方がより近いように見えるが、ほ とんど差は生じていないことがわかった。





NELウエーハ

図2.1





(a) M004S (Wg:75 μ m×2)



(c) Wg:150µm×2を用いた例



(b) Wg:150µmを用いた例



(d) N004CSF (Wg:150µm)

図2.2

- 27 -

検討を行うFETのパタン





MELCO FET作製工程





NEL FET作製工程



図3.1

ピンチオフ電圧、ドレイン電流、相互コンダクタンス ヒストグラム

- 29-



(c) 相互コンダクタンス (gm)

図3.2 MELCOウエハ分布 (FET:M004S)

-30-

(1) 1 0 1	/.		1		2	
	1 -	A	0	0	0	0
	1		2	. ·	3	
/ I - B	0	Ο.	6	×	O	0
	1		2		3	
	0	0	0	0	0	0

1

×

2

0

2

0

×

0

0

2 - A

1

0

1

0

x

0

No. 1ウエハのFET醇特性

	Yth - 1067.Y	-1053
	ldss 151mA/mm	141
	g= 205=S/==	· · 212
	Rs 1.28Ω/mm	
•	n值 1.35	1.34
	B.H. 646∎Y	639
-1040	- 980	- 998
161	147	152
213	216	221
0.82	0,93	0,93
1,33	1.33	1.34
653	653	646
-1120	-1074	-1007
169	167	154
204	217	219
0,81	0.85	0.87
1,33	1,33	1.32
659	655	653

No. 2ウエハのFET加<u>特性</u>

	Yth -1104=Y	-1178
	ldss 151=A/mm	184
	gm 203=S/==	187
	Rs 1.74Ω/m=	0.99
	núī 1.31	1.32
	B.H. 639=Y	521
-1152	-1037	-1011
• 175	157	166
201 -	208	208
0.80	0.86	0.86
1.31	1.30	1.30
654	· 653	613
-1021	-1137	-1126
151	175	186
204	208	213
0.83	. 1.52	
1.30	1.30	1.35
660	648	664

NELウエハ分布 (FET:N004CSF)

X:ピンチオフしないもの

31-

(2) N O 2

ارينه موليهم

2 - B

2 - C

図3.3

2

0

З

0

3

0

x

0

0



ピンチオフ電圧 (Vp)



ドレイン電流 (Idss)



相互コンダクタンス (gm)

図3.4

新しく納入されたMELCOウエハ分布 (FET:M004S)



(a) M004S (サンプル数48)



(b) M004S 1D3 例

図3.5

MELCO AC特性ばらつき スケール S₁₁,S₂₂:1.0,S₂₁:3.0,S₁₂:0.2 周波数 5,10,15,20,25GHz 測定バイアス Vd=3V,Id=5mA

33 -



図3.6

NEL AC特性ばらつき スケール S₁₁,S₂₂:1.0,S₂₁:3.0,S₁₂:0.2 周波数 5,10,15,20,25GHz 測定バイアス Vd=3V,Vg=0V





図4.1

FET形状と等価回路の関係

- 区4.2
- 小信号モデル等価回路



図4.3

全てのパラメータを変化させた場合のフィッティング結果 (MELCO)











測定值、

サンプル	M0049 173		
周波数	1	- 25 GHz	
スケール	SII	1.0	
	S 21	3.0	
	S 12	0.2	
	S 2 2	1.0	
DC	Vď	З V	
////X	l d	6.7 mA	
	Vg	-0.5 V	

図4.7 MELCO フィッティング結果 (③の方法)











-37-



点報 測定 转 果						
サンブル	NO	ACSF 1A1L				
周波数	1	- 26 GHz				
スケール	S 11	1.0				
	S 2 1	3.0				
	S 1 2	0,15				
	S 2 2	1.0				
DC	Vd	3.0V				
117	ld	217 m A				
	Vg	0.0 V				

図4.11 NEL フィッティング結果(③の方法)



(b) 非対称モデル

図4.12

GaAs非線形モデル



図4.13 MELCO TECAPフィッティング結果 (Ig-Vg 特性)



図4.14(a) MELCO TECAPフィッティング結果 (Id-Vd 特性)

- 39 -









(a) S_{11} , S_{12}



(b) S_{21} , S_{22}

测定值

		the second s
サンプル	E=9	FET 175, 122 133
周波数	1	- 26 GHZ
スケール	S 11	1.0
	S 2 1	3.0
	S 1 2	0.2
	S 22	1.0
DC	Vd	<u>з v</u>
	١d	— m A
	Vig	-0.5 V



MELCO TECAPフィッティング結果

(AC 特性[単一バイアス])

-41-







サンプル	750	X2 1J3
周波数	1	- 26 GHz
スケール	S 1 1	1.0
	S 2 1	3.0
	S + 2	0.3
	S 2 2	1.0
DC	Vd	3,2,1 V
	١d	— m A
	Vд	-0,5 V

@ Vd=3V
b Vd=2V

 \odot Vd=1V



図4.18

MELCO TECAPフィッティング結果

(AC 特性[Vg可変])

a Vg=-0.5V
 b Vg=-1.0V
 c Vg=-1.5V

	Toportine 100		
周波数	1 - 26 GHZ		
スケール	S II	1.0	
	S 21	3,0	
	S 1 2	0.4	
	S 22	1.0	
DC	۷d	3 V	
	١d	— mA	
	Vg	-0,5,-1.0,-1.5V	



図4.20

NEL TECAPフィッティング結果 (ld-Vg 特性)





NEL TECAPフィッティング結果 (Id-Vd 特性)



(a) S_{11} , S_{21}



(b) S_{12} , S_{22}

図4.22

NEL TECAPフィッティング結果 (AC 特性[単一バイアス])

		the second s
サンプル	NOOX	ICSF 1AIL
周波数	1	- 26 GHZ
スケール	S 11	1,0
	S 2 1	3.0
	S 1 2	0,15
	S 22	1:0
DC	Vd	3 v
バイアス	d	26.3 mA
	Vg	O V



(a) S_{11} , S_{21}



(b) S_{12} , S_{22}

図4.23

NEL TECAPフィッティング結果 (AC 特性[Vd可変])

a	Vd = 3V
Ъ	Vd = 2V
(C)	Vd = 1V

サンプル	NOCHCSFIAIL		
周波数	1	- 26 GHZ	
スケール	Sin	1,0	
	S 21	3,0	
	S 12	0.15	
	S 22	1.0	
DC	٧d	3,2,1 V	
~~~~~	Γď	— m A	
	Vg	0 V	



(a)  $S_{11}$  ,  $S_{21}$ 



(b)  $S_1\,$  ,  $S_{22}\,$ 

図4.24

NEL TECAPフィッティング結果

(AC	特性	「Vg可雾	51)
-----	----	-------	-----

(a)	Vg = 0V
Ь	Vg = -0.2V
$\bigcirc$	Vg = -0.4V

サンプル	NOC	HEDFIAIL
周波数	1	- 26 GHZ
スケール	S 11	1.0
	S 2 1	3.0
· · · ·	S 1 2	0.15
	S 22	1.0
DC	Vд	ЗV
11172	١d	- m A
	V g	0,-0,2,-0,4



サン	プル	Vd可落	
周波	数	1 - 26 GHZ	
スケ	ール	S , ,	1:0
		S 2 1	3.0
		S 12	0,2
		S 2 2	1.0



図4.25 小信号モデルによるシミュレーション結果



サンプル	Vg可渡	
周波数	1	-26 GHZ
スケール	S , ,	1.0
	S 21	3.0
	S 1 2	0,2
	S 2 2	1.0

### 图 4.26

小信号モデルによるシミュレーション結果

-49-





図5.1

図5.2

TEGMONFETの形状







図5.3 Id-Vg 特性

## 図 5.6

Wg:150µm×2のAC特性

51-



サンプル	(50)	umX2 1J3
周波数	Ĭ	-26 GHZ
スケール	Sii	1.0
	S 21	4,0
	S 1 2	0.5
	S 2 2	1.0
DC	Vd	v £ .
1117	١d	— mA
	Vв	-0.5 V



サンプル	15	OMMX1 153
周波数	1	- 26 GHZ
スケール	S 1.1	1.0
	S 2 1	3.0
	S 12	0.2
	S 22	1.0
DC	Vd	3 V
	l d	— m A
	Vg	-0,5 V



サンプル	751	UMX 2 133
周波数	1	- 25 GHz
スケール	S , ,	1.0
	S 21	3.0
	S 1 2	0.Z
	S 2 2	1.0
DC	V d	3 V
	١d	— m A
	Vg	-0,5 V



① M001G



Ø M002G



③ M003G



M006D



M005S
 M005
 M005

図5.7 各種接地形式

各種接地形式をもつFET形状

j.,



サンプル	Mer	01G1H3
周波数	1	- 26GHz
スケール	S 11	1.0
	S 21	2.0
	S 1 2	0,5
	·S 2 2	1.0
DC	Vd	3 v
	1 d	5.7 m.A
	Vg	-0,4 V

## 図5.8 M001G (ゲート接地回路) AC特性



サンプル	Max	02G 1D3
周波数	1	-26 GHz
スケール	S 11	1.0
	S 21	ZiO
	S 1 2	0.5
	S 2 2	1.0
DC	٧d	Эv
	l d	6,9 m A
	Vg	-0.4 v

## 図5.9 M002G (ゲート接地回路) AC特性



サンプル	MO	03G <b>2</b> Ð3
周波数	[	- 26 GHz
スケール	S 11	1.0
	S 21	1.0
	S 1.2	1.0
	S 22	(.0
DC	٧d	3 v
	١d	5 m A
	Vg	-0.66 V

## 図5.10 M003G (ゲート接地回路) AC特性

- 53 -



サンプル	MC	06D 1D3
周波数	1	-26 GHZ
スケール	S	1.0
	S 2 1	1.0
	S 1 2	1.0
	S 2 2	1,0
DC	Vd	-3 v
~~ / ~	١d	5 m A
	Vg	-0.68 V



M006D (ドレイン接地回路) AC特性



サンプル	M0055 183	
周波数	1	- 26 GHZ
スケール	S	1.0
	S 2 1	3,0
	S 1 2	0.4
	S 2 2	1,0
DC	Vd	Э V
~~~~	١d	5 m A
	Vg	-0.6 V

※ 線路相正無し

\$

図5.12

M005S (ソース接地回路) AC特性



(1)75µm×1 単位FET

(3)150µm×1 単位FET











(5)150µm×2 FET

図5.13 MONFETの小信号等価回路

1



	フィッティング	
	75unx2 1J3	
周波数	Í	- 26 GH Z
スケール	S	1.0
	S 2 1	3.0
	S 1 2	0.2
	S 2 2	1,0

図5.14

4 Wg:75µm×2(ソース接地)フィッティング結果



図5.15 Wg:150µm×1(ソース接地)フィッティング結果



	フィッティング	
	150umx 2 1 J 3	
周波数	1	- 26 GHZ
スケール	S , ,	1.0
	S 2 1	4.C
	S 1 2	0.2
	S 2 2	1.0

図5.16

Wg:150µm×2(ソース接地)フィッティング結果



	フィッティンク"	
	M001G 1H3	
周波数	l	- 26 GHZ
スケール	S , ,	1.0
	S 2 1	2.0
	S 1 2	0.5
	S 2 2	1,0

図5.17 M001G(ゲート接地回路)フィッティング結果



	71	いティンク!
	MOOZG	
周波数	1	- 26 GHZ
スケール	S , ,	1.0
	S 21	2.0
	S 12	0.5
	S 2 2	1.0

図5.18 M002G(ゲート接地回路)フィッティング結果



	70,5017"	
	/17/11-1	
	MO260 103	
周波数	1 - 26 GHZ	
スケール	Š 📊	1.0
	S 21	1.0
	S 12	1.0
	S 22	1.0

FIX 8/20

図5.19 M006D(ドレイン接地回路)フィッティング結果

- 57-



· DC/Vp. Idss, gm , (MELLO NEL aデ-9に53) *接続, スッツ測定。方法





* デバスまでa Dc的な近病:約1.50



図 付4.1 ケーブルの構成







図 付4.3 片チャンネル分抵抗

- 59 -





図 付4.5 Vd-Id特性 (部分拡大図)

- 60 -

۵



ţ







Ig-Vg特性 図 付8.2





-61-