

TR-AC-0028

010

高指数A面段差基板を用いた  
横型トンネル接合トランジスタの研究

大西 一

1999. 3.12

ATR環境適応通信研究所

## 目次

(ページ)

|                                  |    |
|----------------------------------|----|
| 概要                               | 1  |
| 第1章 序論                           | 2  |
| 第2章 横型トンネル接合トランジスタの動作原理          | 5  |
| 2-1 バンド間トンネル現象                   | 5  |
| 2-2 横型トンネル接合トランジスタの動作原理          | 7  |
| 第3章 実験方法                         | 11 |
| 3-1 横型トンネル接合トランジスタ作製プロセス         | 11 |
| 3-2 評価方法                         | 11 |
| 第4章 (M1)A面段差基板を用いた横型トンネル接合トランジスタ | 14 |
| 4-1 Ga原子マイグレーションを考慮した基板面方位の決定    | 14 |
| 4-2 キャリア密度の基板面方位依存性              | 15 |
| 4-3 (M1)A面段差基板上の横型トンネル接合トランジスタ   | 15 |
| 第5章 まとめ                          | 22 |
| 謝辞                               | 23 |
| 参考文献                             | 24 |

## 【概要】

MBE 法によって GaAs (M11) A 面 (K4) 基板上に Si ドープ GaAs を結晶成長すると、得られる成長層の伝導型は基板面方位および成長条件により異なることが知られている。この性質を利用すると、段差基板上に Si ドープ GaAs 層を成長するだけでバンド間トンネル接合を形成することができる。通常のトンネル接合は縦方向（基板に垂直方向）に形成されるが、段差基板を用いた方法では横方向（基板と平行方向）のトンネル接合が形成される。この横形トンネル接合近傍にゲート電極を形成することで、高機能デバイスである横型トンネル接合トランジスタが実現可能である。この方法では再成長法などを用いる必要が無く一回の MBE 成長でトンネル接合が形成されるため、大きなピーク・バレイ比を持つトンネルトランジスタを簡単なプロセスで実現できることが特徴である。横型トンネル接合を形成するには Ga 原子のマイグレーションを考慮して段差基板の面方位を選ぶことが大切であるが、本レポートでは (311) A 面- (411) A 面段差基板を用いた実験の結果、横型トンネル接合トランジスタの室温動作を実現した。また、ゲート電極を p 型層上に形成することによって p 型トンネルトランジスタを、n 型層上に形成することによって n 型トンネルトランジスタを作製できることを示した。p 型トンネルトランジスタと n 型トンネルトランジスタではゲート電圧に対するトンネル電流の変化が反対になるため、p 型と n 型のトンネルトランジスタを混載することによって回路設計の自由度向上と相補型動作の実現が可能であり、横形トンネル接合トランジスタは次世代のデバイスとして有望である。

## 第1章 序論

現在様々な電子デバイスが GaAs および Si 系材料を用いて実用化されている。GaAs デバイスのうち代表的なものは MESFET (metal-semiconductor field-effect transistor)、HEMT (high electron mobility transistor) などの電界効果型トランジスタである。これらの電子デバイスは Si デバイスの代表である MOSFET (metal-oxide-semiconductor FET) と比較して、低消費電力、低雑音などの特徴を持つために、携帯電話、衛星放送受信用アンテナなどに使われている。一方、Si デバイスでは GaAs 系にはない安定で界面準位の少ない高品質な保護膜である SiO<sub>2</sub> 膜が熱酸化法によって容易に得られること、安価で大口径な Si 基板が得られることから、現在非常に大きな市場を形成するに至っている。GaAs、Si デバイスともに集積化が進められ、特に Si では、近い将来にゲート長は 0.1 μm 以下になると予想されている。しかし、ゲート長が 0.1 μm 以下の MOSFET では、トンネル効果によるリーク電流の増大、不純物の揺らぎに基づくしきい値電圧のバラツキ等が無視できなくなり、物理的な限界に突き当たると考えられる [1, 2]。この限界を克服する次世代デバイスの 1 つとしてトンネルデバイスが有望視されている。なぜなら、トンネル現象は 10nm 程度という非常に狭い領域で起こるため、0.1 μm 以下のデバイスサイズにおいても正常な動作が期待できるからである。さらにトンネルデバイスでは、電流-電圧 (I-V) 特性に負性微分抵抗 (NDR : Negative Differential Resistance) 特性が現れるが、この NDR 特性を用いることにより、少ない素子数で複雑な処理をすることができ、多機能なデバイスを実現することが可能である。

トンネル現象には高濃度かつ急峻な p-n 接合に現れるバンド間トンネル現象 [3] と、非常に薄い障壁層を持つ量子井戸構造に見られる共鳴トンネル現象 [4] がある。これまで、二つのトンネル現象のうち、主に共鳴トンネルを用いたトンネルトランジスタが提案・試作されてきた [5-7]。この場合、トンネル接合は成長方向すなわち縦型に作製されるため、トンネル電流を制御するためのゲート電極をトンネル接合部に形成するためには、微細加工技術に加えて複雑な電極形成プロセスが必要となっていた。この縦形トンネル接合を用いたトンネルトランジスタの問題点を克服しプレーナープロセスを実現するために、再成長技術によって形成した横型バンド間トンネル接合を用いた表面トンネルトランジスタが提案されている [8]。しかしながら、再成長技術を用いたトンネル接合であるため再成長界面の残留不純物 (主に酸素) を除去することが困難であり、この不純物に起因したバレイ電流成分のために小さなピーク・バレイ比 (約 3 程度) のトンネル接合しか得られていない [9, 10]。

我々は、上記の問題点を克服するため、すなわち、作製プロセスが簡単で大きなピーク・バレイ比を持つトンネルトランジスタを実現するために plane-dependent Si-doping 法を用いた横型トンネル接合トランジスタの研究を進めてきた。plane-dependent Si-doping 法とは、分子線エピタキシャル (MBE) 成長における Si の両性不純物としての特性を利用した方法である。通常 n 型の不純物として

用いられる Si は、基板面方位と MBE 条件によっては p 型の不純物としても振る舞う事が知られており [11,12]、(M1)A 面 (K4) 上の Si ドープ GaAs 層は、図 1-1 に示すように大きな V/Ⅲ比では n 型、小さな V/Ⅲ比では p 型伝導を示す [12]。この Si の性質を利用すると、図 1-2 に示す様な異なる面方位を持つ段差基板の上に Si ドープ GaAs 層を成長するだけで横型 p-n 接合を作製することが可能である [13]。すなわち、面方位によって (plane-dependent) 伝導型を制御した Si の doping 法である。横型トンネル接合は、この方法で得られる横形 p-n 接合のキャリア分布を高密度かつ急峻とすることで形成できる。この方法の優れている点は、一回の MBE 成長で横形 p-n 接合を形成するために再成長界面が無く、大きなピーク・バレイ比を持つトンネルトランジスタが簡単なプロセスで作製可能な点である。本レポートでは、この優れた特徴を持つ横型トンネル接合トランジスタについて報告する。

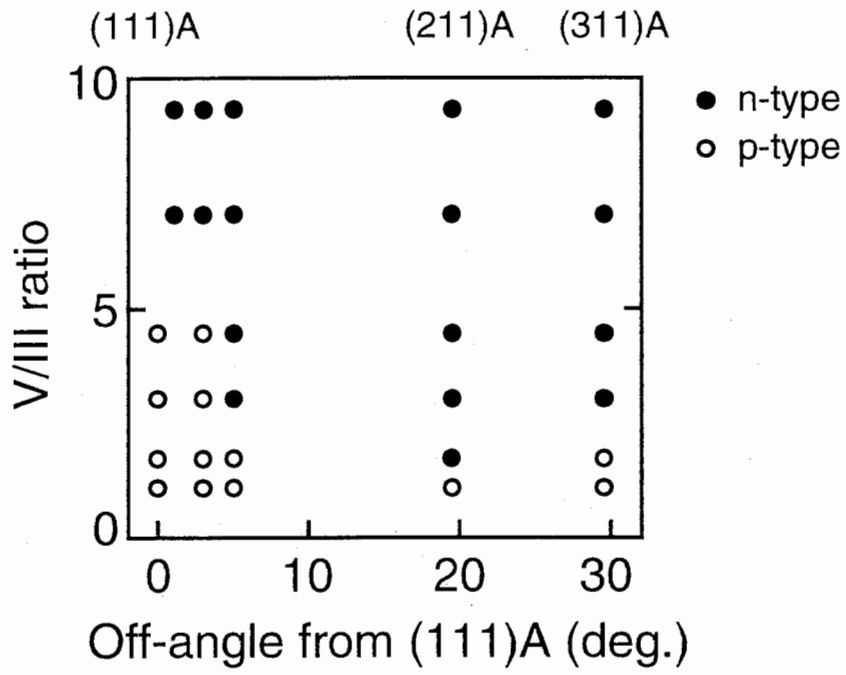


図1-1 (111)A面上にMBE成長したSiドーピングGaAsの伝導型のV/III比依存性

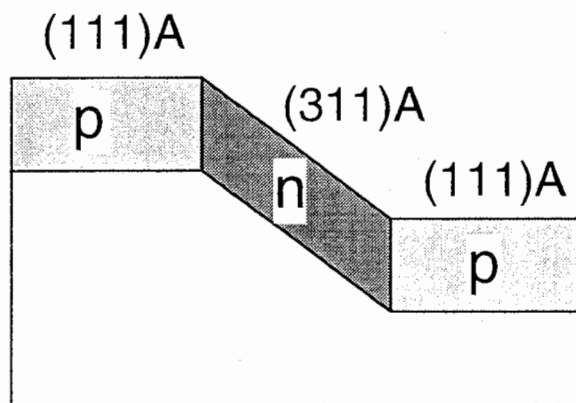


図1-2 横型p-n接合

## 第2章 横型トンネル接合トランジスタの動作原理

### 2-1 バンド間トンネル現象

トンネルトランジスタとは I-V 特性に現れる NRD 特性を制御することによって従来のデバイスにはない多機能性を得ようとする素子であり、NDR 特性がデバイス特性を決定する重要な役割を果たす。本レポートで報告する横型トンネル接合トランジスタでは、高キャリア密度かつ急峻な p-n 接合でのトンネル現象に基づく NDR 特性を用いている。この p-n 接合におけるトンネル現象は高密度にドーピングした Ge の p-n 接合ダイオードを用いて 1958 年に L. Esaki によって発見され、電子が価電子帯と伝導帯の 2 つのバンド（帯）間をトンネルすることからバンド間トンネル現象と呼ばれている。以下にバンド間トンネル現象について説明する [14]。

p-n 接合の不純物密度が非常に高くなって有効状態密度以上（半導体材料により異なるがほぼ  $10^{18}\text{cm}^{-3}$  程度）になると、図 2-1 に示すようにフェルミ準位が n 型領域では伝導帯内に、p 型領域では価電子帯内にまではいりこみ、縮退状態になる。このような半導体で p-n 接合ダイオードをつくと通常の（縮退状態にない）p-n 接合ダイオードと比較して遷移領域が非常に薄くなり、10nm 程度になる。この時、相手側のエネルギー準位に空があれば、電子は量子力学的なトンネル効果によって n 型（あるいは p 型）領域から p 型（あるいは n 型）領域に向かって遷移領域を透過するようになり、この電子の移動によって電流が流れることになる。

電子が遷移領域（障壁）を量子的なトンネル効果によって透過するためには次の条件を満たす事が必要である。

- (1) 電子がトンネルを始める側に、電子の存在するエネルギー準位が存在し、  
電子がトンネルしていく側に、電子の未占有エネルギー準位が存在すること。
- (2) 有限なトンネル確率を持つための条件として、トンネル障壁の高さが十分低くかつ幅が十分狭いこと。
- (3) 運動量がトンネル過程で保存されること。

条件(3)のために、直接遷移型半導体と間接遷移型半導体ではトンネル現象のメカニズムが異なってくる。図 2-2 (b) に示すように直接遷移型半導体である GaAs では、同じ運動量のところに価電子帯の上端と伝導帯の下端があり、この付近の電子がトンネルするため、トンネルする前と後で運動量は保存される。一方、間接遷移型半導体である Si では図 2-2 (a) に示すように価電子帯上端と伝導帯下端の運動量が異なるため、運動量の保存則を満たして電子がトンネルするためにはフォノン散乱、不純物散乱などを介する必要があるため、直接遷移型半導体と比較してトンネル確率は小さくなる。

通常の p-n 接合ダイオードでは正方向電流は主に拡散によるので拡散電流と呼ばれるが、p-n 接合面での電位障壁のために、正方向の印加電圧が電位障壁を越すまでは拡散電流はほとんど流れない。

しかし、トンネルダイオードではトンネル電流は非常に小さい電圧で流れるので、印加電圧が障壁電圧の付近まではダイオード電流はトンネル電流である。この様子を図 2-3 に示す p-n 接合のバンド構造と I-V 特性を参照しながら詳しく説明する。半導体が縮退状態にあるのでフェルミ準位は、n 型領域では伝導帯下部に、p 型領域では価電子帯上部に位置している。簡単のために絶対零度を仮定すると、印加電圧が零の時には、拡散電流は電位障壁によって流れず n 型領域と p 型領域のフェルミ準位が一致しているためトンネル電流も零となっている (図 2-3(b))。

ダイオードにわずかな順方向電圧をかけると、n 型の伝導帯の電子のエネルギー準位と同じ準位で p 型の価電子帯中に電子の未占有エネルギー準位ができる。このために電子は n 型の伝導帯から p 型の価電子帯へトンネル効果により移動できることになり、順方向のトンネル電流が流れはじめる。さらに順方向電圧を大きくしていくと、n 型の伝導帯の電子に占有されたエネルギー準位と p 型価電子帯の電子の未占有エネルギー準位の重なりが大きくなり、トンネル電流は増加していく。トンネル電流はエネルギー準位の重なりが最大になる電圧で最大値をとる (図 2-3(c))。この時の電圧、電流をそれぞれピーク電圧、ピーク電流という。

さらに電圧を大きくしていくと、n 型の伝導帯の電子のエネルギー準位と同じ準位が p 型の価電子帯にはなくなって禁止帯内に入るようになる。この時、エネルギー準位の重なりは小さくなり、トンネル電流は減少する (図 2-3(d))。ついにはエネルギー準位が重ならなくなり、トンネル電流は零になる。実際の素子を流れる電流にはトンネル電流以外の成分 (拡散電流) が存在するため零にはならないが、ある電圧で最小となる。この時の電圧、電流をそれぞれバレイ電圧、バレイ電流という。ピーク電流とバレイ電流の比をピーク・バレイ比といい、トンネルダイオードの特性評価指数の 1 つである。このピーク・バレイ比の最大値は材料によってほぼ決まり、GaAs の場合は 12 程度である。

さらに順方向電圧が大きくなり p-n 接合の電位障壁が小さくなると、通常の p-n 接合ダイオードと同じように拡散電流が支配的となりダイオード電流は指数関数的に増加していく (図 2-3(e))。

以上述べたようにトンネルダイオードに順方向に電圧を印加した場合には、素子を流れる電流はトンネル電流と拡散電流の和となり、I-V 特性に N 型の NDR 領域が現れる。実際のトンネルダイオードではこの 2 つの電流成分に過剰電流成分が加わるため、バレイ電流が大きくなりピーク・バレイ比が小さくなる。したがって、大きなピークバレイ比を得るためには、トンネル電流成分を大きくするとともに、過剰電流成分を抑制することが重要である。

一方、逆方向電圧を印加した場合には、p 型の価電子帯中の電子が n 型の伝導帯中の未占有エネルギー準位へとトンネルする。逆方向電圧の絶対値を大きくしていくと、p 型領域の電子の存在するエネルギー準位と n 型領域の電子の未占有エネルギー準位の重なりが大きくなるため、トンネル電流の絶対値は単調に増加していく (図 2-3(a))。



## 2-2 横型トンネル接合トランジスタの動作原理

### － p型トンネルトランジスタとn型トンネルトランジスタ －

トンネルトランジスタの動作原理は2-1で述べたトンネルダイオードに第三の電極であるゲート電極をp-n接合近傍に形成することにより、トンネル電流を変調することである。p型領域の価電子帯中の電子が存在しないエネルギー準位とn型領域の伝導帯中の電子が存在するエネルギー準位の重なりを「バンドの重なり」と呼ぶと、トンネル電流は「トンネル確率」と「バンドの重なり」の積に比例する。したがって、トンネル電流を変調するためには、トンネル確率がバンドの重なり、もしくは両方を変調する必要がある。トンネル確率はトンネル障壁の高さと幅を変化させることで変調でき、バンドの重なりは縮退度（キャリア密度）を変化させることで変調できる。トンネル確率のみを変えた場合にはピーク電圧は一定のままであるが、バンドの重なりが変化した場合は、ピーク電流値と共にピーク電圧も変化する。この時、ゲート電極がp型層上にある場合とn型層上にある場合を考えると、ゲート電圧に対するキャリア密度の変化が逆になるため、トンネル電流の変化も逆になる。すなわち、ゲート電圧を負から正に変化させた場合、p型層上にゲート電極がある場合はp型層のキャリア密度が減少するためトンネル電流は減少し、n型層上にゲート電極がある場合はn型層のキャリア密度が増加するためトンネル電流は大きくなる（図2-4）。本レポートではこれらをそれぞれ「p型」トンネルトランジスタ、「n型」トンネルトランジスタと呼ぶ。p型およびn型トンネルトランジスタを作製できれば、両トンネルトランジスタの混載による相補型動作の実現等によって、回路設計の自由度の向上により一層の多機能化が期待できる。

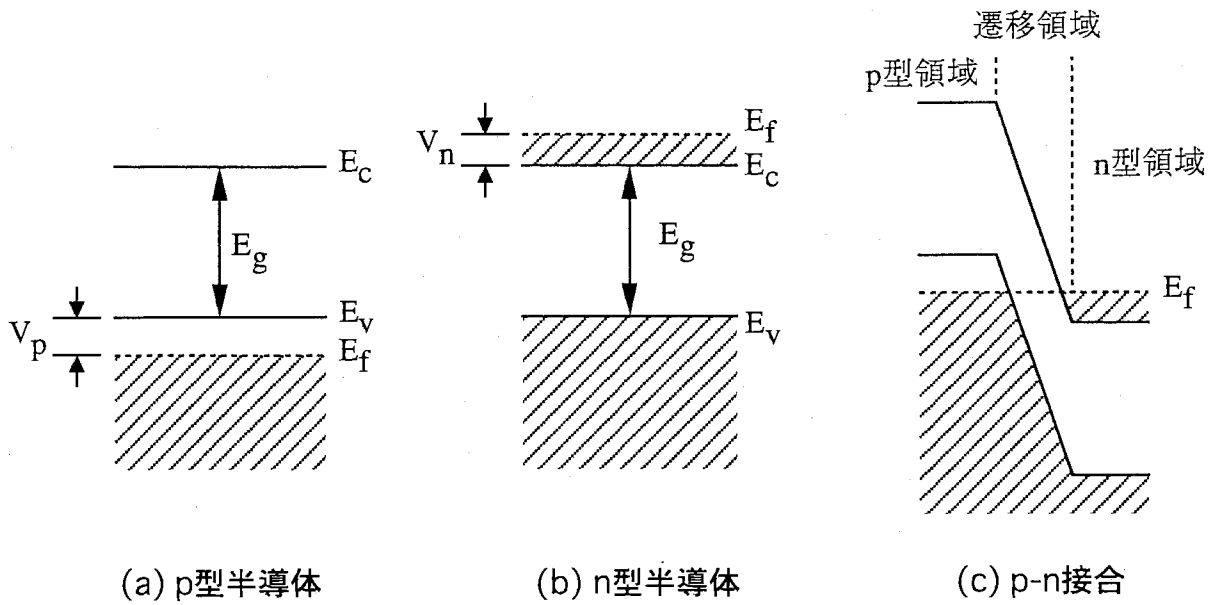


図2-1 縮退した半導体のバンド図とp-n接合

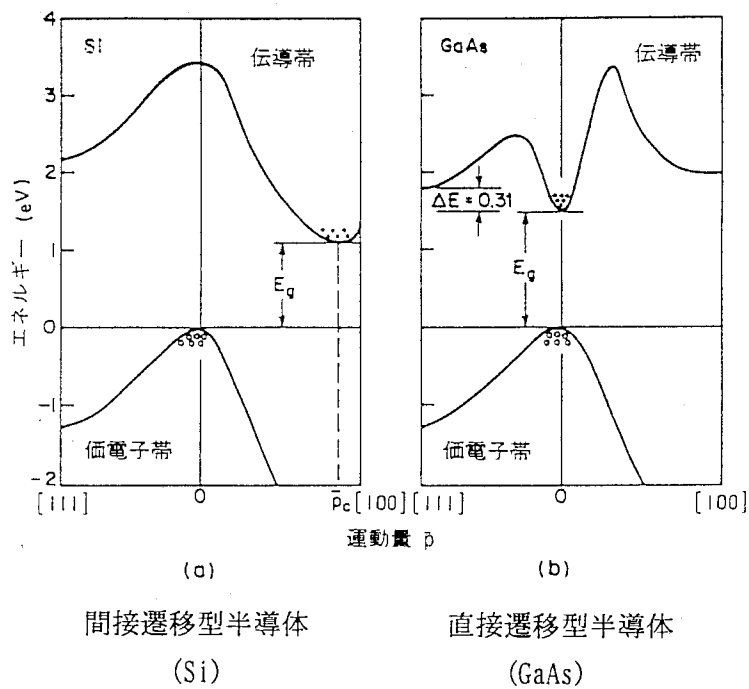
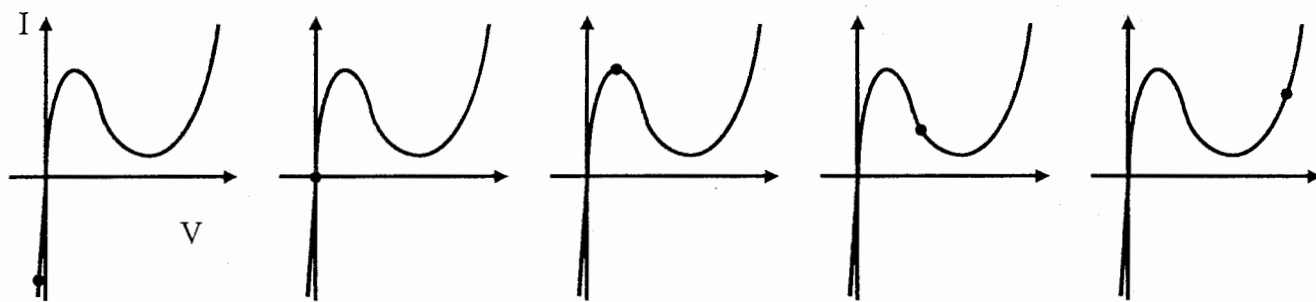
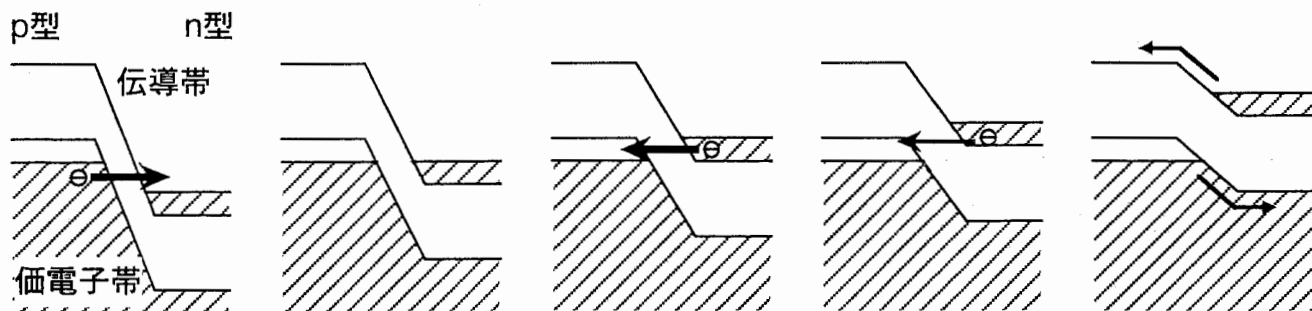


図2-2 間接遷移型半導体と直接遷移型半導体のバンド構造



(a)

(b)

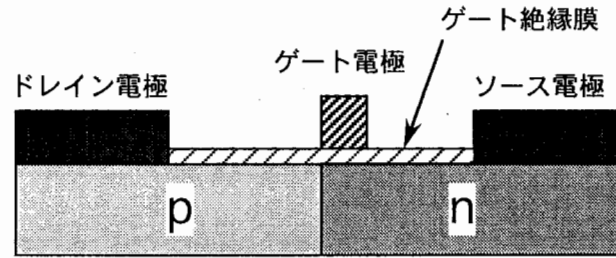
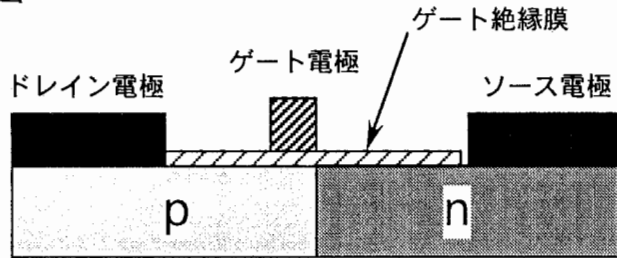
(c)

(d)

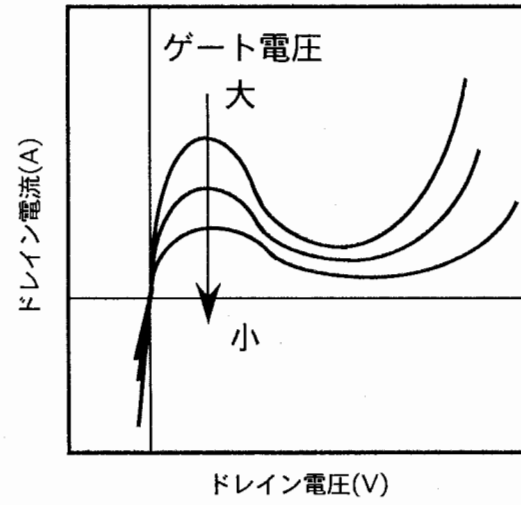
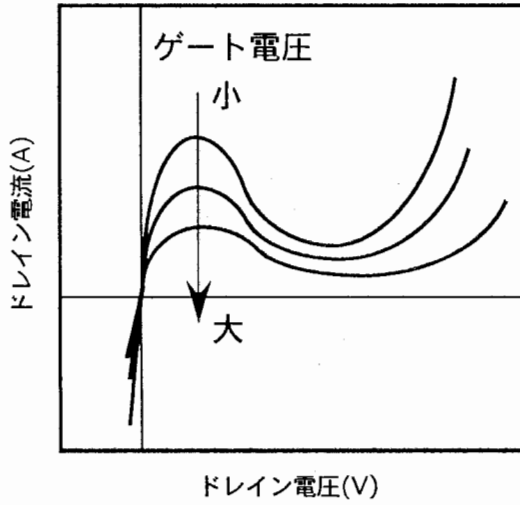
(e)

図2-3 バンド間トンネルダイオードのバンド図とI-V特性

素子構造図



I-V特性



(a) p-based横型トンネル接合トランジスタ

(b) n-based横型トンネル接合トランジスタ

図2-4 横型トンネル接合トランジスタ

## 第3章 実験方法

### 3-1 横型トンネル接合トランジスタ作製プロセス

図 3-1 に横型トンネル接合トランジスタの作製プロセスを示す。以下にこのプロセスフローにしたがって作製プロセスを説明する。

#### ① 段差基板の作製

(M11)A 基板 ( $N=3, 4$ ) をフォトレジストを用いてパターニングし、 $H_3PO_4:H_2O_2:H_2O=3:1:50$  を用いてウエットエッチングにより段差を形成した。成長後の電極形成プロセスの際のフォトレジストのカバレッジ、フォトマスクの位置合わせ精度を考慮して、段差の深さが  $3 \mu m$  程度、斜面が  $5 \mu m$  以上の長さになるようにした。

#### ② MBE 成長

MBE 成長には日本真空技術 (ULVAC) 製 MBE 装置 MB91-5001 を用いた。成長材料は全て固体ソースである。成長条件は基板温度  $540^\circ C$ 、V/III 比 2 とした。この成長条件は平坦な (M11)A 基板上の Si ドープ GaAs の伝導型とキャリア密度を評価した結果、基板面と斜面部が異なる伝導型となるように選んだ条件である。基板回転速度は均一性を良くするため 1 分子層の成長の間に 1 回転するように成長速度に合わせて設定した。

#### ③ 素子分離とオーミック電極形成

素子分離は素子部以外の成長層をエッチング除去することで行った。その後 n 型領域には n 型オーミック電極 (AuGe/Ni/Au=100nm/30nm/200nm) を、p 型領域には p 型オーミック電極 (Mn/Au=20nm/200nm) を蒸着、リフトオフで形成した後、窒素雰囲気中で  $400^\circ C$ 、2 分間の合金化処理を行った。

#### ④ ゲート絶縁膜形成

素子分離エッチングの際に現れる側面部分で高密度ドーピング層とゲート電極が直接接触することによってゲートリーク電流が流れることを防ぐため、 $SiN_x$  膜をプラズマ CVD 法により 20nm 成膜した。オーミック電極部分の  $SiN_x$  膜は HF を用いて除去した。

#### ⑤ ゲート電極形成

横型トンネル接合近傍の  $SiN_x$  膜上にゲート電極 (Ti/Au=100nm/200nm) を蒸着、リフトオフで形成した。作製した素子のゲート長は  $4 \mu m$ 、ゲート幅は  $200 \mu m$  である。

### 3-2 評価方法

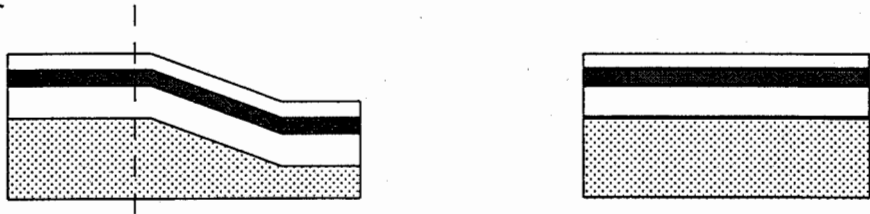
Si ドープ GaAs 層の伝導型およびキャリア密度はホール測定により評価した。ホール測定では p 型領域と n 型領域が混在する段差基板のキャリア密度を評価することは難しいため、段差基板と同じ

MBE 条件下で平坦な基板上に成長した試料を用いて評価を行った。試料は約 5mm 角に切り出し、4 隅に In を載せ、窒素雰囲気中で 400°C、2 分の合金化処理をしてオーミック電極とした。ホール測定は室温、印加磁場:2kG、印加電流:0.1~1mA の条件で行った。段差基板の表面、断面観察には走査型電子顕微鏡 (SEM) を用いた。加速電圧は 10kV、プローブカレントは  $1 \times 10^{-9}$ A である。横型トンネル接合トランジスタの I-V 特性は、室温、オンウエハで HP4142 を用いて測定した。

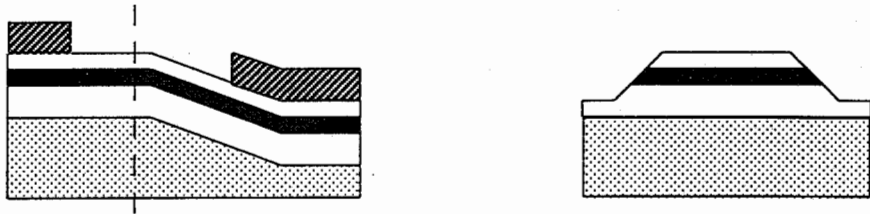
①段差基板作製



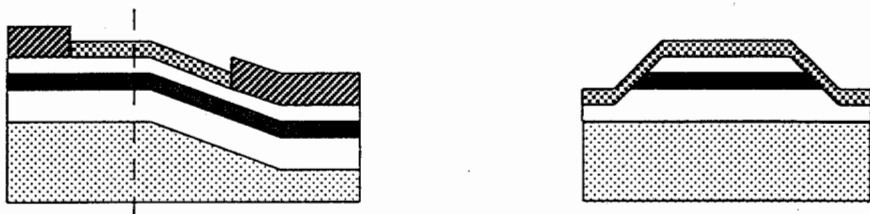
②MBE成長



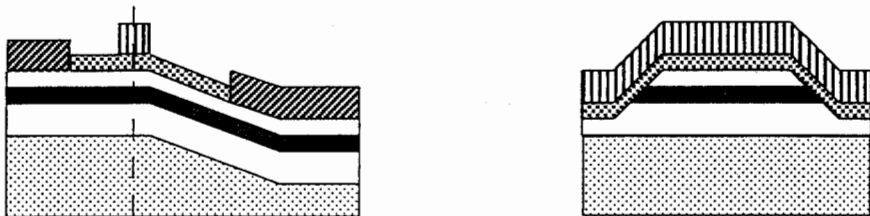
③素子分離、オーミック電極形成



④ゲート絶縁膜形成



⑤ゲート電極形成



横断面図

縦断面図  
(横断面図の点線位置)

図3-1 横形トンネル接合トランジスタの作製プロセス

## 第4章 (M11)A面段差基板を用いた横型トンネル接合トランジスタ

### 4-1 Ga原子マイグレーションを考慮した基板面方位の決定[15]

これまでの研究で横型トンネル接合の形成には Ga 原子のマイグレーションが重要な役割を果たすことが分かっている。これを3つの場合に分けて説明する。

- (1) 図4-1(b)に示すように、p型領域での Ga 原子のマイグレーション長が n 型領域よりも長い場合、p-n 接合近傍の Ga 原子は p 型領域から n 型領域に流れ込み、p 型領域で Ga 原子が減少し、n 型領域で増加することになる。したがって、p 型領域では V/Ⅲ (As/Ga) 比が意図した値より大きくなり、逆に n 型領域では V/Ⅲ 比が小さくなる。図4-1(a)に示すように、(M11)A面 (K4) では V/Ⅲ 比が大きい程 n 型伝導を示す傾向があることから、p-n 接合近傍の p 型領域、n 型領域の双方でキャリア密度の減少が生じる方向に成長条件がずれることになり、高キャリア密度の p-n 接合 (トンネル接合) の形成が阻害される。
- (2) 図4-1(c)に示すように、p 型領域での Ga 原子のマイグレーション長が n 型領域よりも短い場合には、p-n 接合近傍の Ga 原子は n 型領域から p 型領域に流れ込み、p 型領域で Ga 原子が増加し、n 型領域で減少する。したがって、p 型領域では V/Ⅲ 比が意図した値より小さく、逆に n 型領域では V/Ⅲ 比が大きくなるが、この V/Ⅲ 比の変化はキャリア密度を減少させない方向への変化であり、高キャリア密度かつ急峻な p-n 接合の形成を阻害しない (むしろ促進させる) ため良好なトンネル接合が形成される。
- (3) p 型領域と n 型領域で、Ga 原子のマイグレーション長が等しい場合は V/Ⅲ 比は意図した値に保たれ、キャリア密度が減少することなく高キャリア密度で急峻な p-n 接合が形成され、トンネル接合となる。

以上(1)~(3)より、横型トンネル接合を形成するためには、「p型となる結晶面上での Ga 原子のマイグレーション長が n 型となる結晶面上よりも長くないこと」が必要であることが分かる。Ga 原子の(M11)A面上のマイグレーション長： $\lambda_{(M11)A}$ には次のような関係がある[16]。

$$\lambda_{(111)A} \approx \lambda_{(411)A} > \lambda_{(311)A}$$

したがって、この Ga 原子マイグレーション長の面方位依存性を考慮すると、横型トンネル接合を形成する条件を満足するのは、

- ① p型の(111)A面とn型の(411)A面
- ② p型の(311)A面とn型の(411)A面

となる。これら面方位の中で(111)A面は、最も結晶成長が難しい面方位である。また、(111)A面と(411)A面のなす角度は  $35.3^\circ$  であり、(311)A面と(411)A面のなす角  $5.8^\circ$  よりかなり大きくなる。結晶面のなす角度が小さい段差基板の方が、電極形成等のプロセスを行う際のフォトレジストのカバ



レッジが良く、デバイス作製上望ましい。したがって、2つの面方位の組み合わせのうち、p型の(311)A面とn型の(411)A面がもっとも好ましい組み合わせであると考えられるため、本レポートではこの面方位を用いて横型トンネル接合トランジスタを作製した。

#### 4-2 キャリア密度の基板面方位依存性

実際に段差基板を用いて素子を作製する前検討として、段差のない平坦な(311)A面、(411)A面、(100)面基板(リファレンス用)を用いて素子作製と同じMBE成長条件(成長温度=540°C、V/Ⅲ比=2)でSiドープGaAsの成長を行い、その伝導型とキャリア密度を評価した(図4-2)。p型伝導を示す(311)A面基板上の試料ではドープしたSiがほぼ100%活性化し、 $p \geq 10^{20} \text{cm}^{-3}$ のキャリア密度が得られる。一方、n型の試料では(100)面、(411)A面とも高ドープ領域では、キャリア密度はSi密度より小さく、(411)A面では約 $n=8 \times 10^{18} \text{cm}^{-3}$ でキャリア密度が飽和する。横型トンネル接合トランジスタではキャリア密度が高いほど大きなピーク電流密度が得られるが、本レポートでは図4-2中の矢印で示すドーピング条件を用いた。段差基板を用いた横型トンネル接合トランジスタではGa原子のマイグレーションによって平坦な基板とは成長条件(V/Ⅲ比)が若干異なるが、キャリア密度はおおよそ $p=6 \times 10^{19} \text{cm}^{-3}$ 、 $n=7 \times 10^{18} \text{cm}^{-3}$ と見積もることができる。

#### 4-3 (N11)A面段差基板上の横型トンネル接合トランジスタ[17]

##### — p型トンネルトランジスタとn型トンネルトランジスタ —

(311)A面段差基板上と(411)A面段差基板上に作製した横型トンネル接合トランジスタの構造図をそれぞれ図4-3と図4-4に示す。成長前の(311)A面基板の斜面は(100)面、(411)A面基板では(211)A面である。このように成長を行う前の段差基板では、かならずしも(311)A面と(411)A面の組み合わせにはなっていない。ところが、MBE成長後には(311)A面段差基板では(411)A面ファセットが、(411)A面段差基板では(311)A面ファセットが基板面と斜面の境界部分に形成される。このファセットはバッファ層の成長時に形成されるため、その後のSiドープ層は(311)A面と(411)A面上に成長することになる。(311)A面はp型、(411)A面はn型となるためトンネル接合は(311)A面-(411)A面間で形成され、4-1で選択した面方位の組み合わせが実現できる。したがって、ファセットの形成を利用することにより、段差基板の斜面面方位の精密な制御をしなくても横型トンネル接合形成に最適な面方位の組み合わせが「自然」に実現でき、デバイス作製上非常に有利である。

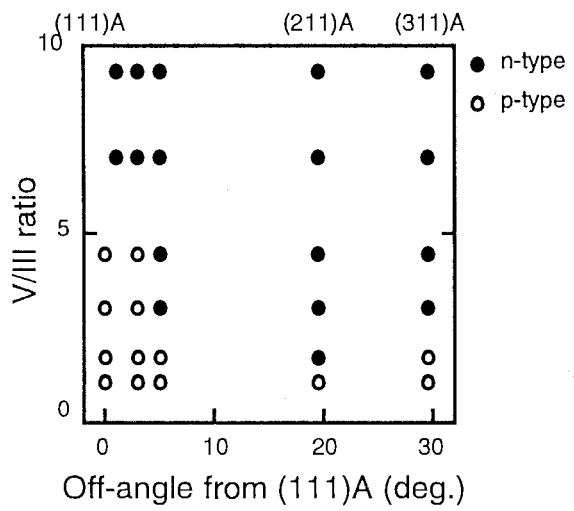
本レポートで述べる横型トンネル接合トランジスタではゲート電極はファセットに隣接する平坦面上に形成した。したがって、(311)A面段差基板上の素子ではゲート電極はp型層上に位置し、p型層のキャリア密度を変調する。よって、p型トンネルトランジスタとしての動作が期待できる。一方、

(411)A 面段差基板上の素子は n 型層を変調する n 型トンネルトランジスタとしての動作が期待できる。

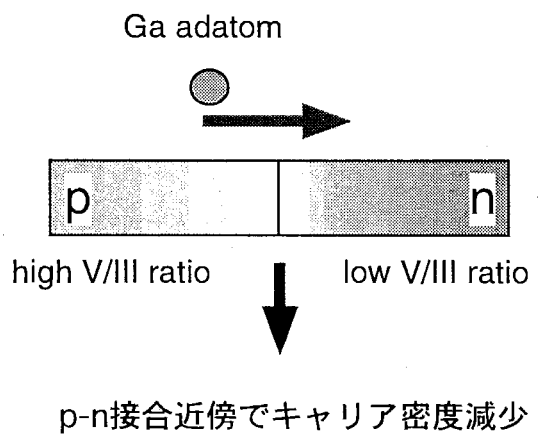
図 4-5 に(311)A 面段差基板上に作製した素子の室温での I-V 特性を示す。ドレイン電圧は 0V から 0.4V までスイープし、ゲート電圧は-10V から+20V まで 10V ステップで変化させた。図 4-5 より NDR 特性がゲート電圧により変調され、ゲート電圧を大きくするに従いピーク電流が  $229\text{mA}/\text{cm}^2$  から  $190\text{mA}/\text{cm}^2$  まで減少し、p 型トンネルトランジスタとして動作していることが分かる。図 4-6 に(411)A 面段差基板上に作製した素子の室温での I-V 特性を示す。ドレイン電圧は 0V から 0.5V までスイープし、ゲート電圧は-1.5V から+4.5V まで 3V ステップで変化させた。ゲート電圧が+4.5V の時のピークバレイ比は 4.4 である。図 4-6 より NDR 特性がゲート電圧により変調されるが、図 4-5 とは反対にゲート電圧を大きくするに従いピーク電流が  $161\text{mA}/\text{cm}^2$  から  $251\text{mA}/\text{cm}^2$  まで増加し、n 型トンネルトランジスタとして動作していることが分かる。

図 4-5 と図 4-6 から分かるように、p 型トンネルトランジスタと n 型トンネルトランジスタでは、ゲート電圧に対するドレイン電流の変化量にかなり差がある。この差は、キャリア密度の違いによって生じていると考えられる。平坦な基板を用いて見積もったキャリア密度は、(311)A 面で  $p=6\times 10^{19}\text{cm}^{-3}$ 、(411)A 面で  $n=7\times 10^{18}\text{cm}^{-3}$  であり、p 型層は n 型層より 1 桁キャリア密度が大きい。理想的な MIS 構造では、最大空乏層幅はキャリア密度に依存して変化する [18]。すなわち、キャリア密度が  $7\times 10^{18}\text{cm}^{-3}$  の時、最大空乏層幅が約 18nm であるのに対し、キャリア密度が  $6\times 10^{19}\text{cm}^{-3}$  になると最大空乏層幅は約 6nm まで小さくなる。したがって、n 型トンネルトランジスタでは p 型トンネルトランジスタと比較して最大空乏層幅が 3 倍となり、ゲート電圧による変調可能なチャネル面積が大きいため、ドレイン電流を大きく変調できるのである。

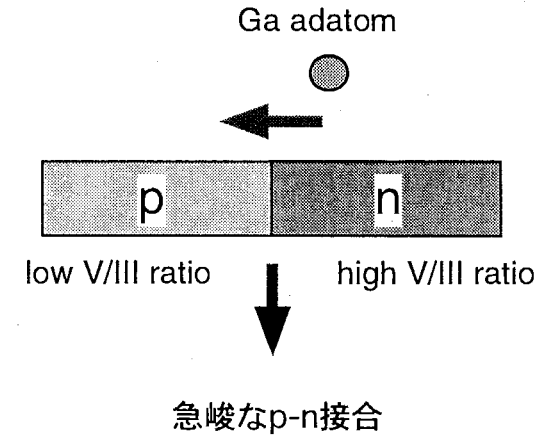
今回の実験により、(311)A 面段差基板と(411)A 面段差基板を用いて、p 型、n 型トンネルトランジスタ動作を確認することができたが、同一基板上に p 型と n 型トンネルトランジスタを作製するには至っていない。その理由は、本レポートで試作した横型トンネル接合トランジスタでは、ゲート長が  $4\ \mu\text{m}$  なのに対しファセット長は  $2\ \mu\text{m}$  程度であり、ファセット部にゲート電極を形成することが出来なかったためである。しかし、バッファ層を厚くするか斜面と基板面のなす角度を小さくすることでファセット長を長くすることは可能であり、また、ゲート長も EB 露光等を用いれば  $0.1\ \mu\text{m}$  以下まで短くすることが可能である。したがって、このような方法を用いることにより p 型と n 型トンネルトランジスタの同一基板上への混載は実現可能である。



(a) (111)A面上にMBE成長したSiドープGaAsの伝導型のV/III比依存性 (図1-1 再掲)



(b) Gaのマイグレーション方向がp型領域 → n型領域の場合



(c) Gaのマイグレーション方向がn型領域 → p型領域の場合

図4-1 p-n接合界面急峻性のGa原子マイグレーション方向依存性

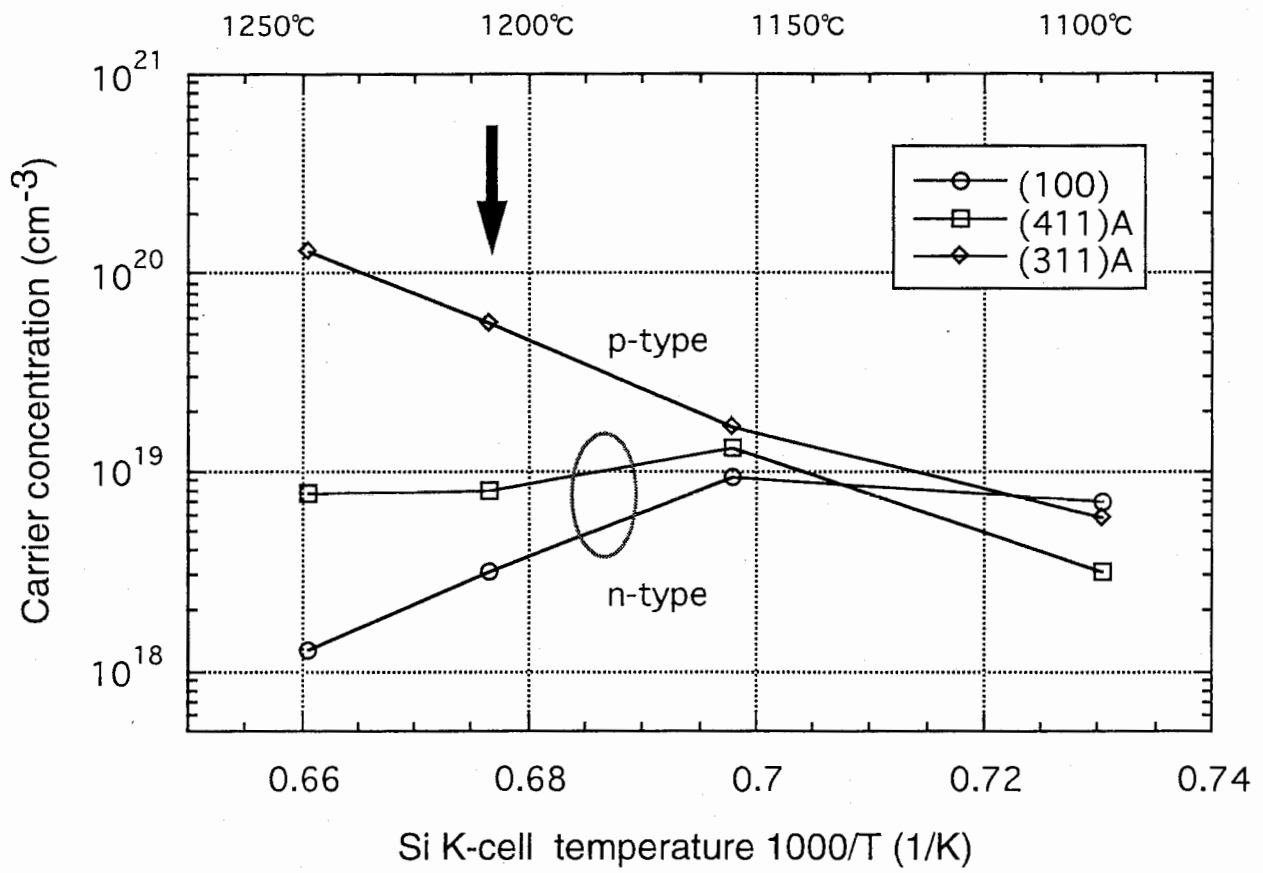


図4-2 GaAs(100)、(411)A、(311)A面におけるSiのドーピング特性

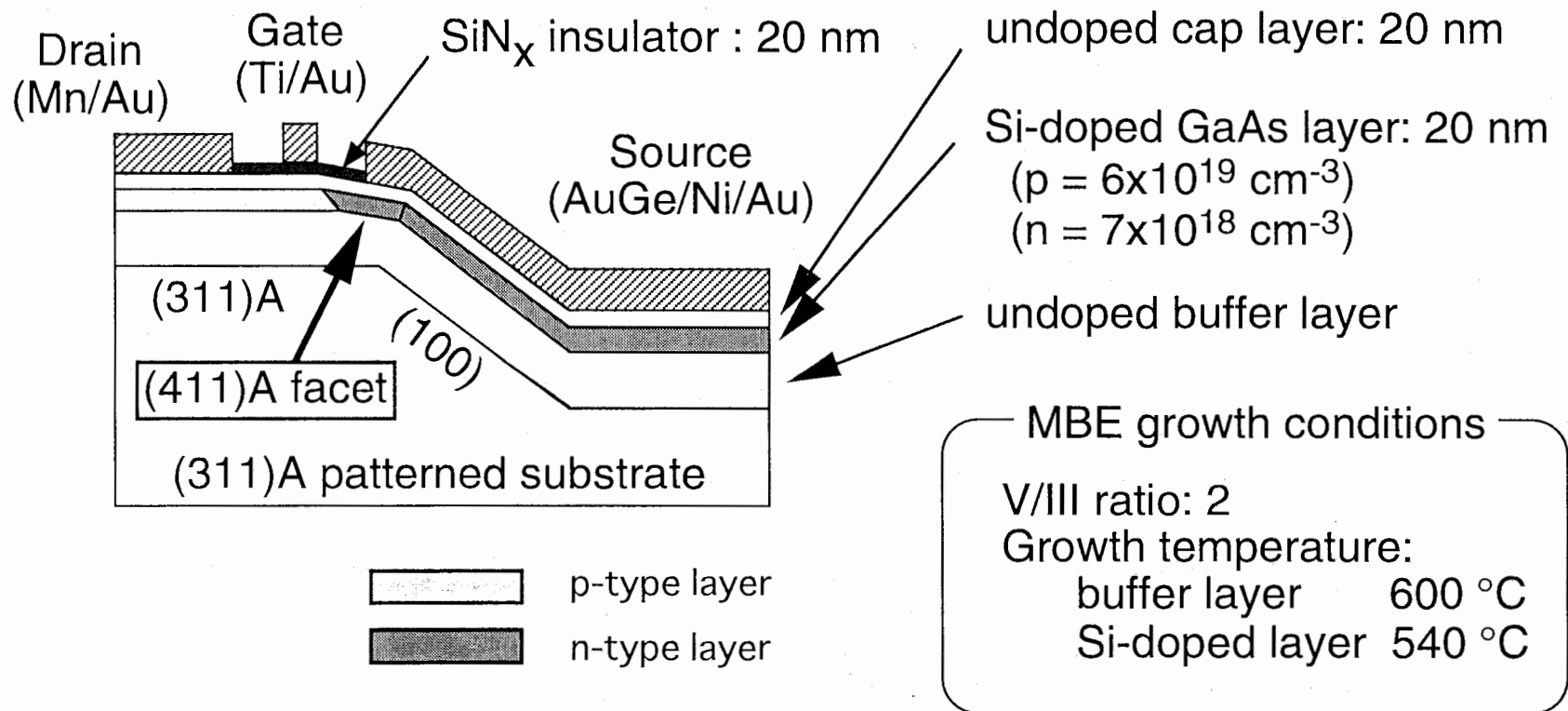


図4-3 (311)A面段差基盤上に作製したp-based横型トンネル接合トランジスタの構造図

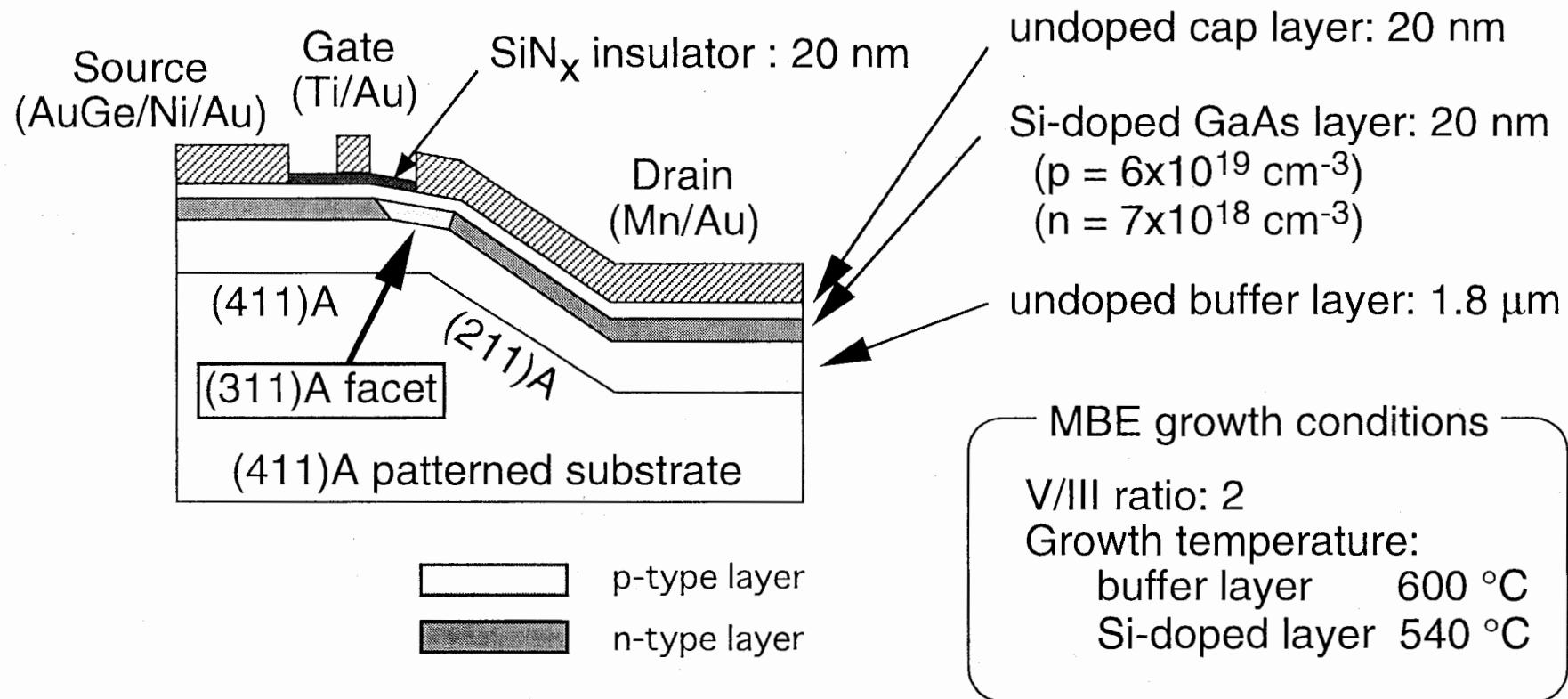


図4-4 (411)A面段差基盤上に作製したn-based横型トンネル接合トランジスタの構造図

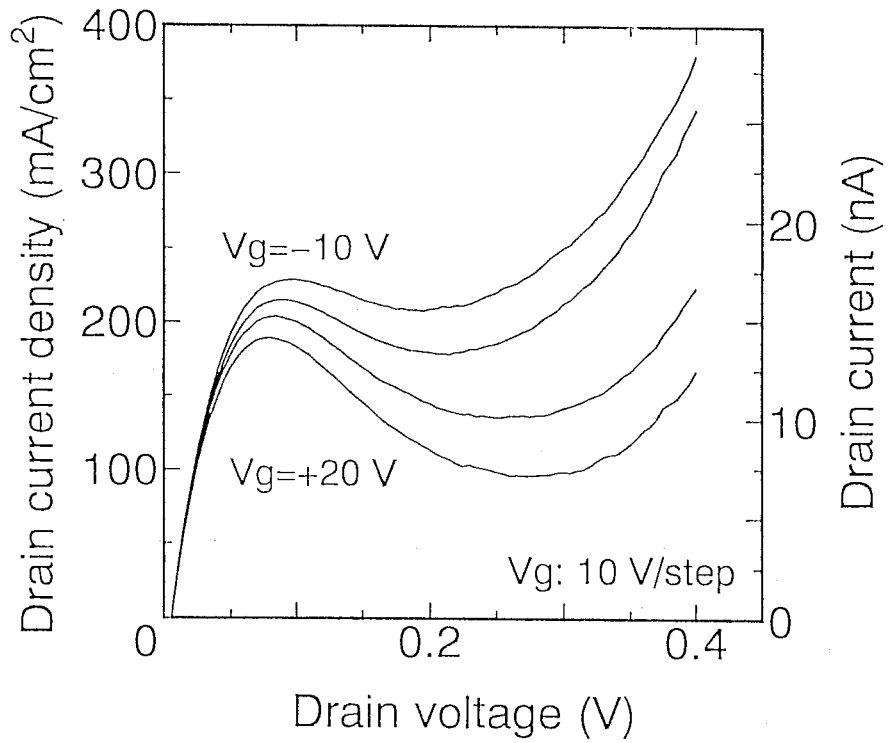


図 4-5 (311) A 面段差基板に作製した横形トンネル接合トランジスタの I-V 特性 (室温)

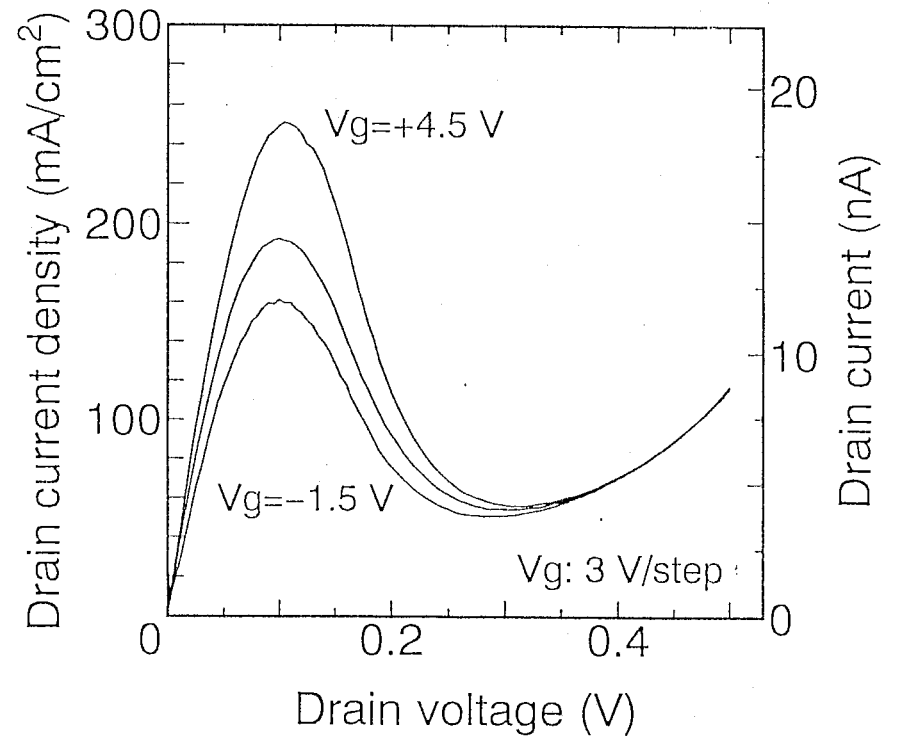


図 4-6 (411) A 面段差基板に作製した横形トンネル接合トランジスタの I-V 特性 (室温)

## 第5章 まとめ

段差基板上を用いて横型トンネル接合トランジスタを作製した。この方法の優れている点は、plane-dependent Si-dopingにより一回のMBE成長で横形p-n接合を形成できるために、大きなピーク・バレイ比を持つトンネルトランジスタが簡単なプロセスで作製可能な点である。横型トンネル接合を形成するためにはGa原子のマイグレーションを考慮して段差基板の面方位を選ぶ必要があり、(311)A面-(411)A面の組み合わせが最適である。本レポートではこの面方位の組み合わせをファセット形成を利用することで実現した。さらに、(311)A面段差基板を用いてゲート電圧の増加に伴いトンネル電流が減少するp型トンネルトランジスタの室温動作を、(411)A面段差基板を用いてゲート電圧の増加に伴いトンネル電流が増加するn型トンネルトランジスタの室温動作を確認した。p型とn型のトンネルトランジスタを実現したことにより、両トランジスタの混載による回路設計の自由度向上と相補型動作による一層の高機能化が期待でき、横型トンネル接合トランジスタが次世代デバイスとして有望であることを示した。



## 謝辞

日頃より本研究をご指導頂きました ATR 環境適応通信研究所 小宮山牧兒社長、渡辺敏英前第4研究室長、江上典文第4研究室長に深く感謝致します。本研究を行うにあたり有意義な討論・助言をして頂きました藤田和久主任研究員、高橋光男主任研究員、P.O.Vaccaro 客員研究員、大谷直毅研究員、黒柳和良研究員に深く感謝します。室会・研究討論会等で有意義な議論をして頂きました ATR 環境適応通信研究所の皆様にも深く感謝します。また、日頃の研生活を送るうえで何かとお世話になりました企画課の皆様にも深く感謝します。

## 参考文献

- [1] T. Y. Chan, J. Chen, P. K. Ko and C. Hu, IEDM Tech.Dig. (1987) 718.
- [2] R. W. Keyes, Proc. IEEE 63 (1975) 740.
- [3] L. Esaki: Phys. Rev. 109 (1958) 603.
- [4] L. L. Chang, L. Esaki and R. Tsu: Appl. Phys. Lett. 24 (1974) 593.  
T. C. L. G. Sollner, W. D. Goodhue, P. E. Tannenwald, C. D. Parker and D. D. Peck:  
Appl. Phys. Lett. 43 (1983) 588.
- [5] N. Yokoyama, K. Imamura, S. Muto, S. Hiyamizu and H. Nishi: Jpn. J. Appl. Phys. 24  
(1985) L853.
- [6] F. Capasso, S. Sen, A. C. Gossard, A. L. Hutchinson and J. H. English: IEEE Electron  
Device Lett. EDL-7 (1986) 573.
- [7] K. Maezawa and T. Mizutani: Jpn. J. Appl. Phys. 32 (1993) L42.
- [8] T. Baba: Jpn. J. Appl. Phys. 31 (1992) L455.
- [9] T. Uemura: IEICE Trans. Electron. E77-C (1994) 1444.
- [10] T. Uemura and T. Baba: Solid-State Electron. 40 (1996) 519.
- [11] W. I. Wang, E. E. Mendez, T. S. Kuan and L. Esaki: Appl. Phys. Lett. 47 (1985) 826.
- [12] M. Shigeta, Y. Okano, H. Seto, H. Katahama, S. Nishine and K. Kobayashi: J. Cryst.  
Growth 111 (1991) 284.
- [13] M. Fujii, T. Yamamoto, M. Shigeta, T. Takebe, K. Kobayashi, S. Hiyamizu and I.  
Fujimoto: Surf. Sci. 267 (1992) 26.
- [14] S. M. Sze: "Physics of Semiconductor Devices", John Wiley & Sons, Inc., New York.  
1981, 2nd edi., 516.
- [15] H. Ohnishi, K. Fujita and T. Watanabe: Appl. Surf. Sci. 117/118 (1997) 459.
- [16] T. Takebe, M. Fujii, T. Yamamoto, K. Fujita and T. Watanabe: Inst. Phys. Conf. Ser.  
No 136, IOP Publishing Ltd., 1994, 577.
- [17] H. Ohnishi, K. Fujita and T. Watanabe: Microelectron. J. 28 (1997) 1025
- [18] S. M. Sze: "Physics of Semiconductor Devices", John Wiley & Sons, Inc., New York.  
1981, 2nd edi., 363.